

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ  
РОССИЙСКОЙ ФЕДЕРАЦИИ

Федеральное государственное автономное образовательное  
учреждение высшего образования  
«СЕВАСТОПОЛЬСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ»

ИНСТИТУТ ИНФОРМАЦИОННЫХ ТЕХНОЛОГИЙ

Кафедра информационных технологий и компьютерных систем

## **ПРОЕКТИРОВАНИЕ ЦЕНТРАЛЬНОГО ОБРАБАТЫВАЮЩЕГО УСТРОЙСТВА ЦВМ**

### **Методические указания**

к выполнению расчетно-графической работы  
по дисциплине «Архитектура ЭВМ. Специальный раздел»  
для студентов дневной формы обучения направлений  
09.03.01 – Информатика и вычислительная техника  
и 09.03.04 – Программная инженерия

Севастополь  
СевГУ  
2023

**УДК 004.382.081(075.8)**

**ББК 32.973.2я73**

**П791**

**Р е ц е н з е н т:**

**В. Ю. Карлусов** - канд. техн. наук, доцент кафедры информационных систем

*Составители:* Т. В. Волкова, Е. С. Владимирова

**П791      Проектирование центрального обрабатывающего устройства ЦВМ** : методические указания к выполнению расчетно-графической работы по дисциплине «Архитектура ЭВМ. Специальный раздел» для студентов дневной формы обучения направлений 09.03.01 – Информатика и вычислительная техника и 09.03.04 – Программная инженерия / Севастопольский государственный университет», Институт информационных технологий, кафедра информационных технологий и компьютерных систем ; сост. Т. В. Волкова, Е. С. Владимирова. – Севастополь : СевГУ, 2023. – 41 с. – Текст : электронный.

Методические указания предназначены для организации самостоятельного выполнения студентами расчетно-графической работы (РГР) по дисциплине «Архитектура ЭВМ. Специальный раздел» и призваны помочь студентам в приобретении необходимых навыков проектирования основных устройств ЭВМ и изготовления конструкторской документации на проектируемые устройства.

Содержат постановку задачи на проектирование цифрового устройства, варианты заданий, рекомендации к самостоятельной работе и последовательность ее исполнения.

УДК 004.382.081(075.8)

ББК 32.973.2я73

Рассмотрены и рекомендованы к изданию на заседании кафедры информационных технологий и компьютерных систем, протокол № 2 от 14 сентября 2022 г.

© Волкова Т. В., Владимирова Е. С., сост., 2023

© ФГАОУ ВО «Севастопольский  
государственный университет», 2023

## СОДЕРЖАНИЕ

|                                                                         |    |
|-------------------------------------------------------------------------|----|
| 1. Цели и задачи проектирования .....                                   | 4  |
| 2. Объект проектирования .....                                          | 5  |
| 3. Общие требования к разрабатываемому устройству.....                  | 6  |
| 4. Исходные данные для проектирования.....                              | 8  |
| 5. Результаты проектирования .....                                      | 14 |
| 6. График выполнения РГР.....                                           | 15 |
| 7. Особенности проектирования ЦОУ .....                                 | 15 |
| 7.1. Выбор форматов данных .....                                        | 15 |
| 7.2. Выбор форматов команд.....                                         | 16 |
| 7.3. Разработка системы команд .....                                    | 18 |
| 7.4. Элементы структуры процессорного блока.....                        | 19 |
| 7.5. Обмен данными в ЦОУ .....                                          | 22 |
| 7.6. Разработка архитектуры внешних выводов процессорного<br>блока..... | 24 |
| 8. Фрагменты алгоритма функционирования ЦОУ .....                       | 25 |
| 8.1. Алгоритм выборки команды .....                                     | 25 |
| 8.2. Обработка адресов и выборка операндов .....                        | 28 |
| 9. Особенности проектирования устройства управления ЦОУ.....            | 32 |
| Библиографический список.....                                           | 36 |
| Приложение А.....                                                       | 37 |

## 1. ЦЕЛИ И ЗАДАЧИ ПРОЕКТИРОВАНИЯ

Выполнение РГР преследует цель практического закрепления основных разделов дисциплин «Архитектура компьютерных систем» и «Архитектура ЭВМ. Специальный раздел», посвященных изучению принципов структурной и функциональной организации цифровых вычислительных машин и их узлов. Эта цель наилучшим образом достигается в процессе проектирования основных блоков компьютера. Процесс проектирования предполагает решение целого ряда задач, начиная от построения первичной спецификации проектируемого устройства до разработки его принципиальной схемы. Самостоятельная работа студента над каждой задачей и проектом в целом – гарантия достижения поставленной цели.

Изучив рекомендуемую научно-техническую литературу [1–5] и нормативную документацию [6,7], грамотно сформулировав все системотехнические вопросы, успешно применив методы логического и схемотехнического проектирования, студент выполняет весь технологический процесс проектирования.

РГР выполняется в течение одного семестра. Учебный план дисциплины «Архитектура ЭВМ. Специальный раздел» предусматривает аудиторную групповую проработку основных разделов задания, разрешение отдельных вопросов выполнения курсового проекта в процессе индивидуальных консультаций с преподавателем, самостоятельную работу студента и защиту РГР.

РГР может быть оценена высоким баллом при систематической (на протяжении всего семестра) работе студента над заданием, обоснованном выборе технических решений, своевременном представлении результатов работы к защите, качественном оформлении графического материала и отчета по РГР, а также при содержательном выступлении на защите работы.

## 2. ОБЪЕКТ ПРОЕКТИРОВАНИЯ

Объектом проектирования является центральное обрабатывающее устройство (ЦОУ), реализующее заданную совокупность команд из системы команд абстрактной ЦВМ. Обобщенная структурная схема ЦОУ приведена на рисунке 2.1.

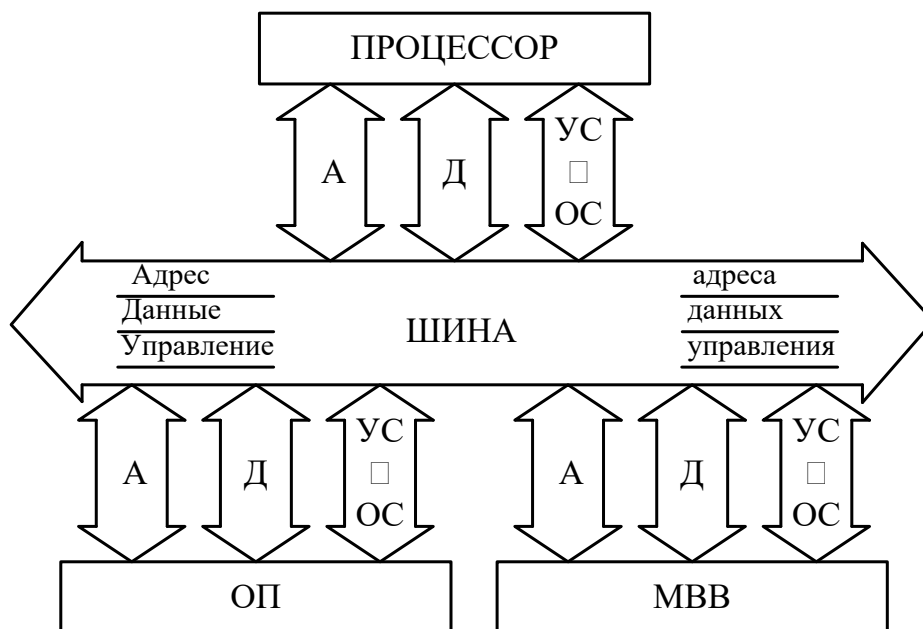


Рисунок 2.1 – Обобщенная структурная схема ЦОУ компьютера:  
ОП – оперативная память, МВВ – модуль ввода/вывода,  
А – адрес, Д – данные, УС ∨ ОС – управляющие или  
осведомительные сигналы

Предполагается, что проектированию подлежит процессор с традиционной прынстонской архитектурой [3].

К функциям процессорного блока относятся:

- управление потоком обработки команд исполняемой компьютером программы;
- управление процессом исполнения команд;
- управление процессом взаимодействия всех блоков ЦОУ.

ОП является внутренней памятью компьютера и предназначена для хранения команд и данных, обрабатываемых компьютером в конкретный промежуток времени. В структурном плане ОП реализуется в виде запоминающего устройства (ЗУ) с произвольным доступом. Обращение к любой ячейке (слову) ЗУ осуществляется по уникальному адресу и может быть произведено в любой последовательности. Размер ячейки (слова) ЗУ характеризуется шириной выборки (количество бит информации, одновременно записываемых или считываемых с этого устройства). Инициатором обращения к ОП всегда является процессор (предполагается, что в рассматриваемой системе отсутствует механизм прямого доступа к памяти со стороны внешних устройств).

МВВ предназначен для реализации конкретной команды ввода/вывода на конкретном устройстве. Организация ввода/вывода осуществляется по принципу программного управления, т.е. по инициативе процессора и под его полным контролем.

Подсистема компьютера, обеспечивающая информационный обмен между процессором, ОП и МВВ называется системной шиной. Совокупность цепей, по которым осуществляется обмен информационными сигналами, разделяется по функциональному назначению на три группы: шину адреса, шину данных и шину управления. Разрядность каждой шины определяется максимальным количеством битов адреса, данных, управляющих или осведомительных слов, одновременно передающихся по цепям соответствующего назначения.

### **3. ОБЩИЕ ТРЕБОВАНИЯ К РАЗРАБАТЫВАЕМОМУ УСТРОЙСТВУ**

ЦОУ обеспечивает реализацию хранящейся в ОП программы, команды которой принадлежат ограниченному (в учебных целях) множеству типовых команд, исполняемых компьютером. К ним относятся:

- арифметическая команда,
- логическая команда,
- команда пересылки данных (команда обмена данными между регистровой памятью (РП) процессора и ОП),
- команда обращения к устройству ввода/вывода,
- команда передачи управления,
- команда «стоп».

Процессор, обеспечивающий исполнение каждой команды, должен:

- 1) осуществить выборку команды из ОП в строгом соответствии с форматом команды,
- 2) расшифровать код операции в команде,
- 3) выполнить расшифрованную операцию,
- 4) подготовить компьютер к выполнению следующей команды.

Пункт 3 приведенной последовательности шагов процессора по реализации конкретной команды выполняется для каждой команды по-своему. Например, для команд обработки (арифметическая или логическая команда) выполняется:

- загрузка арифметико-логического устройства (АЛУ) операндами,
- инициирование конкретной операции в АЛУ,
- фиксация результатов выполнения операции в ОП или РП в соответствии с алгоритмом выполнения команды,
- формирование признаков результата выполнения операции, если она завершилась успешно, или кодов прерывания процесса, если произошла какая-либо нештатная ситуация.

Возникшая нештатная ситуация должна привести к завершению процесса реализации программы. Система обработки прерываний студентом не проектируется.

Команда обмена данными выполняется без участия АЛУ. Сложный алгоритм вычисления адреса ОП может быть реализован на специальном адресном сумматоре.

В процессе выполнения команды ввода/вывода процессор сообщает MBV, а через него и внешнему устройству о предстоящей операции. Адрес (номер) внешнего устройства, к которому производится обращение, указывается в адресной части команды. MBV перед началом операции устанавливает соответствующий устройству бит в состояние, характеризующее его занятость. Кроме того, выдав в MBV команду, процессор должен ожидать ее завершения. Последнее обусловлено большим быстродействием процессора по отношению к MBV.

Результатом исполнения команды передачи управления является вычисленный процессором адрес выполняемого перехода (адрес команды программы, исполнение которой предполагает алгоритм, воплощенный в программу). В случае невыполняемого перехода результатом исполнения команды является продвинутый адрес. И в том, и в другом случае адрес фиксируется в счетчике адреса команд.

Исполнение команды «стоп» завершает выполнение программы.

Обобщенная структурная схема процессора, в котором связь между составляющими этот процессор компонентами осуществляется через систему управляемых раздельных шин, приведена на рисунке 3.1.

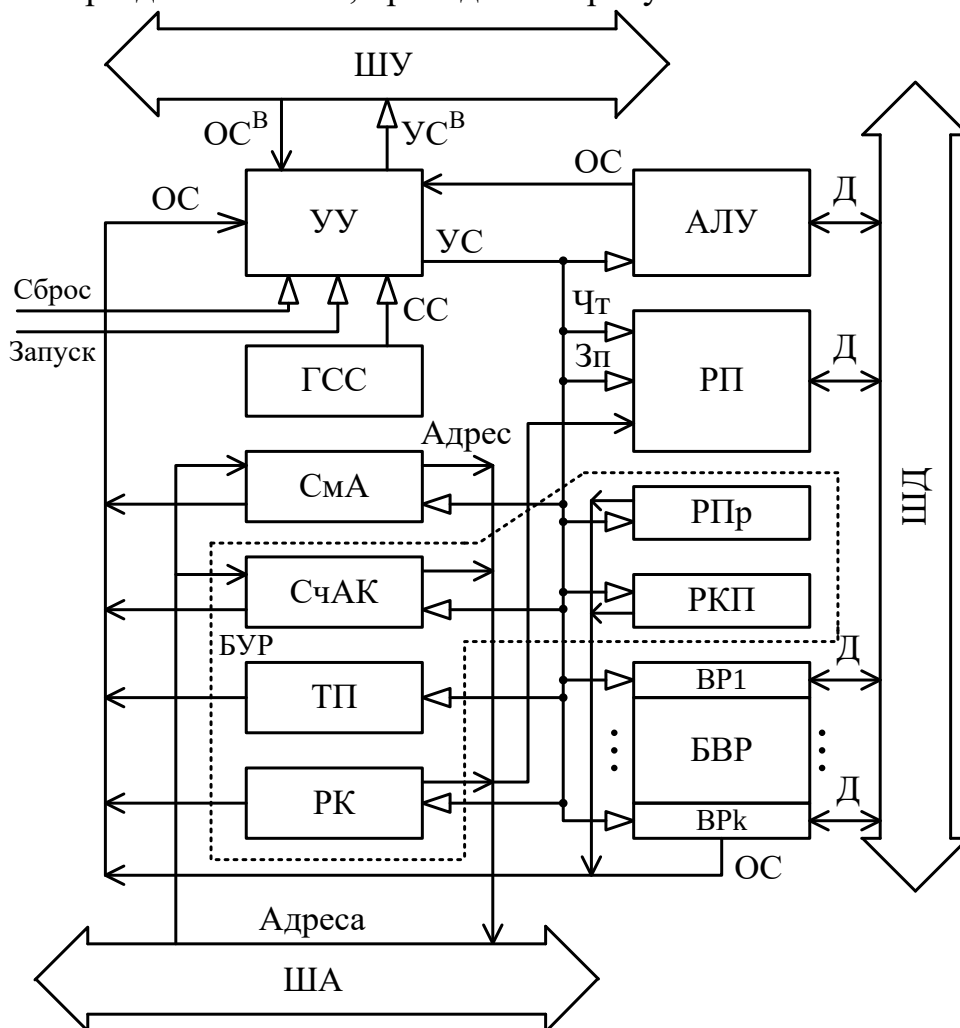


Рисунок 3.1 – Обобщенная структурная схема процессора

На рисунке 3.1 используются следующие сокращения:

УУ – устройство управления;

ГСС – генератор синхросигналов,

АЛУ – арифметико-логическое устройство;

РП – сверхоперативная регистровая память;

СмА – сумматор адресный;

БУР – блок управляющих регистров, в числе которых:

- РК – регистр команд,
- СчАК – счетчик адреса команд,
- РПР – регистр признака результата,
- РКП – регистр кода прерывания (регистр флагов прерывания),
- ТП – триггер переходов;

БВР – блок внутренних регистров прямого доступа ( $ВР_1, \dots, ВР_k$ ), используемых для эффективной организации процесса исполнения команд;

ОС<sup>В</sup> – внешние осведомительные сигналы;

УС<sup>В</sup> – внешние управляющие сигналы;

Д – данные.

Функциональные возможности всех устройств, составляющих процессор и ЦОУ, определяются в процессе проектирования в соответствии с заданием и особенностями исполнения команд.

## 4. ИСХОДНЫЕ ДАННЫЕ ДЛЯ ПРОЕКТИРОВАНИЯ

Исходные данные для курсового проекта определяются как общими требованиями к разрабатываемому процессору (критерий оптимальности), так и вариантом задания. Критерий оптимальности выбирается студентом по согласованию с преподавателем в начале проектирования. Возможны следующие критерии:

- уменьшение аппаратных затрат,
- увеличение быстродействия устройства.

Все инженерные решения студент принимает, исходя из выбранного критерия.

Варианты заданий приведены в таблицах 4.1 – 4.4, которые включают следующие исходные данные для проектирования:

1) перечень аппаратно поддерживаемых типов данных:

- **I2, I4** – соответственно 16-разрядные и 32-разрядные целые числа (данные для арифметических команд – ДА);
- **F4, F8** – 32-разрядные и 64-разрядные числа в формате с плавающей точкой **НFP** (данные для арифметических команд – ДА);
- **L1, L4, L8** – двоичные вектора длиной 1, 4 и 8 байтов соответственно (данные для логических команд – ДЛ);

## 2) типы команд:

- **КА** – арифметические команды: сложение (+), вычитание (–), умножение ( $\times$ ), деление (/);
- **КЛ** – логические команды: дизъюнкция ( $\vee$ ), конъюнкция ( $\wedge$ ), сложение по модулю 2 ( $\oplus$ ), сдвиг ( $\leftarrow 1$ ,  $\leftarrow 2$ ,  $1 \rightarrow$ ,  $2 \rightarrow$  – соответственно, влево одинарный (одного информационного слова) и двойной (двух информационных слов), вправо одинарный и двойной);
- **ПУ** – команды передачи управления: **УП<sub>м</sub>** – условный переход по маске, **ПСч** – переход по счетчику, **ПВз** – переход с возвратом, **ПИ<** – переход по индексу «меньше», **ПИ>** – переход по индексу «больше»;
- **ОбрП** – команды обращения к памяти: **загрузка регистра (ЗР)** – чтение из ОП и запись прочитанных данных в РП; **запись в память (ЗП)** – чтение из РП и запись прочитанных данных в ОП (формат данных задается вариантом);
- **ВВ** – команды ввода/вывода: **МП** – передача байта из МВВ в процессор, **ПМ** – обратная передача;
- команда «**Стоп**»;

## 3) способы адресации операндов в команде:

- **Н** – непосредственная,
- **П** – прямая,
- **К** – косвенная,
- **Р** – регистровая,
- **КР** – косвенная через регистр,
- **О** – относительная;

## 4) основные характеристики ОП:

- **Еоп** – емкость ОП в мегабайтах,
- **ШВ** – ширина выборки (разрядность слова ОП в байтах);

## 5) характеристики РП:

- **Ерп** – емкость регистровой памяти – определяется количеством регистров в блоке;
- **тип: У** – универсальная РП (один блок как для регистров общего назначения (РОН), так и для регистров, предназначенных для хранения чисел в формате с плавающей точкой (РПТ)), **Р** – раздельная РП (РОН и РПТ составляют два различных физических блока заданного объема);
- **разрядность** любого регистра РП определяется длиной информационного слова (4 байта);

## 5) тип устройства управления (управляющий автомат с программируемой логикой);

## 6) способ адресации микрокоманд в микропрограммах:

- **Е** – естественная,
- **П** – принудительная;

## 7) способ кодирования поля микроопераций в микрокомандах:

- **ВГ** – вертикально-горизонтальный,
- **ГВ** – горизонтально-вертикальный.

| №<br>вар                                                           | Команды АЛУ |    |     |    | Дополнит.<br>команды |       |    | ОП  |    | РП  |     | Способы<br>адресации |   |   |   |    |   |
|--------------------------------------------------------------------|-------------|----|-----|----|----------------------|-------|----|-----|----|-----|-----|----------------------|---|---|---|----|---|
|                                                                    | КА          | ДА | КЛ  | ДЛ | ПУ                   | ОбрП  | ВВ | Еоп | ШВ | Ерп | Тип | Н                    | П | К | Р | КР | О |
| 1                                                                  | +           | I2 | v   | L1 | УПМ                  | ЗР F4 | ПМ | 128 | 4  | 16  | У   | +                    | + | + | + | +  |   |
| 2                                                                  | -           | I4 | ^   | L4 | ПСч                  | ЗР F8 | МП | 256 | 4  | 8   | P   | +                    | + | + | + |    | + |
| 3                                                                  | x           | F4 | ⊕   | L1 | ПВз                  | ЗП I2 | ПМ | 512 | 4  | 32  | У   | +                    | + | + |   | +  | + |
| 4                                                                  | /           | F8 | ←-1 | L4 | ПИ<                  | ЗП L4 | ПМ | 256 | 4  | 16  | У   | +                    | + |   | + | +  | + |
| 5                                                                  | +           | I2 | ←-2 | L8 | ПИ>                  | ЗР F4 | МП | 512 | 4  | 16  | P   | +                    |   | + | + | +  | + |
| 6                                                                  | -           | I4 | 1→  | L4 | УПМ                  | ЗП F8 | МП | 128 | 4  | 8   | P   |                      | + | + | + | +  | + |
| 7                                                                  | x           | F4 | 2→  | L8 | ПСч                  | ЗР I2 | ПМ | 512 | 4  | 32  | У   | +                    |   | + | + | +  | + |
| 8                                                                  | /           | F8 | v   | L1 | ПВз                  | ЗП I4 | ПМ | 128 | 4  | 16  | У   | +                    | + |   | + | +  | + |
| 9                                                                  | +           | I2 | ^   | L1 | ПИ<                  | ЗР F4 | ПМ | 256 | 4  | 32  | У   | +                    | + | + |   | +  | + |
| 10                                                                 | -           | I4 | ⊕   | L1 | ПИ>                  | ЗП F8 | МП | 128 | 4  | 16  | P   | +                    | + | + | + |    | + |
| 11                                                                 | x           | F4 | ←-1 | L4 | УПМ                  | ЗР I2 | МП | 256 | 4  | 8   | P   | +                    | + | + | + | +  |   |
| 12                                                                 | /           | F8 | ←-2 | L8 | ПСч                  | ЗП I4 | МП | 512 | 4  | 16  | P   | +                    | + | + | + |    | + |
| 13                                                                 | +           | I4 | 1→  | L4 | ПВз                  | ЗР F8 | ПМ | 256 | 4  | 16  | У   | +                    | + | + |   | +  | + |
| 14                                                                 | -           | F4 | 2→  | L8 | ПИ<                  | ЗР I2 | ПМ | 512 | 4  | 32  | У   | +                    | + |   | + | +  | + |
| 15                                                                 | x           | F8 | v   | L4 | ПИ>                  | ЗП I4 | МП | 128 | 4  | 8   | P   | +                    |   | + | + | +  | + |
| 16                                                                 | /           | I2 | ^   | L1 | УПМ                  | ЗП F8 | МП | 512 | 4  | 16  | P   |                      | + | + | + | +  | + |
| 17                                                                 | +           | F4 | ⊕   | L1 | ПСч                  | ЗР I2 | ПМ | 128 | 4  | 16  | У   | +                    |   | + | + | +  | + |
| 18                                                                 | -           | F8 | ←-1 | L4 | ПВз                  | ЗП I4 | МП | 256 | 4  | 8   | P   | +                    | + |   | + | +  | + |
| 19                                                                 | x           | I2 | ←-2 | L8 | ПИ<                  | ЗР F8 | ПМ | 128 | 4  | 32  | У   | +                    | + | + |   | +  | + |
| 20                                                                 | /           | I4 | 1→  | L4 | ПИ>                  | ЗП F4 | ПМ | 256 | 4  | 16  | У   | +                    | + | + | + |    | + |
| 21                                                                 | +           | F8 | 2→  | L8 | УПМ                  | ЗР I4 | МП | 512 | 4  | 32  | У   | +                    | + | + | + | +  |   |
| 22                                                                 | -           | I2 | v   | L1 | ПСч                  | ЗП F4 | МП | 256 | 4  | 16  | P   | +                    | + | + | + |    | + |
| 23                                                                 | x           | I4 | ^   | L1 | ПВз                  | ЗР F8 | ПМ | 512 | 4  | 8   | P   | +                    | + | + |   | +  | + |
| 24                                                                 | /           | F4 | ⊕   | L4 | ПИ<                  | ЗП I2 | МП | 128 | 4  | 16  | P   | +                    | + |   | + | +  | + |
| 25                                                                 | +           | F8 | ←-1 | L4 | ПИ>                  | ЗР L4 | ПМ | 512 | 4  | 8   | P   | +                    |   | + | + | +  | + |
| Устройство управления – автомат с программируемой логикой          |             |    |     |    |                      |       |    |     |    |     |     |                      |   |   |   |    |   |
| Способ адресации микрокоманд – естественная адресация (Е)          |             |    |     |    |                      |       |    |     |    |     |     |                      |   |   |   |    |   |
| Способ кодирования микроопераций – вертикально-горизонтальный (ВГ) |             |    |     |    |                      |       |    |     |    |     |     |                      |   |   |   |    |   |

| №<br>вар                                                           | Команды АЛУ |    |    |    | Дополнит.<br>команды |        |    | ОП  |    | РП  |     | Способы<br>адресации |   |   |   |    |   |
|--------------------------------------------------------------------|-------------|----|----|----|----------------------|--------|----|-----|----|-----|-----|----------------------|---|---|---|----|---|
|                                                                    | КА          | ДА | КЛ | ДЛ | ПУ                   | ОбрП   | ВВ | Еоп | ШВ | Ерп | Тип | Н                    | П | К | Р | КР | О |
| 26                                                                 | +           | F4 | ∧  | L4 | ПИ<                  | ЗР I2  | МП | 512 | 8  | 8   | Р   | +                    | + | + | + |    | + |
| 27                                                                 | ×           | I2 | ⊕  | L4 | УПМ                  | ЗП F4  | ПМ | 256 | 8  | 16  | Р   | +                    | + | + |   | +  | + |
| 28                                                                 | +           | F8 | ∨  | L4 | ПСч                  | ЗР I2  | МП | 128 | 8  | 32  | У   | +                    | + |   | + | +  | + |
| 29                                                                 | ×           | I4 | 1→ | L4 | ПВз                  | ЗР F4  | МП | 128 | 8  | 8   | Р   | +                    |   | + | + | +  | + |
| 30                                                                 | +           | F4 | ←1 | L4 | ПИ>                  | ЗП  I2 | ПМ | 256 | 8  | 16  | У   |                      | + | + | + | +  | + |
| 31                                                                 | ×           | I2 | 2→ | L8 | ПИ<                  | ЗП F4  | ПМ | 512 | 8  | 32  | Р   | +                    | + | + | + | +  |   |
| 32                                                                 | +           | F8 | ←2 | L8 | УПМ                  | ЗР I4  | МП | 512 | 8  | 8   | Р   | +                    | + | + | + |    | + |
| 33                                                                 | ×           | I4 | ∧  | L4 | ПСч                  | ЗР F8  | МП | 256 | 8  | 16  | Р   | +                    | + | + |   | +  | + |
| 34                                                                 | +           | F4 | ⊕  | L4 | ПВз                  | ЗР I4  | МП | 128 | 8  | 32  | У   | +                    | + |   | + | +  | + |
| 35                                                                 | ×           | I2 | ∨  | L1 | ПИ>                  | ЗП F8  | ПМ | 128 | 8  | 8   | Р   | +                    |   | + | + | +  | + |
| 36                                                                 | +           | F8 | 1→ | L4 | ПИ<                  | ЗП L4  | ПМ | 256 | 8  | 16  | У   |                      | + | + | + | +  | + |
| 37                                                                 | ×           | I4 | ←1 | L4 | УПМ                  | ЗП F8  | ПМ | 512 | 8  | 32  | Р   | +                    | + | + | + | +  |   |
| 38                                                                 | +           | F4 | 2→ | L8 | ПСч                  | ЗР I2  | МП | 512 | 8  | 8   | Р   | +                    | + | + | + |    | + |
| 39                                                                 | ×           | I2 | ←2 | L8 | ПВз                  | ЗР F4  | МП | 256 | 8  | 32  | Р   | +                    | + | + |   | +  | + |
| 40                                                                 | –           | F8 | ∧  | L1 | ПИ>                  | ЗР I2  | ПМ | 128 | 8  | 16  | У   | +                    | + |   | + | +  | + |
| 41                                                                 | /           | I4 | ⊕  | L1 | ПИ<                  | ЗР F4  | ПМ | 128 | 8  | 8   | Р   | +                    |   | + | + | +  | + |
| 42                                                                 | –           | F4 | ∨  | L1 | УПМ                  | ЗП I2  | МП | 256 | 8  | 32  | У   |                      | + | + | + | +  | + |
| 43                                                                 | /           | I2 | 1→ | L4 | ПСч                  | ЗП F4  | ПМ | 512 | 8  | 16  | Р   | +                    | + | + | + | +  |   |
| 44                                                                 | –           | F8 | ←1 | L4 | ПВз                  | ЗП L4  | МП | 512 | 8  | 8   | Р   | +                    | + | + | + |    | + |
| 45                                                                 | /           | I4 | 2→ | L8 | ПИ>                  | ЗП F8  | МП | 256 | 8  | 32  | Р   | +                    | + | + |   | +  | + |
| 46                                                                 | –           | F4 | ←2 | L8 | ПИ<                  | ЗР I2  | ПМ | 128 | 8  | 16  | У   | +                    | + |   | + | +  | + |
| 47                                                                 | /           | I2 | ∧  | L1 | УПМ                  | ЗР F8  | ПМ | 128 | 8  | 8   | Р   | +                    |   | + | + | +  | + |
| 48                                                                 | –           | F8 | ⊕  | L1 | ПСч                  | ЗР L4  | МП | 256 | 8  | 32  | У   |                      | + | + | + | +  | + |
| 49                                                                 | /           | I4 | ∨  | L1 | ПВз                  | ЗП F4  | ПМ | 512 | 8  | 16  | Р   | +                    | + | + | + | +  |   |
| 50                                                                 | –           | F4 | ←1 | L4 | ПИ>                  | ЗП I2  | МП | 512 | 8  | 8   | Р   | +                    | + | + | + |    | + |
| Устройство управления – автомат с программируемой логикой          |             |    |    |    |                      |        |    |     |    |     |     |                      |   |   |   |    |   |
| Способ адресации микрокоманд – естественная адресация (Е)          |             |    |    |    |                      |        |    |     |    |     |     |                      |   |   |   |    |   |
| Способ кодирования микроопераций – горизонтально-вертикальный (ГВ) |             |    |    |    |                      |        |    |     |    |     |     |                      |   |   |   |    |   |

| №<br>вар                                                                 | Команды АЛУ |    |    |    | Дополнит.<br>команды |       |    | ОП  |    | РП  |     | Способы<br>адресации |   |   |   |    |   |
|--------------------------------------------------------------------------|-------------|----|----|----|----------------------|-------|----|-----|----|-----|-----|----------------------|---|---|---|----|---|
|                                                                          | КА          | ДА | КЛ | ДЛ | ПУ                   | ОбрП  | ВВ | Еоп | ШВ | Ерп | Тип | Н                    | П | К | Р | КР | О |
| 51                                                                       | +           | I2 | 1→ | L4 | ПСч                  | ЗР F4 | МП | 128 | 4  | 32  | У   | +                    | + | + |   | +  | + |
| 52                                                                       | +           | I2 | ∧  | L1 | ПИ<                  | ЗП F8 | МП | 128 | 4  | 8   | P   | +                    | + |   | + | +  | + |
| 53                                                                       | +           | I2 | 2→ | L8 | ПВз                  | ЗР F8 | МП | 256 | 4  | 16  | У   | +                    |   | + | + | +  | + |
| 54                                                                       | +           | I2 | ⊕  | L1 | УПМ                  | ЗП F4 | МП | 256 | 4  | 16  | У   | +                    |   | + | + | +  | + |
| 55                                                                       | +           | F4 | ←2 | L8 | ПИ>                  | ЗР I4 | МП | 512 | 4  | 8   | P   |                      | + | + | + | +  | + |
| 56                                                                       | +           | F4 | √  | L1 | УПМ                  | ЗП I2 | МП | 512 | 4  | 32  | У   | +                    |   | + | + | +  | + |
| 57                                                                       | -           | F4 | ←1 | L4 | ПСч                  | ЗР I2 | ПМ | 128 | 4  | 32  | У   | +                    | + |   | + | +  | + |
| 58                                                                       | -           | F4 | ∧  | L1 | ПВз                  | ЗП I4 | ПМ | 128 | 4  | 8   | P   | +                    | + | + |   | +  | + |
| 59                                                                       | -           | I4 | 1→ | L4 | ПИ<                  | ЗР F4 | ПМ | 256 | 4  | 16  | У   | +                    | + | + | + |    | + |
| 60                                                                       | -           | I4 | 2→ | L8 | ПИ>                  | ЗП F8 | ПМ | 256 | 4  | 16  | У   | +                    | + | + | + | +  |   |
| 61                                                                       | -           | I4 | ⊕  | L4 | ПВз                  | ЗР F8 | ПМ | 512 | 4  | 8   | P   | +                    | + | + | + |    | + |
| 62                                                                       | -           | I4 | ←2 | L8 | ПСч                  | ЗП F4 | ПМ | 512 | 4  | 32  | У   | +                    | + | + |   | +  | + |
| 63                                                                       | +           | F8 | ←1 | L4 | УПМ                  | ЗР I2 | МП | 128 | 4  | 32  | У   | +                    | + |   | + | +  | + |
| 64                                                                       | x           | F8 | √  | L1 | ПСч                  | ЗП L4 | ПМ | 512 | 4  | 8   | P   | +                    |   | + | + | +  | + |
| 65                                                                       | x           | F8 | 2→ | L8 | ПВз                  | ЗР L4 | ПМ | 512 | 4  | 8   | У   |                      | + | + | + | +  | + |
| 66                                                                       | x           | F8 | ∧  | L4 | ПИ>                  | ЗП I2 | ПМ | 256 | 4  | 16  | P   | +                    |   | + | + | +  | + |
| 67                                                                       | x           | I2 | ⊕  | L4 | ПИ<                  | ЗР F4 | ПМ | 256 | 4  | 16  | У   | +                    | + |   | + | +  | + |
| 68                                                                       | x           | I2 | √  | L4 | ПВз                  | ЗП F8 | МП | 128 | 4  | 32  | У   | +                    | + | + |   | +  | + |
| 69                                                                       | x           | F4 | ←2 | L8 | ПСч                  | ЗР I2 | МП | 128 | 4  | 32  | У   | +                    | + | + | + |    | + |
| 70                                                                       | /           | F4 | 1→ | L4 | УПМ                  | ЗП L4 | МП | 512 | 4  | 8   | P   | +                    | + | + | + | +  |   |
| 71                                                                       | /           | I4 | ∧  | L1 | ПИ>                  | ЗР F4 | МП | 512 | 4  | 8   | У   | +                    | + | + | + |    | + |
| 72                                                                       | /           | I4 | 2→ | L8 | УПМ                  | ЗП F8 | ПМ | 256 | 4  | 16  | У   | +                    | + | + |   | +  | + |
| 73                                                                       | /           | F8 | ⊕  | L1 | ПВз                  | ЗР I2 | ПМ | 256 | 4  | 16  | У   | +                    | + |   | + | +  | + |
| 74                                                                       | /           | F8 | ←2 | L8 | ПИ<                  | ЗП I4 | ПМ | 128 | 4  | 32  | У   | +                    |   | + | + | +  | + |
| 75                                                                       | /           | I4 | √  | L1 | ПСч                  | ЗР F8 | ПМ | 128 | 4  | 32  | У   |                      | + | + | + | +  | + |
| <b>Устройство управления – автомат с программируемой логикой</b>         |             |    |    |    |                      |       |    |     |    |     |     |                      |   |   |   |    |   |
| <b>Способ адресации микрокоманд – принудительная адресация (Π)</b>       |             |    |    |    |                      |       |    |     |    |     |     |                      |   |   |   |    |   |
| <b>Способ кодирования микроопераций –вертикально-горизонтальный (BГ)</b> |             |    |    |    |                      |       |    |     |    |     |     |                      |   |   |   |    |   |

| №<br>вар                                                           | Команды АЛУ |    |    |    | Дополнит.<br>команды |       |    | ОП  |    | РП  |     | Способы<br>адресации |   |   |   |    |   |
|--------------------------------------------------------------------|-------------|----|----|----|----------------------|-------|----|-----|----|-----|-----|----------------------|---|---|---|----|---|
|                                                                    | КА          | ДА | КЛ | ДЛ | ПУ                   | ОбрП  | ВВ | Еоп | ШВ | Ерп | Тип | Н                    | П | К | Р | КР | О |
| 76                                                                 | /           | F4 | ⊕  | L1 | ПВз                  | ЗП I2 | ПМ | 512 | 8  | 8   | Р   | +                    | + |   | + | +  | + |
| 77                                                                 | –           | F4 | √  | L4 | ПИ<                  | ЗП L4 | МП | 256 | 8  | 16  | Р   | +                    |   | + | + | +  | + |
| 78                                                                 | ×           | F4 | ^  | L1 | ПВз                  | ЗП I2 | ПМ | 128 | 8  | 8   | Р   |                      | + | + | + | +  | + |
| 79                                                                 | +           | F4 | 1→ | L4 | УПМ                  | ЗП I4 | МП | 512 | 8  | 16  | Р   | +                    |   | + | + | +  | + |
| 80                                                                 | +           | F8 | 2→ | L8 | УПМ                  | ЗП I2 | ПМ | 256 | 8  | 8   | Р   | +                    | + |   | + | +  | + |
| 81                                                                 | –           | F8 | ←1 | L4 | ПВз                  | ЗП I4 | МП | 128 | 8  | 16  | Р   | +                    | + | + |   | +  | + |
| 82                                                                 | ×           | F8 | ←2 | L8 | УПМ                  | ЗП I2 | ПМ | 512 | 8  | 8   | Р   | +                    | + | + | + |    | + |
| 83                                                                 | /           | F8 | ⊕  | L1 | ПСч                  | ЗП L4 | МП | 256 | 8  | 16  | Р   | +                    | + | + | + | +  |   |
| 84                                                                 | ×           | F8 | √  | L1 | УПМ                  | ЗП I2 | ПМ | 128 | 8  | 8   | Р   | +                    | + | + | + |    | + |
| 85                                                                 | +           | I2 | ^  | L1 | ПВз                  | ЗП F4 | МП | 512 | 8  | 16  | Р   | +                    | + | + |   | +  | + |
| 86                                                                 | /           | I2 | 1→ | L4 | УПМ                  | ЗП F8 | ПМ | 256 | 8  | 8   | Р   | +                    | + |   | + | +  | + |
| 87                                                                 | –           | I2 | 2→ | L8 | ПСч                  | ЗП F4 | МП | 128 | 8  | 16  | Р   | +                    |   | + | + | +  | + |
| 88                                                                 | +           | I2 | ←1 | L4 | УПМ                  | ЗП F8 | ПМ | 512 | 8  | 8   | Р   |                      | + | + | + | +  | + |
| 89                                                                 | /           | I2 | ←2 | L8 | ПСч                  | ЗП F4 | МП | 256 | 8  | 16  | У   | +                    |   | + | + | +  | + |
| 90                                                                 | –           | I4 | ⊕  | L1 | ПИ<                  | ЗП F8 | ПМ | 128 | 8  | 32  | У   | +                    | + |   | + | +  | + |
| 91                                                                 | ×           | I4 | √  | L4 | УПМ                  | ЗП F4 | МП | 512 | 8  | 16  | У   | +                    | + | + |   | +  | + |
| 92                                                                 | +           | I4 | ^  | L1 | ПИ>                  | ЗП F8 | ПМ | 256 | 8  | 32  | У   | +                    | + | + | + |    | + |
| 93                                                                 | ×           | I4 | 1→ | L4 | УПМ                  | ЗП F4 | МП | 128 | 8  | 16  | У   | +                    | + | + | + | +  |   |
| 94                                                                 | –           | I4 | 2→ | L8 | УПМ                  | ЗП F8 | ПМ | 512 | 8  | 32  | У   | +                    | + | + | + |    | + |
| 95                                                                 | /           | F4 | ←1 | L4 | ПИ>                  | ЗП I2 | МП | 256 | 8  | 16  | У   | +                    | + | + |   | +  | + |
| 96                                                                 | +           | F4 | ←2 | L8 | ПИ<                  | ЗП L4 | ПМ | 128 | 8  | 32  | У   | +                    | + |   | + | +  | + |
| 97                                                                 | –           | F8 | ⊕  | L1 | УПМ                  | ЗП I2 | МП | 512 | 8  | 16  | У   | +                    |   | + | + | +  | + |
| 98                                                                 | ×           | F8 | √  | L1 | УПМ                  | ЗП I4 | ПМ | 256 | 8  | 32  | У   |                      | + | + | + | +  | + |
| 99                                                                 | /           | I2 | ^  | L1 | УПМ                  | ЗП F4 | МП | 128 | 8  | 16  | У   | +                    |   | + | + | +  | + |
| 100                                                                | +           | I2 | 1→ | L4 | ПИ>                  | ЗП F8 | ПМ | 512 | 8  | 32  | У   | +                    | + |   | + | +  | + |
| Устройство управления – автомат с программируемой логикой          |             |    |    |    |                      |       |    |     |    |     |     |                      |   |   |   |    |   |
| Способ адресации микрокоманд – принудительная адресация (П)        |             |    |    |    |                      |       |    |     |    |     |     |                      |   |   |   |    |   |
| Способ кодирования микроопераций – горизонтально-вертикальный (ГВ) |             |    |    |    |                      |       |    |     |    |     |     |                      |   |   |   |    |   |

## 5. РЕЗУЛЬТАТЫ ПРОЕКТИРОВАНИЯ

В процессе выполнения РГР разрабатываются:

- форматы команд и данных;
- алгоритм выборки команды из ОП;
- алгоритмы выполнения заданных вариантов команд (содержательные граф-схемы алгоритмов (ГСА));
- обобщенный алгоритм функционирования процессора (содержательная ГСА);
- структурная схема ЦОУ;
- микропрограмма, реализующая алгоритм функционирования процессора;
- функциональная схема управляющего устройства;
- принципиальная электрическая схема управляющего устройства;
- архитектура внешних выводов процессорного блока.

Результаты проектирования представляются в виде графического материала объемом два чертежа формата А2 и отчета по РГР объемом до 25 машинописных страниц формата А4.

Графический материал должен содержать следующие чертежи:

- объединенная ГСА функционирования процессора;
- структурная схема ЦОУ;

Все чертежи выполняются в соответствии с требованиями ЕСКД [6] и снабжаются штампами.

Отчет по РГР должен включать:

- титульный лист;
- задание (на специальном бланке);
- содержание с указанием страниц начала каждого раздела (подраздела);
- описание всех выполненных в процессе проектирования этапов (в точном соответствии с содержанием отчета, указанном в листе задания);
- заключение (выводы по проделанной работе);
- библиографический список.

Кроме ссылок на литературные источники, рисунки и таблицы в тексте отчета по РГР обязательно должны присутствовать ссылки на все разработанные чертежи. Шифр чертежа, который указывается в соответствующем штампе и на который осуществляется ссылка, формируется следующим образом: А.Б.В.Г, где

- А – шифр дисциплины (АВМ),
- Б – год сдачи курсового проекта,
- В – номер варианта,
- Г – номер чертежа.

Требования к выполнению отчета по РГР и чертежей приведены в приложении А.

## 6. ГРАФИК ВЫПОЛНЕНИЯ КУРСОВОГО ПРОЕКТА

Рекомендуемый график выполнения курсового проекта приведен в таблице 6.1.

Таблица 6.1 – График выполнения курсового проекта

| Номер этапа | Содержание этапа                                                                         | Номер недели |
|-------------|------------------------------------------------------------------------------------------|--------------|
| 1.          | Оформление листа задания                                                                 | 3            |
| 2.          | Уточнение постановки задачи. Определение структуры и разрядности основных элементов ЦОУ. | 3            |
| 3.          | Разработка форматов команд и уточнение форматов обрабатываемых данных                    | 5            |
| 4.          | Обоснование алгоритма выборки команды для заданной ширины выборки                        | 7            |
| 5.          | Разработка отдельных ГСА исполнения команд.                                              | 10           |
| 6.          | Построение общей ГСА функционирования процессора.                                        | 11           |
| 7.          | Построение структурной схемы ЦОУ и архитектуры внешних выводов процессора.               | 12           |
| 8.          | Разработка структурной схемы управляющего устройства (УУ).                               | 13           |
| 9.          | Разработка микропрограммы функционирования УУ.                                           | 14           |
| 10.         | Разработка принципиальной схемы заданного узла УУ (блока ПМП).                           | 15           |
| 11.         | Оформление отчета и чертежей и представление РГР к защите.                               | 16           |
| 12.         | Защита работы (в соответствии с графиком защиты).                                        | 17-18        |

## 7. ОСОБЕННОСТИ ПРОЕКТИРОВАНИЯ ЦОУ

### 7.1. Выбор форматов данных

На рисунке 7.1 показаны основные структурные единицы данных, обрабатываемых проектируемым устройством (а) и форматы их представления в процессе обработки (б).

Целые числа могут быть представлены как со знаком (S), так и без знака (для представления адресов). Числа со знаком представляются в дополнительном коде. Диапазон представления целых чисел –  $[-2^n, 2^n - 1]$ , где  $n$  – количество разрядов числа без учета разряда знака.

Двоичные числа с плавающей точкой представляются в виде двух чисел с фиксированной точкой: порядка (Р) и мантииссы (М), при этом Р – целое со

знаком,  $|M| < 1$ . В случае так называемой нормализованной мантиссы  $\frac{1}{2} \leq |M| < 1$  для двоичной системы счисления. Диапазон представления чисел с плавающей точкой –  $[M_{\min} \cdot 2^{P_{\min}}, M_{\max} \cdot 2^{P_{\max}}]$ .

В различных вычислительных системах существуют особенности представления чисел с плавающей точкой (порядок может быть сдвинут (увеличен) на определенную величину  $b$ , разную для различных стандартов представления вещественных чисел, могут отличаться значения числа разрядов поля, представляющего порядок, –  $k$  и  $m$ , коды, используемые для хранения мантисс (прямые, дополнительные), а также трактовки нормализованных чисел) [9, 10].

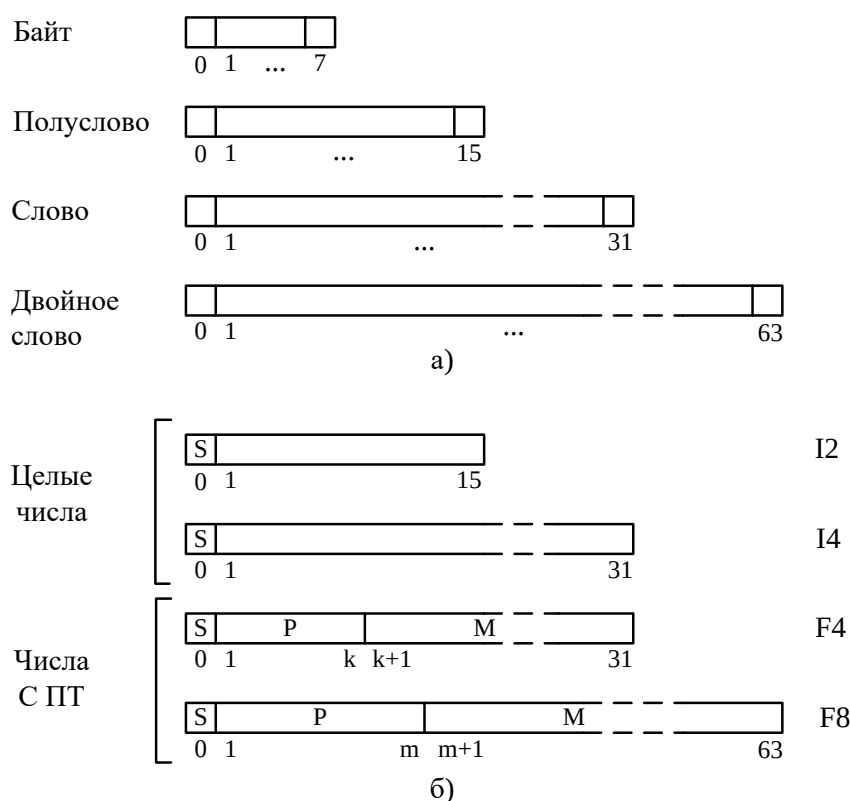


Рисунок 7.1 – Форматы данных

## 7.2. Выбор форматов команд

При выборе форматов команд следует исходить из критерия минимального разнообразия, т.е. удовлетворяя требованиям задания на курсовой проект, синтезировать форматы кратной длины и схожей структуры (количество и последовательность полей в команде, их смысловое значение и размеры). Кратность длины форматов команд упрощает процедуру выборки команд из ОП. Схожесть структуры команд упрощает процедуры обработки командных слов и вычисление исполнительных адресов операндов, участвующих в операции. Чтобы удовлетворить требованиям задания на проект, необходимо реализовать все заданные способы адресации. На рисунке 7.2 приведены все возможные в данном проекте способы адресации (способы поиска операндов). На рисунке 7.3 показан один из возможных форматов команды обработки данных. Команда имеет длину 4 байта и содержит 4 поля: 8-разрядное поле

кода операции (КОП), 4-разрядное поле адреса первого операнда (R1) – регистровая адресация, два поля для представления компонент адреса второго операнда (B2 – номер регистра, хранящего базовый адрес блока ОП, и D2 – смещение (константа) в блоке) – относительная адресация. Длина смещения зависит от размера блока ОП.

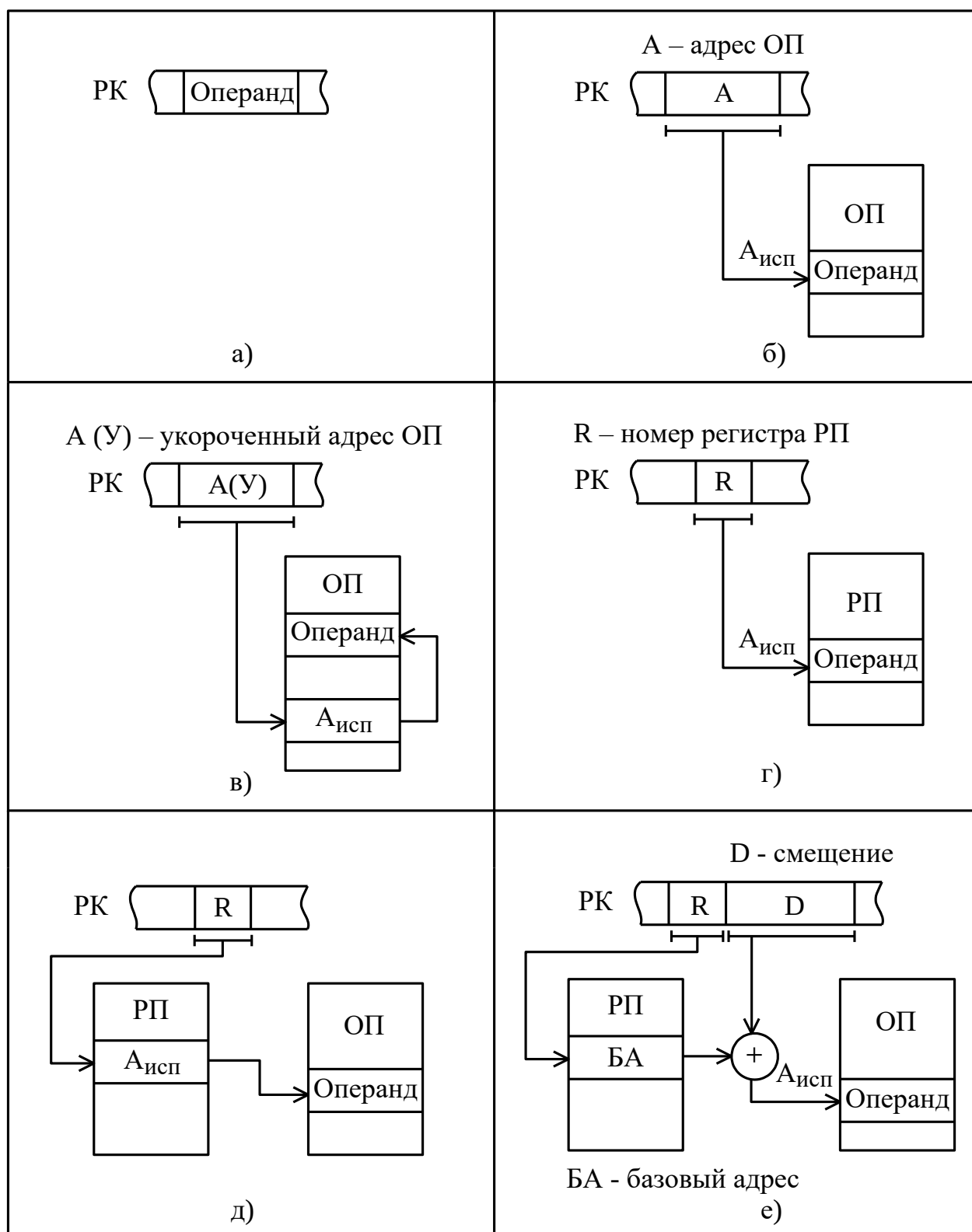


Рисунок 7.2 – Способы адресации: а) непосредственный (Н), б) прямой (П), в) косвенный (К), г) регистровый (Р), д) косвенный через регистр (КР), е) относительный (О)

|     |                |                |                |
|-----|----------------|----------------|----------------|
| КОП | R <sub>1</sub> | B <sub>2</sub> | D <sub>2</sub> |
| 0   | 7 8            | 11 12          | 15 16          |
|     |                |                | 31             |

Рисунок 7.3 – Формат операционной команды

### 7.3. Разработка системы команд

Основной задачей, решаемой в процессе синтеза системы команд, является определение эффективного состава операций, реализуемых процессором. В то же время, конкретное задание на курсовой проект предполагает разработку только пяти команд. Поэтому будем считать, что проектируемое устройство, реализующее пять определенных вариантов задания команд, является фрагментом процессора, реализующего от 128 до 256 команд. При этом в поле КОП команды будем выделять три поля: КОП(0:1) – для кода формата команды (или кода длины команды), КОП(2:4) – для кода класса команды, КОП(5:7) – для номера команды в списке класса.

Чтобы система команд была функционально полной, она должна включать следующие классы команд:

- 1) команды обращения к памяти по чтению и записи;
- 2) арифметические команды над целыми числами со знаком и без знака (сложение, вычитание, умножение, деление, сравнение);
- 3) арифметические команды над числами с плавающей точкой (сложение, вычитание, умножение, деление, сравнение);
- 4) логические команды (поразрядное «И», «ИЛИ», «Исключающее ИЛИ», инверсия),
- 5) команды сдвигов (одинарных, двойных, арифметических, логических) на произвольное число разрядов;
- 6) команды передачи управления (условных и безусловных переходов)
- 7) команды ввода/вывода.

Результаты проектирования системы команд должны быть сведены в таблицу, структура которой представлена на рисунке 7.4.

Первая команда в таблице на рисунке 7.4 имеет формат «Регистр-Память(относительная адресация)», код которого  $10_2$ . Вторая команда имеет формат «Регистр-Регистр», и его код равен  $00_2$ . Третья команда представлена в формате «Память (относительная адресация) - Непосредственный операнд», который обозначен кодом  $01_2$ .

Примечание. – Коды для разработанных форматов команд студент выбирает самостоятельно.

| Но-<br>мер<br>клас<br>са | Номер<br>коман-<br>ды | Название                 | Содержание                                      | ПР                   | Флаги | Код                    |     |     |                   |
|--------------------------|-----------------------|--------------------------|-------------------------------------------------|----------------------|-------|------------------------|-----|-----|-------------------|
|                          |                       |                          |                                                 |                      |       | Двоичный<br>01 234 567 |     |     | 16-<br>рич<br>ный |
| 1                        | 1                     | Чтение из<br>ОП в РП     | $(R_1) := ((B_2) + D_2)$                        | нет                  | A, S  | 10                     | 001 | 001 | 89                |
| ...                      | ...                   | ...                      | ...                                             | ...                  | ...   | ...                    | ... | ... | ...               |
| 2                        | 1                     | Сложение<br>с<br>ФТ      | $(R_1) := (R_1) + (R_2)$                        | $=0$<br>$<0$<br>$>0$ | ППФТ  | 00                     | 010 | 001 | 11                |
| ...                      | ...                   | ...                      | ...                                             | ...                  | ...   | ...                    | ... | ... | ...               |
| 4                        | 2                     | Логичес-<br>кое<br>«ИЛИ» | $((B_1) + D_1) :=$<br>$((B_1) + D_1) \vee Im_2$ | $=0$<br>$\neq 0$     | A, S  | 01                     | 100 | 010 | 62                |
| ...                      | ...                   | ...                      | ...                                             | ...                  | ...   | ...                    | ... | ... | ...               |

Рисунок 7.4 – Структура таблицы, описывающей систему команд ЦОУ (ПР – признак результата, ППФТ – флаг переполнения с фиксированной точкой, А – флаг нарушения адресации, S – флаг нарушения спецификации,  $Im_2$  – непосредственный (immediate) операнд)

#### 7.4. Элементы структуры процессорного блока

Главным элементом процессорного блока является АЛУ. Условное обозначение АЛУ показано на рисунке 7.5.

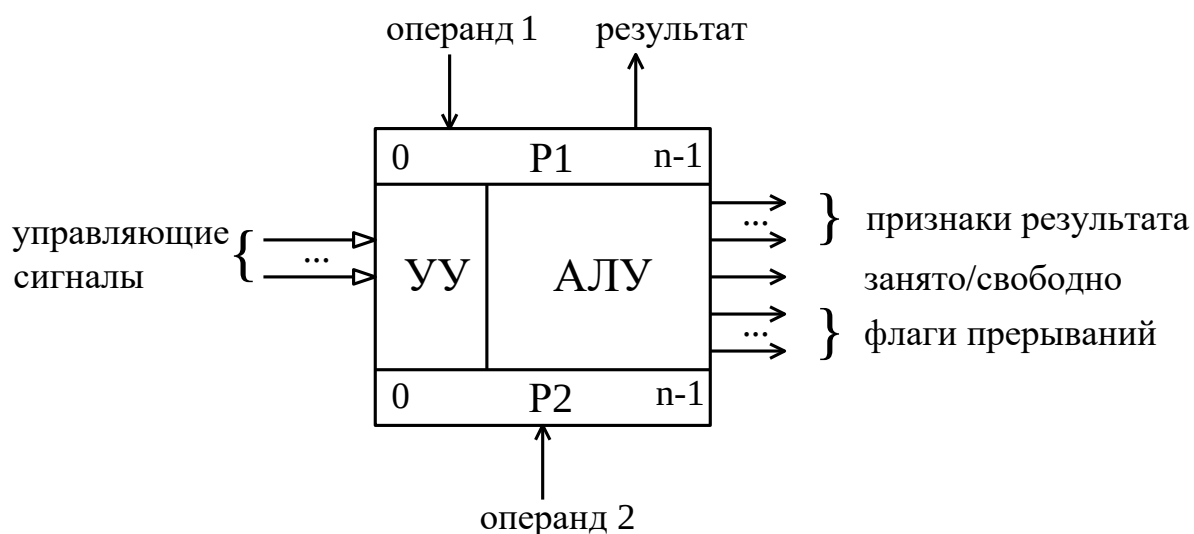


Рисунок 7.5 – Условное обозначение АЛУ

Двуместные операции в АЛУ выполняются над операндами, хранящимися в регистрах  $P1(0:n-1)$  (первый операнд) и  $P2(0:n-1)$  (второй операнд). Результат выполненной операции помещается в  $P1$ . Разрядность регистров  $n$  выбирается равной максимальной длине операндов. Каждая операция АЛУ инициируется своим управляющим сигналом, поступающим на вход устройства управления (УУ). АЛУ вырабатывает три группы осведомительных сигналов: признаки результата, флаги прерываний, признак занятости.

Регистровая память (РП) организуется как сверхоперативная память с прямой адресацией. РП допускает выборку слова в течение одного такта. По типу РП определяется как общая (для данных в формате с фиксированной точкой и с плавающей точкой) или отдельная, состоящая из двух самостоятельных блоков (регистры общего назначения (РОН) и регистры данных формата с плавающей точкой (РПТ)). Условное обозначение блока РП показано на рисунке 7.6.

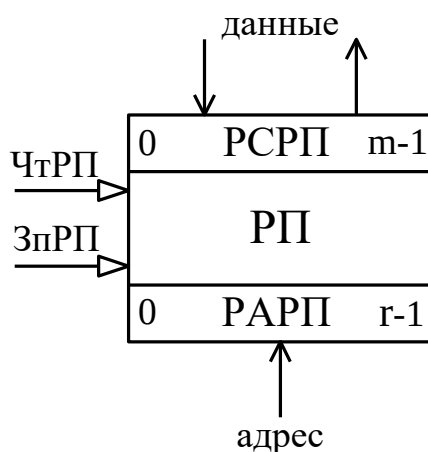


Рисунок 7.6 – Условное обозначение РП

Разрядность  $m$  регистра слова регистровой памяти (РСРП) определяется длиной информационного слова. Для проектируемого устройства  $m=32$  (раздел 7.1). Разрядность  $r$  регистра адреса регистровой памяти (РАРП) определяется как  $\lceil \log_2 E_{РП} \rceil$ , где  $E_{РП}$  – количество регистровых схем в блоке памяти.

В качестве примера общей РП можно привести структуру регистровой памяти, принятую в первых моделях компьютерных систем семейства IBM. РП содержит 24 32-разрядных регистра. Соответственно  $m=32$ ,  $r=5$ . Регистры с номерами 0 – 15 используются как РОН. Регистры с номерами (16,17), (18,19), (20,21), (22,23) используются как регистровые пары для хранения 64-разрядных операндов с ПТ. 64-разрядный операнд выбирается за два обращения к РП. Если операнд с ПТ имеет длину 32 бита, то он помещается в первый регистр регистровой пары. В формате команды (рисунок 7.3) под номер регистра отводится 4-разрядное поле. При обращении к РП содержимое этого поля РК помещается в младшие разряды РАРП. В старший разряд РАРП заносится 0, если обращение производится к РОН, и 1, если обращение производится к РПТ. Микрооперация формирования адреса РОН выглядит следующим образом:

РАРП(0:4):=0.РК(8:11), а адреса РПТ: РАРП(0:4):=1.РК(8:11). В качестве номера РПТ в команде может быть указан только номер (а точнее, младшие 4 бита номера) первого регистра регистровой пары: 16 (0), 18 (2), 20 (4), 22 (6). Указанные в скобках числа в двоичном 4-битовом представлении имеют нули в старшем и младшем бите. Таким образом, условие правильной спецификации РПТ будет следующим:  $РК(8) \vee РК(11) = 0$ . В противном случае флаг нарушения спецификации устанавливается в 1 и выполнение команды прекращается.

На регистр команд (РК) выбирается из ОП команда, подлежащая исполнению. Разрядность РК определяется максимальной длиной формата команды.

Счетчик адреса команды (СчАК), предназначенный для хранения адреса очередной выбираемой из ОП команды, обеспечивает адресацию к любому байту ОП. Его разрядность определяется как  $\lceil \log_2 E_{ОП} \rceil$ . При этом, младшие  $k = \lceil \log_2 ШВ \rceil$  разрядов определяют адрес байта в слове, а старшие разряды – адрес слова ОП. Структура СчАК в случае  $E_{ОП}=256МВ$  и  $ШВ=8В$  приведена на рисунке 7.7. На шину адреса (ША) для обращения к ОП подаются только старшие 25 разрядов СчАК. В случае, если  $ШВ=4В$ , на ША для обращения к ОП должны подаваться старшие 26 разрядов СчАК. Исходя из этого выбирается разрядность регистра адреса (РА) ОП. Разрядность регистра слова (РС) ОП равна ШВ.

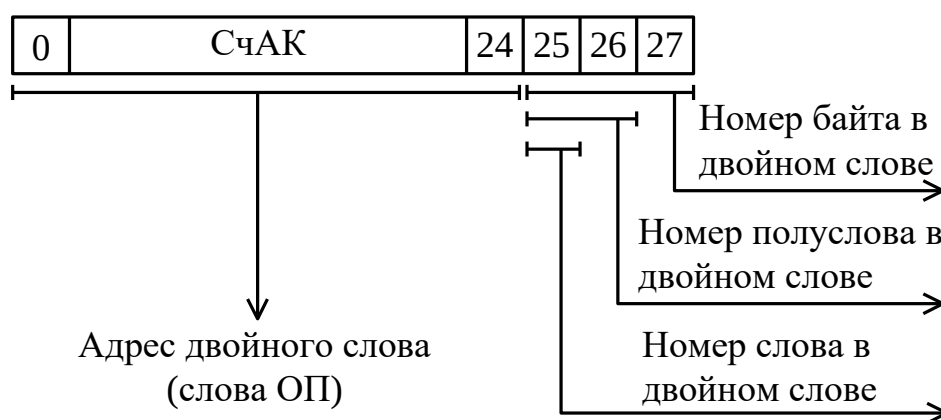


Рисунок 7.7 – Структура СчАК

Сумматор адреса (СмА), предназначен для вычисления исполнительного адреса ( $A_{ИСП}$ ) в случае его задания в виде нескольких компонент (например, при относительной адресации  $A_{ИСП}=(B)+D$ ). По разрядности СмА может отличаться от СчАК дополнительным старшим разрядом, фиксирующим переполнение.

Триггер перехода (ТП) сбрасывается в нулевое состояние, если исполняемая команда относится к группе команд обработки данных, и устанавливается в 1 в случае формирования адреса перехода при исполнении команды передачи управления. Учет состояния ТП может потребоваться при выборке команд из ОП.

Разрядность регистра флагов прерываний и регистра признака результата определяется студентом в результате анализа описания выполняемых команд.

БВР (блок внутренних регистров) состоит из отдельных регистров прямого доступа, размерность и количество которых определяется в процессе проектирования (буферные регистры, регистры внешних портов и т.п.).

### 7.5. Обмен данными в ЦОУ

На рисунке 7.8 представлена схема обмена данными между процессором (П) и МВВ или ОП.

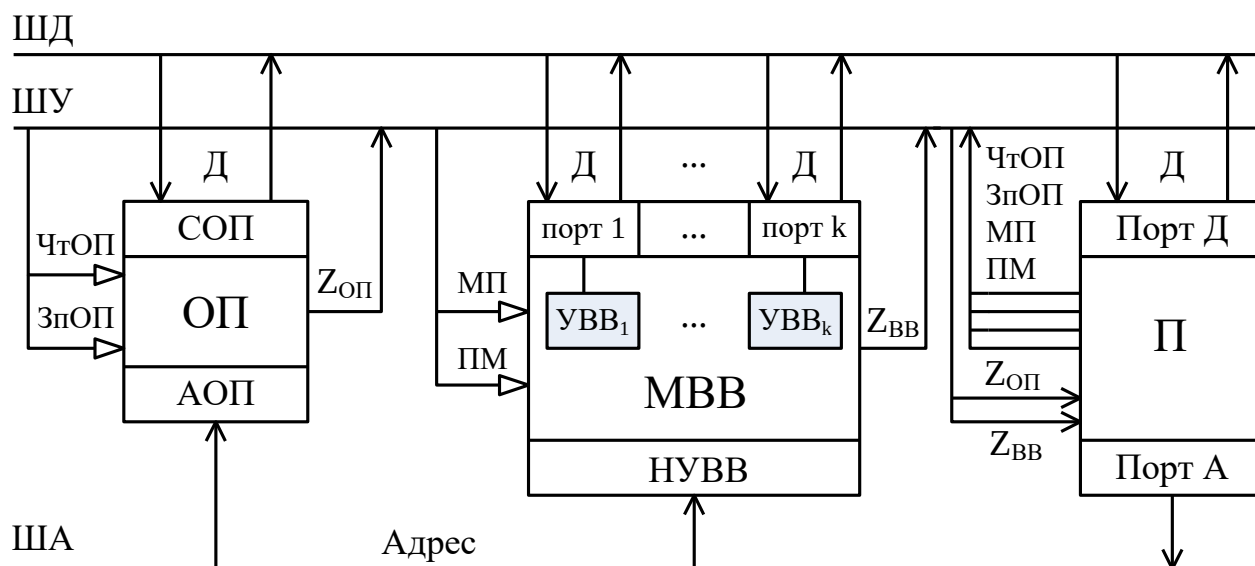


Рисунок 7.8 – Схема обмена данными в ЦОУ

Используются следующие обозначения:

- СОП – входы/выходы данных (слово ОП),
- АОП – адресные входы ОП (адрес слова ОП),
- порт 1 ... порт k – порты (регистры), через которые внешние устройства  $УВВ_1...УВВ_k$  обмениваются данными с процессором (П),
- НУВВ – адресные входы МВВ (на них поступает номер (адрес) устройства ввода/вывода),
- порт Д – порт процессора, через который он обменивается данными с внешними устройствами (ОП и МВВ),
- порт А – порт, через который процессор выдает адрес слова ОП или номер УВВ.

Обмен типа «П-МВВ» реализуется при исполнении команд ввода (МП), обеспечивающих перемещение данных из адресуемого устройства ВВ в П, или вывода (ПМ), обеспечивающих обратную передачу от П к устройству ВВ. Предполагается, что передача данных осуществляется 8-разрядными двоичными векторами. Формат команды ввода/вывода представлен на рисунке 7.9.



Рисунок 7.9 – Формат команды ввода/вывода

Передача данных при вводе осуществляется следующим образом:

- 1) П направляет адрес выбранного устройства ввода на МВВ по адресной шине, определяя с тем самым с какого порта ввода должны быть получены данные;
- 2) по шине управления П посылает МВВ сигнал ввода (МП);
- 3) данные, представленные в адресуемом порте ввода, пересылаются в порт данных П, если  $Z_{ВВ}$  (осведомительный сигнал) определяет выбранное устройство как готовое к выполнению операции.

Операция вывода осуществляется аналогичным вводу способом, но передача данных осуществляется в обратном направлении.

Обмен типа «П-ОП» происходит в следующих случаях:

- 1) при реализации команд загрузки регистра (ЗР) и записи в память (ЗП);
- 2) в процессе выборки команды из ОП;
- 3) в процессе исполнения арифметической или логической команды при выборке из ОП операндов и записи в ОП результата.

Примеры выполнения обмена при чтении операнда из ОП и записи результата операции обработки данных в ОП представлены в виде фрагментов схемы алгоритма на рисунке 7.10. Осведомительный сигнал  $Z_{ОП}=1$  свидетельствует о том, что ОП не готова к исполнению инструкций чтения или записи, которые инициируются соответственно управляющими сигналами ЧтОП и ЗпОП.

Напомним, что для систем с принстонской архитектурой характерно хранение команд и данных в одном и том же устройстве ОП. При считывании команды из ОП на порт А передаются значения определенных битов СчАК.

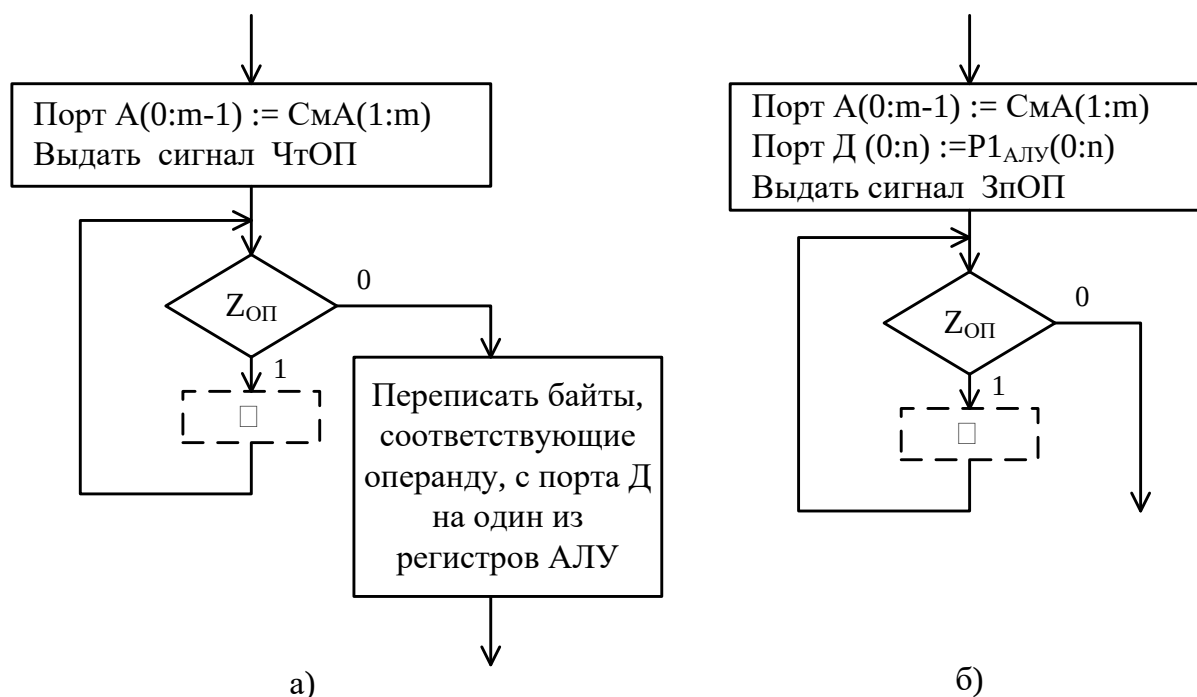


Рисунок 7.10 – Алгоритмы обмена типа П-ОП при чтении из ОП (а) и записи в ОП (б)

## 7.6. Разработка архитектуры внешних выводов процессорного блока

Завершающим этапом разработки процессорного блока ЦОУ является процедура описания внешнего интерфейса. Основным результатом этой процедуры является перечисление внешних выводов процессорного блока, описание их структурной организации и функционального назначения.

При разработке архитектуры внешних выводов следует ориентироваться на использование стандартных корпусов, имеющих ограниченное количество выводов: 40, 68, 132, 144, 168. Если функциональных выводов (их число определяется в процессе проектирования) оказывается меньше, чем выводов стандартного корпуса, то избыточные выводы корпуса могут быть использованы либо для дублирования контактов «земля» и «питание», либо для увеличения разрядности шины адреса.

Обобщенное условное графическое обозначение (УГО) процессорного блока показано на рисунке 7.11. Процессор имеет внешние выводы адреса (A) и данных (D). В некоторых случаях (в данном КП – в случае использования критерия уменьшения аппаратных затрат) для сокращения числа внешних выводов процессора часть выводов адреса и данных мультиплексируют (совмещают). Это возможно, так как в процессе обращения к внешним устройствам сначала на общих выводах процессора появляется адрес, а затем данные. Тогда, для демultipлексирования выводов используется дополнительный сигнал ALE (строб адреса), который идентифицирует событие выдачи адреса на шину адреса. Часть адреса, выдаваемая на общие выводы адреса/данных, как правило, фиксируется на внешнем регистре-защелке по сигналу ALE. Выводы RD, WR, IN, OUT используются соответственно для сигналов «чтение» (Чт), «запись» (Зп), «ввод» (МП) и «вывод» (ПМ). Контакт READY (готовность) используется для приема сигнала готовности ( $Z_{OP}$ ,  $Z_{BV}$ ) от медленных внешних по отношению к процессору устройств (ОП, МВВ). Назначение выводов +5V (питание), GND (земля), RESET (сброс), SET (установка), CLC (синхронизация) общеизвестно. Все внешние выводы (контакты) разработанного процессора должны быть пронумерованы.

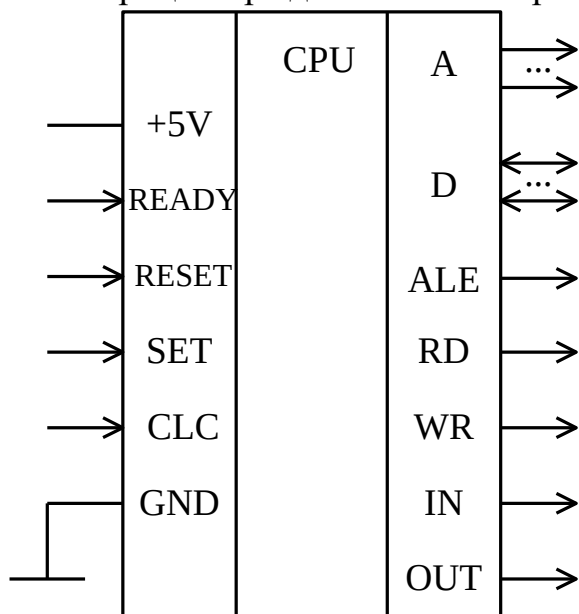


Рисунок 7.11 – Обобщенное УГО процессорного блока

## 8. ФРАГМЕНТЫ АЛГОРИТМА ФУНКЦИОНИРОВАНИЯ ЦОУ

В курсовом проекте разработке подлежат алгоритмы выполнения пяти операций, определенных вариантом задания, и алгоритм выборки команды из ОП. Взаимосвязь указанных алгоритмов отражена на рисунке 8.1. Если код выбранной на РК команды не совпадает с кодом ни одной из реализованных команд, устанавливается флаг прерывания К (резервная команда).

### 8.1. Алгоритм выборки команды

Для того, чтобы выполнить любую команду программы, ее необходимо выбрать из ОП на РК. Процедура выборки существенно зависит от формата выбираемой команды и от ее размещения в словах ОП. Предположим, что в процессе проектирования выбраны три формата длиной 2, 4 и 6 байт, а ширина выборки ОП равна 4 байтам. Корректный адрес команды при таких предположениях должен быть кратен 2 или 4, а его значение не превышать предельно допустимое, определяемое емкостью ОП.

Пример размещения команд в ОП при вышеописанных условиях приведен на рисунке 8.2.

Упрощенная структура алгоритма выборки команды представлена на рисунке 8.3.

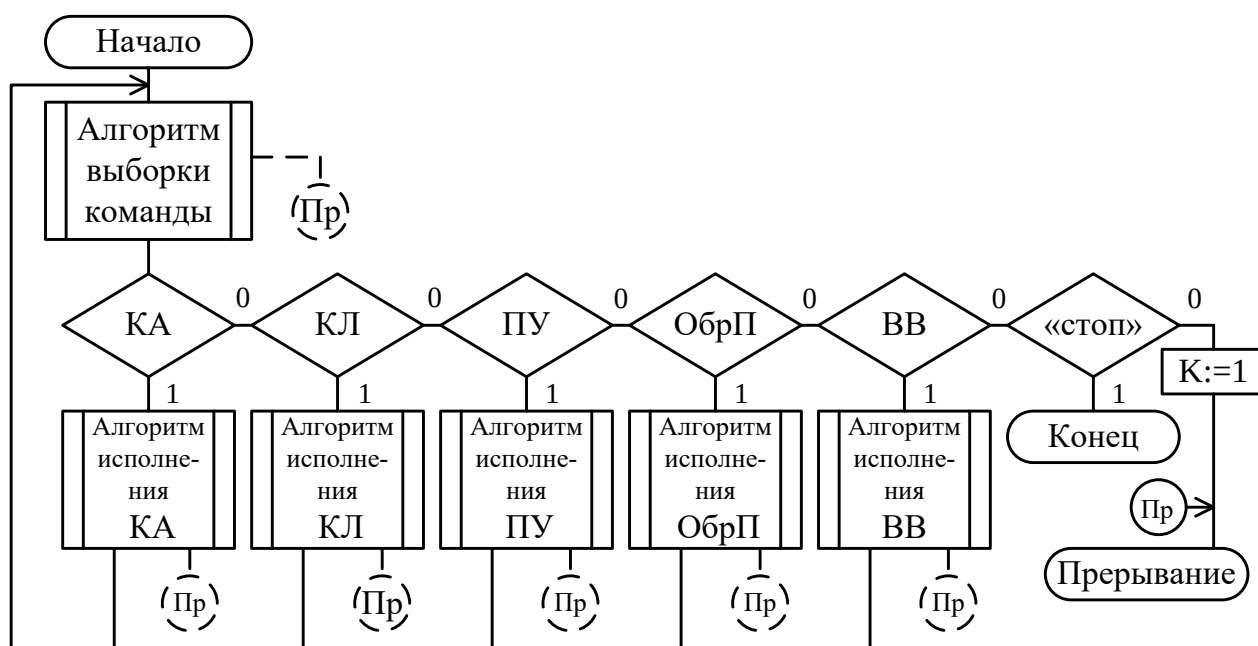


Рисунок 8.1 – Схема алгоритма функционирования ЦОУ

## ОП

|              |     |              |
|--------------|-----|--------------|
| 0            | СОП | 31           |
| ...          |     |              |
| $K_{2B}$     |     | $K_{2B}$     |
| $1/2 K_{4B}$ |     | $1/2 K_{4B}$ |
| $K_{2B}$     |     | $1/2 K_{4B}$ |
| $1/2 K_{4B}$ |     | $1/3 K_{6B}$ |
| $1/3 K_{6B}$ |     | $1/3 K_{6B}$ |
| $1/3 K_{6B}$ |     | $1/3 K_{6B}$ |
| $1/3 K_{6B}$ |     | $K_{2B}$     |
| ...          |     |              |
| АОП          |     |              |

Рисунок 8.2 – Пример размещения команд в ОП при ширине выборки 4 байта

Каждая ветвь алгоритма выборки команды представлена в виде трех вариантов: для форматов в 2, 4 и 6 байтов.

Некорректный адрес не дает возможности завершить алгоритм выборки команды. Например, адрес команды будет некорректным, если предыдущая команда перехода загрузила в СЧАК адрес, не кратный 2 (младший разряд СЧАК не равен нулю). Заметим, что, во-первых, длины форматов всех команд в рассматриваемой системе команд кратны 2 байтам, во-вторых, команды выполняемой программы располагаются в памяти последовательно без наличия свободных байтов между ними (рисунок 8.2). Поэтому в соответствии с методом целочисленных границ, применяемым для обеспечения достоверности выбираемой из ОП информации (подробно рассмотрен в разделе 8.2), команда должна начинаться в памяти с целочисленной границы полуслова (т.е. адрес команды, как уже было сказано, должен быть кратен 2). В противном случае возникает нештатная ситуация (прерывание) – нарушение спецификации. Будем считать, что в процессе выборки команды ситуация нарушения адресации (обращения к несуществующему адресу) появиться не может. Такое допущение можно сделать исходя из следующих предположений:

- если адрес следующей команды вычисляется на СМА в процессе исполнения команды перехода, то при возникновении переполнения СМА, ситуация нарушения адресации обрабатывается здесь же;
- при естественном следовании команд ситуация нарушения адресации возникнуть не может, так как программа загружена в ОП целиком.

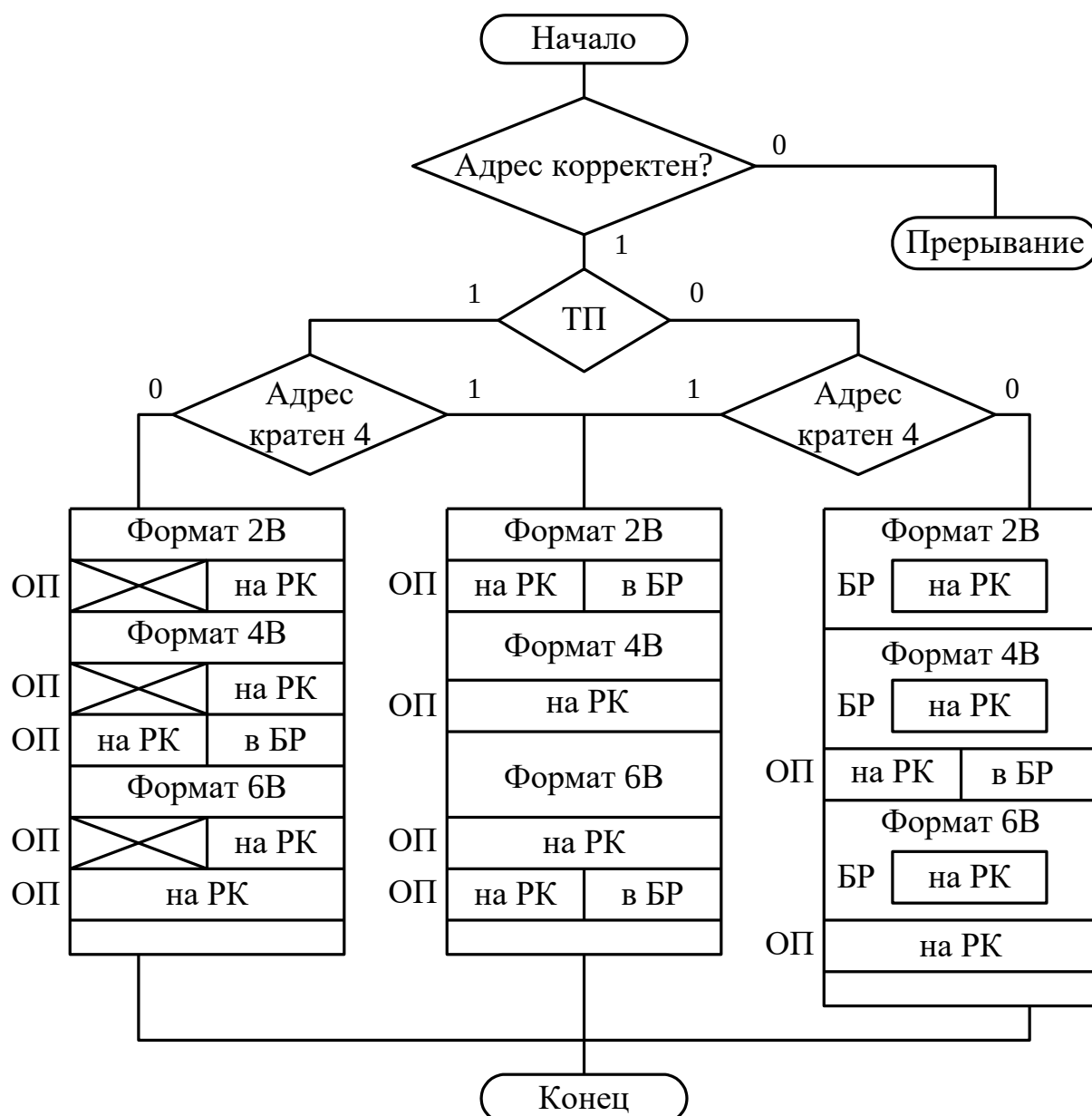


Рисунок 8.3 – Упрощенная структура алгоритма выборки команды

Если адрес корректный, то возможно три альтернативы выбора команды:

- 1) ТП=1 и адрес команды кратен 2;
- 2) адрес команды кратен четырем;
- 3) ТП равен нулю и адрес команды кратен 2.

Первая ветвь (ТП=1) определяет выборку команды, следующей после команды перехода. Выбираемая из ОП команда начинается со второго полуслова слова, считанного из ОП. Выборка команды с длиной форматов 4 или 6 байтов осуществляется за два обращения к памяти. Часть выбранной информации, относящаяся к выбираемой команде, переносится на РК. Выбранная, но не использованная информация запоминается в буферном регистре (БР).

Вторая ветвь определяет выборку команды в случае, если она начинается с первого полуслова слова, выбранного из ОП (адрес команды кратен 4).

Третья ветвь ( $ТП=0$ ) определяет выборку команды, следующей за командой обработки (а не перехода). Адрес выбираемой команды кратен двум.

Особенностью последовательной (естественной) выборки команд в этом случае является то, что часть выбираемой команды (одно полуслово) уже выбрана и хранится на буферном регистре. Если выбираемая команда имеет формат 2В, то достаточно содержимое БР(0:15) передать на РК(0:15). Обращение к ОП в этом случае не требуется. Если выбираемая команда имеет формат 4В или 6В, то обращение к ОП необходимо. В случае формата 4В первое полуслово вновь выбранного из ОП слова содержит вторую часть команды. Это полуслово нужно передать на РК(16:31). Второе полуслово выбранного из ОП слова, относящееся к следующей команде, необходимо запомнить на БР. В случае формата 6В все вновь выбранное из ОП слово относится к выбираемой команде и его необходимо переписать на РК(16:47).

Примечание. – Для каждого из рассмотренных выше случаев после записи на РК целой команды или части команды значение СчАК должно быть увеличено на необходимую константу (2 или 4).

Как видно из вышесказанного, 16-разрядный БР используется для увеличения быстродействия ЦОУ путем ускорения процедуры выборки команды за счет сокращения числа обращений к ОП (предполагается, что информация с БР считывается за 1 такт, а считывание из ОП происходит в течение нескольких тактов работы ЦОУ).

Пример размещения в ОП команд тех же форматов при ширине выборки 8 байт приведен на рисунке 8.4. Алгоритм выборки для этого случая студенту предлагается разработать самостоятельно. При этом, возможно, потребуется увеличить разрядность БР и ввести дополнительный регистр, на котором будет храниться адрес информации, считанной на БР из ОП.

## 8.2. Обработка адресов и выборка операндов

Операнды, вступающие в операцию, могут находиться в РОН, РПТ и ОП. Все регистры РОН или РПТ адресуются трех-, четырех- или пятиразрядным полем. Разрядность поля адреса зависит от количества регистров в блоке (8, 16 или 32). Если регистровый блок общий, то адреса РПТ должны отличаться от адресов РОН. Нарушение этого условия в команде называется неправильной спецификацией и отмечается установкой соответствующего бита регистра флагов в единичное состояние. При неправильной спецификации выполнение операции прекращается.

Вычисленный исполнительный адрес операндов, находящихся в ОП, также может быть некорректным. Возможна ситуация «неправильная адресация», когда адрес выходит за пределы фактической емкости ОП. Флаг нарушения адресации в этом случае устанавливается в единичное состояние и операция не выполняется.

## ОП

|                     |  |                     |  |                     |  |
|---------------------|--|---------------------|--|---------------------|--|
| 0                   |  | СОП                 |  | 63                  |  |
| ...                 |  |                     |  |                     |  |
| K <sub>2B</sub>     |  | K <sub>2B</sub>     |  | K <sub>2B</sub>     |  |
| 1/2 K <sub>4B</sub> |  | 1/2 K <sub>4B</sub> |  | 1/2 K <sub>4B</sub> |  |
| K <sub>2B</sub>     |  | 1/2 K <sub>4B</sub> |  | K <sub>2B</sub>     |  |
| K <sub>2B</sub>     |  | 1/3 K <sub>6B</sub> |  | 1/3 K <sub>6B</sub> |  |
| 1/3 K <sub>6B</sub> |  | 1/3 K <sub>6B</sub> |  | 1/2 K <sub>4B</sub> |  |
| 1/2 K <sub>4B</sub> |  | K <sub>2B</sub>     |  | 1/3 K <sub>6B</sub> |  |
| 1/3 K <sub>6B</sub> |  | 1/2 K <sub>4B</sub> |  | K <sub>2B</sub>     |  |
| ...                 |  |                     |  |                     |  |
| АОП                 |  |                     |  |                     |  |

Рисунок 8.4 – Пример размещения команд в ОП при ширине выборки 8 байт

Неправильная спецификация операндов, находящихся в ОП, является следствием нарушения целочисленности границы для обрабатываемого типа данных. Напомним, что граница является целочисленной, если ее адрес кратен числу байтов, составляющих многобайтовую структуру данных. Например, полуслово (данные длиной 2 байта) должно иметь адрес, кратный двум, слово (4 байта) – четырем, двойное слово (8 байтов) – восьми. Таким образом, если операнд имеет длину 2 байта (полуслово), то при правильной спецификации последний разряд адреса должен быть равен нулю. Это свидетельствует о том, что в памяти до выбираемого операнда уместится целое количество полуслов. Если операнд занимает в ОП 4 байта, то нулевыми должны быть два последних разряда его адреса. Если операнд определяется как двойное слово, то его адрес должен оканчиваться тремя нулями.

Применение метода целочисленных границ обусловлено общим требованием высокой достоверности выбираемых данных. Идея метода проиллюстрирована на рисунке 8.5.

Для вычисления исполнительного адреса операндов используется сумматор адреса (СМА). Вычисленный на СМА исполнительный адрес должен быть проверен на наличие нарушений адресации и спецификации.

Для примера на рисунке 8.6 приведена ГСА вычисления исполнительного адреса и выборки операнда из ОП на Р1 АЛУ. Предполагаются следующие ограничения: формат данных – 4 байта, формат команды аналогичен приведенному на рисунке 7.3,  $E_{ОП}=256MB$ ,  $ШВ=4B$ , регистры АЛУ и РП содержат по 32 разряда.

Разрядность СМА определяется как  $\lceil \log_2 E_{\text{ОП}} \rceil + 1$ . Дополнительный нулевой разряд используется для проверки нарушения адресации (возникновение переполнения при вычислении исполнительного адреса). Равенство нулю двух младших разрядов СМА свидетельствует о правильной спецификации.

Проверка равенства нулю номера базового регистра предпринимается для того, чтобы определить необходимость базирования. Если поле команды, отведенное для указания номера базового регистра, нулевое, базирование не выполняется. Другими словами, нулевой регистр не может использоваться для указания базового адреса.

| Адрес<br>байта    | ОП                       |                   |
|-------------------|--------------------------|-------------------|
|                   | ...                      |                   |
| 0...10011         |                          |                   |
| 0...1001 <u>0</u> |                          | Граница ПС        |
| 0...10001         |                          |                   |
| 0...100 <u>00</u> |                          | Граница ДС, С, ПС |
| 0...01111         |                          |                   |
| 0...0111 <u>0</u> |                          | Граница ПС        |
| 0...01101         |                          |                   |
| 0...011 <u>00</u> |                          | Граница С, ПС     |
| 0...01011         |                          |                   |
| 0...0101 <u>0</u> |                          | Граница ПС        |
| 0...01001         |                          |                   |
| 0...010 <u>00</u> |                          | Граница ДС, С, ПС |
| 0...00111         |                          |                   |
| 0...0011 <u>0</u> |                          | Граница ПС        |
| 0...00101         |                          |                   |
| 0...001 <u>00</u> |                          | Граница С, ПС     |
| 0...00011         |                          |                   |
| 0...0001 <u>0</u> |                          | Граница ПС        |
| 0...00001         |                          |                   |
| 0...000 <u>00</u> | 0                      7 | Граница ДС, С, ПС |

Рисунок 8.5 – Расположение информации в ОП в соответствии с методом целочисленных границ (ПС – полуслово, С – слово, ДС – двойное слово)



Рисунок 8.6 – Пример ГСА выборки операнда из ОП

## 9. ОСОБЕННОСТИ ПРОЕКТИРОВАНИЯ УСТРОЙСТВА УПРАВЛЕНИЯ ЦОУ

В соответствии с заданием на курсовое проектирование предполагается УУ организовать в виде управляющего автомата (УА) с программируемой логикой (ПЛ). УА с ПЛ строятся на основе принципа микропрограммного управления, использующего операционно-адресную структуру управляющих слов (микрокоманд – МК). МК – это записанное в ПЗУ по определенному адресу слово, содержащее информацию о микрооперациях (МО), которые должны выполняться в данном такте работы ЦОУ, и адресе следующей выполняемой МК. Для кодирования указанной информации в МК выделяются два поля: поле МО и поле адреса. В свою очередь поле адреса состоит из двух подполей: поля логических условий (ЛУ) и поля непосредственного адреса (НА).

Длина каждого поля определяется количеством двоичных разрядов, используемых для кодирования соответствующей информации. Длина поля МО зависит от способа кодирования микроопераций (горизонтально-вертикальное или вертикально-горизонтальное).

Длина адресного поля зависит как от объема микропрограммы, так и от способа формирования адреса следующей выполняемой МК (естественная или принудительная адресация). В случае естественной адресации используются МК двух типов: операционные и управляющие. Операционные МК содержат признак типа МК (1 разряд) и операционное поле, а управляющие – признак типа МК, поле логических условий и поле непосредственного адреса. В случае принудительной адресации используются однотипные МК, состоящие из трех полей: поле МО, поле логических условий и поле непосредственного адреса.

Исходной информацией для разработки микропрограммы функционирования ЦОУ является ГСА функционирования ЦОУ.

Обобщенная структура УА с программируемой логикой представлена на рисунке 9.1.

Память микропрограмм (ПМП) организована в виде ПЗУ. В качестве АМК используется счетчик (в случае естественной адресации) или регистр (в случае принудительной адресации). Пуск автомата осуществляется подачей в схему управляющего сигнала В, разрешающего подачу тактирующих сигналов на ПМП, останов – подачей управляющего сигнала А. Сигнал Сброс или Уст (установка) устанавливает на АМК адрес начальной микрокоманды в микропрограмме. Управляющий сигнал ЧтМК выбирает из ПМП на регистр МК (РМК) очередную МК. Схема формирователя сигналов МО (ФСМО) расшифровывает поле МО и вырабатывает управляющие сигналы, инициирующие выполнение процессором конкретной МК. Формирователь адреса (ФА), сравнивая поле ЛУ в МК с двоичным вектором осведомительных сигналов ( $x_1, x_2, \dots, x_n$ ), принимает решение о передаче кода НА на АМК.

Процесс проектирования УУ завершается разработкой принципиальной схемы устройства. Вариантом задания не определяется конкретная серия интегральных схем. Выбор элементной базы осуществляется студентом по согласованию с преподавателем.



Рабочая частота  $F_p$  выбирается из гостированного ряда частот  $\{F\}$  при условии, что  $F_p \leq 0,8F$ .

На рисунке 9.2 приведена временная диаграмма процесса исполнения МК. При построении диаграммы предполагалось, что любая МК выполняется за один такт, регистры-защелки (РМК и АМК) переключаются по переднему фронту синхроимпульса. Отправной точкой рассмотрения диаграммы будем считать некоторую точку  $t_1$  на временной оси. В этот момент времени на входах ПМП выставлен адрес  $МК_i$  – микрокоманды, подлежащей исполнению. С этого момента начинается процесс выборки и исполнения МК. Для осуществления синхронного принципа функционирования ОУ достаточно подавать в схему УУ три синхросерии одинаковой частоты  $F=1/T_{OU}$ :  $СС_1$  – для инициирования записи слова МК в РМК,  $СС_2$  – для стробирования выхода ФСМО,  $СС_3$  – для переключения регистровой схемы АМК.

Интервал времени  $\tau_1=(t_1, t_2)$  определяется максимальным временем выборки слова из ПМП. В момент времени  $t_2$  слово  $МК_i$  выбрано на информационные выходы ПМП. Импульс синхросерии  $СС_1$  иницирует загрузку слова  $МК_i$  в РМК. Интервал  $\delta$  вводится для того, чтобы гарантировать загрузку «правильного слова» в РМК. Интервал  $\tau_2$  определяется временем, необходимым для записи слова  $МК_i$  в РМК. Интервал времени  $\tau_3$  может быть определен как время срабатывания ФСМО  $\tau_{ФСМО}$  (для принудительной адресации МК) или  $\max\{\tau_{ФСМО}, \tau_{ФА}\}$  (для естественной адресации МК). Суммарное время  $(\tau_2 + \tau_3)$  может рассматриваться как задержка импульса синхросерии  $СС_2$  относительно  $СС_1$ .

Импульс  $СС_2$  разрешает подачу сформированных на ФСМО управляющих сигналов на входы ОБ с целью инициирования исполнения микроопераций, включенных в обрабатываемую МК. Длительность импульса  $СС_2$   $\tau_4$  определяется временем исполнения в ОБ наиболее продолжительной МО (это время включает и время формирования осведомительных сигналов). Наиболее длительными по исполнению являются МО суммирования и счета (предполагается, что обмен с ОП и МВВ не является МО и выполняется за несколько тактов работы процессора). Предполагается также, что операционные элементы, реализующие МО в обрабатывающем блоке, построены в том же элементном базисе, что и управляющее устройство. Исходя из этого предположения, студент может оценить время исполнения указанных МО.

Интервал  $\tau_5$  определяется временем срабатывания ФА.

Импульс синхросерии  $СС_3$  иницирует загрузку (выработку) адреса следующей микрокоманды  $МК_j$  в АМК. Интервал  $\tau_6$  определяется временем, необходимым для переключения АМК ( $АМК:=РМК[НА].X_x$  при принудительной адресации МК;  $АМК:=РМК[НА]$  при естественной адресации в случае выполняемого перехода;  $АМК:=АМК+1$  при естественной адресации в случае выполнения операционной МК или при невыполняемом переходе).

Временная диаграмма работы ОУ с учетом реальных задержек в схемах этого устройства может быть правильно построена, если учесть следующие временные соотношения:

$\tau_1 \geq \tau_{выб}$ , где  $\tau_{выб}$  – максимальное время выборки слова из ПМП;

$\tau_2 \geq \tau_p$ , где  $\tau_p$  – время, необходимое для записи слова в РМК;

$\tau_3 \geq \max\{\tau_{\text{ФСМО}}, \tau_{\text{ФА}}\}$ , где  $\tau_{\text{ФСМО}}$  – время срабатывания ФСМО (схема этого устройства и время срабатывания зависит от используемого способа кодирования МО),  $\tau_{\text{ФА}}$  – суммарное время срабатывания всех схем, включенных в ФА;

$\tau_4 = \max_k \{\tau_{\text{МО}_k}\}$ , где  $\tau_{\text{МО}_k}$  – время исполнения в ОБ  $k$ -й микрооперации (в случае синхронизации с постоянным тактом);

$\tau_5 \geq \tau_{\text{ФА}}$ ;  $\tau_6 \geq \tau_{\text{АМК}}$ , где  $\tau_{\text{АМК}} = \tau_{\text{Р}}$  – время срабатывания регистра АМК (РАМК) в случае принудительной адресации МК,  $\tau_{\text{АМК}} = \tau_{\text{Сч}}$  – время срабатывания счетчика АМК (СчАМК) при естественной адресации;

$T_{\text{ОУ}} = \tau_1 + \delta + \tau_2 + \tau_3 + \tau_4 + \tau_5 + \tau_6 \geq \tau_{\text{ц}}$ , где  $\tau_{\text{ц}}$  – цикл выборки слова из ПЗУ, на основе которого построена ПМП.

Характеристики  $\tau_{\text{выб}}$ ,  $\tau_{\text{ц}}$  для ПЗУ,  $\tau_{\text{Р}}$  для РМК,  $\tau_{\text{Р}}, \tau_{\text{Сч}}$  для АМК;  $\tau_{\text{ДШ}}$  для ФСМО,  $\tau_{\text{МС}}$  для ФА определяются по справочной литературе [8] в процессе разработки принципиальной схемы устройства управления.

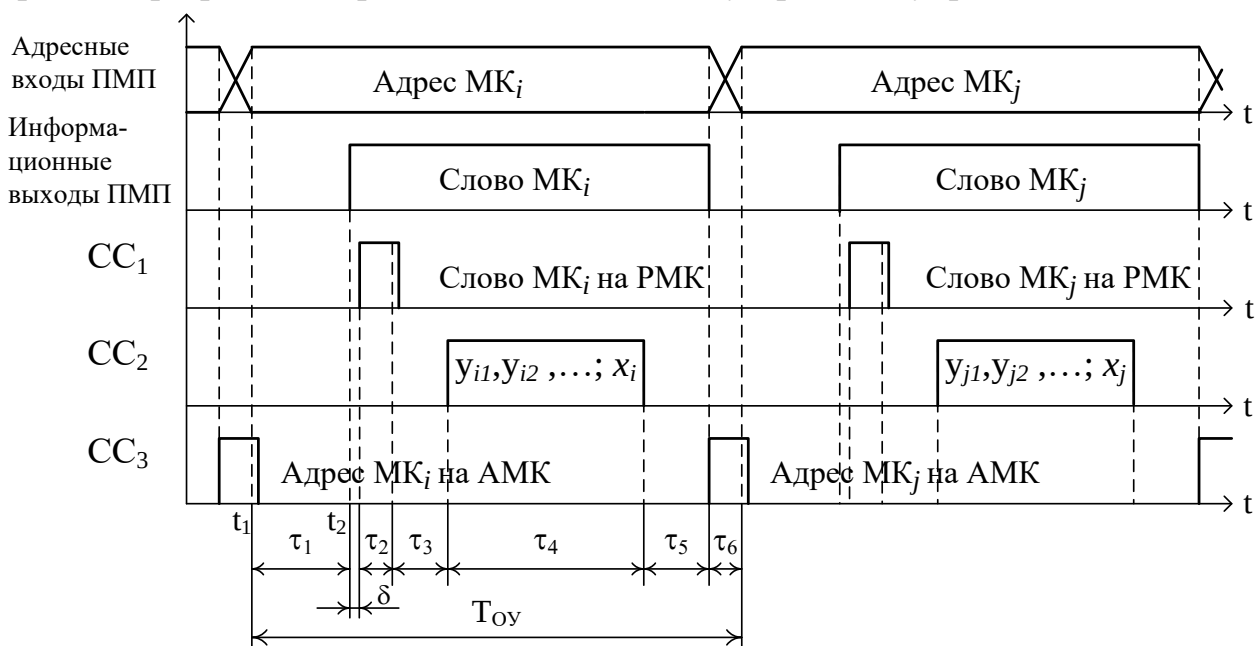


Рисунок 9.2 – Временная диаграмма исполнения МК (МК<sub>i</sub> → МК<sub>j</sub>)

Замечания.

1) В случае исполнения МК передачи управления (для УУ с естественной адресацией) стробирующий сигнал  $CC_2$  не запускает на исполнение ни одной МО.

2) Если критерием оптимальности функционирования ЦОУ выбрано «быстродействие», то в случае естественной адресации МК следует учесть возможность совмещения во времени процесса выполнения МО в обрабатывающем блоке и формирования адреса следующей МК в СчАМК (для операционной команды). Можно рассмотреть также возможность совмещения во времени процессов исполнения двух МК (метод опережающей выборки) или одновременной выборки нескольких МК (метод параллельной выборки) [1].

На основе рассчитанных временных характеристик разработчик КП должен построить временную диаграмму функционирования процессора при исполнении выбранного по согласованию с преподавателем фрагмента микропрограммы (3-5 микрокоманд).

## БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Апраксин Ю.К. Основы теории и проектирования цифровых автоматов: учеб.пособие/ Ю.К. Апраксин. – Севастополь: Изд-во СевГТУ, 2001 – 345с.
2. Бабич Н.П. Компьютерная схемотехника. Методы построения и проектирования: учеб.пособие/ Н.П. Бабич, И.А. Жуков. – К.: МК–Пресс, 2004. – 576 с.
3. Столингс У. Структурная организация и архитектура компьютерных систем/ У. Столингс. – М.: Издательский дом «Вильямс», 2002. – 896 с.
4. Танненбаум Э. Архитектура компьютера/ Э. Танненбаум. – СПб.: Питер, 2007. – 844 с.
5. Цилькер Б.Я. Организация ЭВМ и систем/ Б.Я. Цилькер, С.А.Орлов. – СПб.: Питер, 2004. – 668 с.
6. ЕСКД. Справочное пособие. – М.:Изд-во стандартов, 1986. – 280 с.
7. ДСТУ 3008–95. Документация. Отчеты в сфере науки и техники. Структура и правила оформления. – Введ. 1995–02–23. – К.: Госстандарт Украины, – 81с.
8. Цифровые и аналоговые микросхемы: справочник/ С.В. Якубовский [и др.] ; под ред. С.В. Якубовского – М.: Радио и связь, 1989. – 496 с.
9. HFP Шестнадцатеричное число с плавающей запятой IBM. – Электронный ресурс. – Режим доступа:  
[https://ru.qaz.wiki/wiki/IBM\\_hexadecimal\\_floating\\_point](https://ru.qaz.wiki/wiki/IBM_hexadecimal_floating_point) .
10. Яшкардин В. IEEE 754 – стандарт двоичной арифметики с плавающей точкой. – Электронный ресурс. – Режим доступа:  
<http://www.softelectro.ru/ieee754.html>.

## ПРИЛОЖЕНИЕ А

### Требования к выполнению отчета по РГР и чертежей

1. Оформление отчета по РГР должно соответствовать требованиям к текстовым учебным документам соответствующих ГОСТов [Электронный фонд правовой и нормативно-технической документации <http://docs.cntd.ru> ].

2. Текстовая часть ПЗ выполняется с использованием печатающих и графических устройств на одной стороне листа белой бумаги формата А4 с параметрами: кегль - 14; шрифт - TimesNewRoman, обычный; цвет шрифта - черный; поля, не менее:

верхнее - 20 мм;            левое-30 мм;  
нижнее - 20 мм;            правое - 15 мм.

Параметры абзаца:

выравнивание по ширине;

уровень – основной текст;

отступ слева – 0;

отступ справа – 0;

интервал перед – 0;

интервал после – 0;

первая строка – отступ, значение – 1 см;

междустрочный интервал – полуторный;

3. Автоматическая расстановка переносов в основном тексте (исключая титульный лист и заголовки пунктов, подпунктов, рисунков и таблиц).

4. Названия разделов с одинарной нумерацией (1, 2, ...) и без нумерации (ВВЕДЕНИЕ, ЗАКЛЮЧЕНИЕ, БИБЛИОГРАФИЧЕСКИЙ СПИСОК, ПРИЛОЖЕНИЕ А) выполняются прописными буквами. В ПЗ требуется выделить эти разделы полужирным шрифтом и применить к ним выравнивание по центру. Такие пункты располагаются с новой страницы. При этом после пункта пропускается одна строка. Точка в конце названия пункта не ставится.

5. Названия пунктов с двойной и тройной нумерацией выполняют строчными буквами (первая – прописная), начинают с абзаца, до и после названия пункта пропускают одну строку, точка в конце названия не ставится. Можно выделить эти пункты полужирным шрифтом.

6. При использовании маркированного списка, в качестве маркера можно применять только тире. Маркированный список начинается после предложения с двоеточием (перечисление), каждый пункт – с маленькой буквы, после пункта – точка с запятой (не может быть двух предложений в одном пункте). В одноуровневом нумерованном списке рекомендуется использовать формат номера со скобкой. В таком списке может присутствовать несколько предложений в одном пункте (если только этот список не используется в качестве аналога маркированного списка).

7. Требования к оформлению таблиц. Название таблицы (Таблица номер – Название) приводится над таблицей и выравнивается по левому краю таблицы.

Нумерация таблиц осуществляется в рамках пункта с одинарной нумерацией, как это сделано в методических указаниях (Таблица 2.1 – Варианты заданий). Либо можно использовать сквозную нумерацию таблиц в рамках всего документа. Точка в конце названия таблицы не ставится. На таблицу обязательно нужно сделать ссылку в тексте отчета (например, «Варианты заданий приведены в таблице 2.1.»). При этом соответствующая таблица должна быть помещена на той же или на следующей странице. Если вся таблица не помещается на текущей странице, то часть таблицы (дублируя заголовок) можно перенести на следующую страницу. Вместо названия таблицы перед следующей частью таблицы приводится фраза «Продолжение таблицы номер» (например, Продолжение таблицы 2.1). Выравнивается фраза по левому краю таблицы.

8.Требования к оформлению рисунков. Название рисунка (Рисунок номер – Название) приводится под рисунком (подрисуночная подпись). Точка в конце названия не ставится. Нумерация рисунков производится подобно нумерации таблиц. Подрисуночная подпись выравнивается по центру рисунка. На рисунок, как и на таблицу, обязательно должна быть ссылка в тексте отчета (например, «Результаты выполнения программы изображены на рисунке 2.1.»). Сокращения слова «рисунок» ни в подрисуночной подписи, ни в ссылке на рисунок не допускаются. Рисунок должен быть приведен на той же странице, где находится ссылка на него, или на следующей.

9.Рисунок, как и таблицу, можно расположить на нескольких страницах. Тогда на первой странице в качестве подрисуночной подписи приводится название рисунка (Рисунок номер – Название), а на остальных страницах – фраза продолжения (Продолжение рисунка номер).

10.Исходя из вышесказанного, необходимо отметить, что у таблицы и рисунка номер может состоять из одной позиции (если применяется сквозная нумерация в рамках отчета) или из двух позиций, разделенных точкой (если используется нумерация в рамках раздела – более удобный способ). **Рисунков и таблиц с тройной и т. д. нумерацией быть не может!**

11.В библиографическом списке должно быть не менее трех источников, записанных в соответствии с ГОСТ. На каждый из источников должна быть ссылка в тексте ПЗ в квадратных скобках. Источники приводятся в библиографическом списке в алфавитном порядке или в порядке ссылок на них в тексте ПЗ.

12.Чертежи (если они предусмотрены заданием на РГР) выполняются по ГОСТу в стандартном формате (A1, A2, A3, A4). В данной курсовой работе рекомендовано использовать формат A2. Масштабирование рамок не допускается. Все элементы чертежа должны быть свободно читаемыми (не мельчить!). В тексте отчета должна быть ссылка на каждый чертеж по его шифру (СевГУ, год, номер группы, номер варианта, номер чертежа, разделенные точками). Если чертеж большой, можно сделать его многолистовым, располагая части чертежа (например, схемы алгоритма) на отдельных листах формата A4 с использованием соответствующих штампов (большого на первом листе чертежа и усеченных на следующих листах) и

блоков межстраничной ссылки (межстраничного перехода). Порядок расположения штампов на листе формата А4 приведен на рисунке А1. Размеры углового штампа (основной надписи чертежа) приведены на рисунке А.2. Размеры штампа для второго и последующих листов чертежа приведены на рисунке А.3. Примеры заполнения штампов приведены на рисунках А.4–А6. Примеры изображения межстраничной и внутристраничной ссылок приведены на рисунке Д.7. Чертежи рекомендуется подшить к ПЗ после приложений.

13.Рекомендуемый минимальный объем отчета – 25-35 листов. Страницы отчета нумеруют арабскими цифрами, с соблюдением сквозной нумерации по всему тексту. Номер проставляется в правом верхнем углу без точки в конце номера (раздел «Введение» располагается на странице с номером 5).

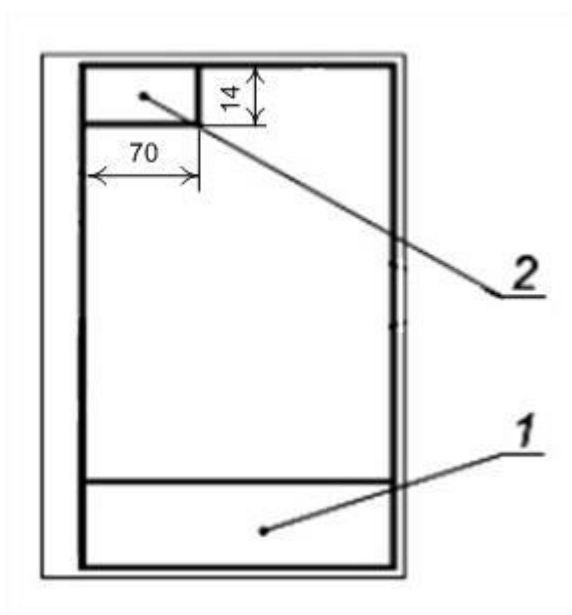


Рисунок Д.1 – Расположение штампов на листе формата А4:

1 – основная надпись чертежа;

2 – обозначение (шифр) документа, повернутое на 180 градусов

Technical drawing of a document form layout. The drawing shows a rectangular form with various dimensions and labels. The overall width is 185 units. The top margin is 5 units. The left margin is 3x5=15 units. The form is divided into sections with widths of 7, 10, 23, 15, and 10 units. The total width of the main content area is 110 units. The bottom margin is 5 units. The form includes labels for 'Изм.', 'Лист', '№ докум.', 'Подп.', and 'Дата'. The label 'Лист' is also present in the bottom right corner.

|          |      |                  |       |      |                                |                                                            |  |  |          |         |
|----------|------|------------------|-------|------|--------------------------------|------------------------------------------------------------|--|--|----------|---------|
|          |      |                  |       |      | АВМ.2022.05.01                 |                                                            |  |  |          |         |
|          |      |                  |       |      |                                |                                                            |  |  |          |         |
|          |      |                  |       |      |                                |                                                            |  |  |          |         |
| Изм.     | Лист | № докум.         | Подп. | Дата | ГСА<br>функционирования<br>ЦОУ | Лит                                                        |  |  | Масса    | Масштаб |
| Разраб.  |      | Сидоров А.Н      |       |      |                                |                                                            |  |  |          |         |
| Руковод. |      | Иванов Н.Н.      |       |      |                                |                                                            |  |  |          |         |
| Реценз.  |      |                  |       |      |                                | лист 1                                                     |  |  | листов 1 |         |
| Н.контр. |      | Иванов Н.Н.      |       |      |                                |                                                            |  |  |          |         |
|          |      |                  |       |      |                                | Кафедра ИТКС.<br>РГР по дисциплине<br>«Архитектура ВМ. СР» |  |  |          |         |
| УТВ.     |      | Брюховецкий А.А. |       |      |                                |                                                            |  |  |          |         |

|     |      |          |       |      | АВМ.2022. <b>05</b> .01 | Лист |
|-----|------|----------|-------|------|-------------------------|------|
|     |      |          |       |      |                         | 2    |
| Изм | Лист | № докум. | Подп. | Дата |                         |      |

Рисунок Д.5 – Пример заполнения штампа для второй и последующих страниц

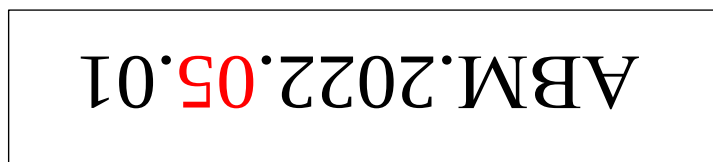


Рисунок Д.6 – Пример заполнения верхнего углового штампа (для формата А4)

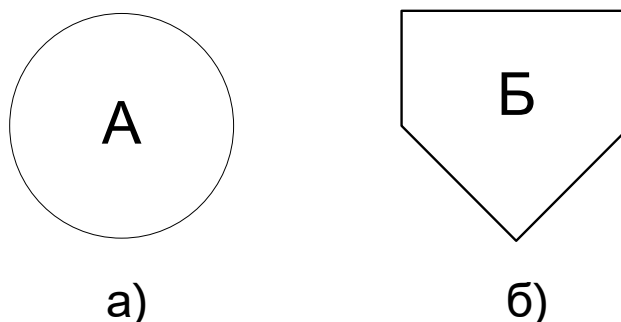


Рисунок Д.7 – Примеры изображения ссылок в схемах алгоритмов:  
а) – переход на текущей странице;  
б) – переход на другую страницу

## **СТАНДАРТЫ**

1. ГОСТ 2.109-73. Единая система конструкторской документации (ЕСКД). Основные требования к чертежам (с Изменениями N 1-11). М. : Стандартинформ, 2011. — Текст : непосредственный.

2. ЕСПД. ГОСТ 19.701–90 (ИСО 5807-85). Схемы алгоритмов, программ, данных и систем. Условные обозначения и правила выполнения. – Введ. 1992-01-01. – М : Государственный стандарт Союза ССР. — Текст : непосредственный.

3. ГОСТ Р 7.0.5—2008. Система стандартов по информации, библиотечному и издательскому делу. Библиографическая ссылка. Общие требования и правила составления : национальный стандарт Российской Федерации : утвержден и введен в действие Приказом Федерального агентства по техническому регулированию и метрологии от 28 апреля 2008 г. N 95-ст. : дата введения 1 января 2009 года / разработан: Федеральным государственным учреждением "Российская книжная палата" Федерального агентства по печати и массовым коммуникациям. — М. : Стандартинформ, 2008. — 23 с. — Текст : непосредственный.



**ПРОЕКТИРОВАНИЕ  
ЦЕНТРАЛЬНОГО ОБРАБАТЫВАЮЩЕГО  
УСТРОЙСТВА ЦВМ**

*Методические указания  
к выполнению расчетно-графической работы*

*Составители:* **Волкова** Татьяна Викторовна,  
**Владимирова** Елена Сергеевна

В авторской редакции

Изд. № 65/2023. Объем 2,75 п.л. Усл. печ. л. 2,56. Уч.-изд. л. 2,695.  
РИИЦМ ФГАОУ ВО «Севастопольский государственный университет»