

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ
РОССИЙСКОЙ ФЕДЕРАЦИИ

Федеральное государственное автономное
образовательное учреждение высшего образования
«СЕВАСТОПОЛЬСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ»

ПОЛИТЕХНИЧЕСКИЙ ИНСТИТУТ

АНАЛИЗ И СИНТЕЗ ЭЛЕКТРОННЫХ УЗЛОВ ТЕХНИЧЕСКИХ СИСТЕМ

Методические указания
к выполнению лабораторных работ
для студентов всех форм обучения по направлениям
12.03.01 – Приборостроение
12.03.04 – Биотехнические системы и технологии
15.03.04 – Автоматизация технологических процессов и производств
15.03.06 – Мехатроника и робототехника

Севастополь
СевГУ
2023

УДК 621.377.6(076.5)
ББК 32.847я73
А640

Р е ц е н з е н т:

Н. И. Покинтелица – д-р техн. наук, профессор,
заведующий кафедрой «Пищевые технологии и оборудование»

Составители: Л. Е. Карташов, Н. И. Чаленков

А640 Анализ и синтез электронных узлов технических систем : методические указания к выполнению лабораторных работ для студентов всех форм обучения по направлениям 12.03.01 – Приборостроение, 12.03.04 – Биотехнические системы и технологии, 15.03.04 – Автоматизация технологических процессов и производств, 15.03.06 – Мехатроника и робототехника / Севастопольский государственный университет, Политехнический институт ; сост.: Л. Е. Карташов, Н. И. Чаленков. – Севастополь : СевГУ, 2023. – 103 с. – Текст : электронный.

Предназначены для учебно-методического обеспечения дисциплины «Общая электротехника и прикладная электроника». Целью методических указаний является оказание помощи студентам при выполнении лабораторных работ. Излагаются основные теоретические сведения, порядок выполнения расчетов и требования к оформлению отчетов к лабораторным работам.

Предназначены для обучающихся всех форм обучения направлений подготовки 15.03.04 – Автоматизация технологических процессов и производств, 15.03.06 – Мехатроника и робототехника, 12.03.01 – Приборостроение и 12.03.04 – Биотехнические системы и технологии.

УДК 621.377.6(076.5)
ББК 32.847я73

Рассмотрены и утверждены на заседании кафедры «Приборные системы и автоматизация технологических процессов», протокол № 7 от 28 февраля 2023 г.

© Карташов Л. Е., Чаленков Н. И., сост., 2023
© ФГАОУ ВО «Севастопольский
государственный университет», 2023

СОДЕРЖАНИЕ

ВВЕДЕНИЕ.....	4
1 ИССЛЕДОВАНИЕ УСТРОЙСТВА И ФУНКЦИОНАЛЬНЫХ ВОЗМОЖНОСТЕЙ УЧЕБНО-ЛАБОРАТОРНОГО СТЕНДА «ОПЕРАЦИОННЫЕ УСИЛИТЕЛИ».....	5
2 ИССЛЕДОВАНИЕ ИНВЕРТИРУЮЩЕЙ СХЕМЫ ВКЛЮЧЕНИЯ ОПЕРАЦИОННОГО УСИЛИТЕЛЯ.....	14
3 ИССЛЕДОВАНИЕ ДИФФЕРЕНЦИАТОРА НА БАЗЕ ОПЕРАЦИОННОГО УСИЛИТЕЛЯ.....	21
4 ИССЛЕДОВАНИЕ ИНТЕГРАТОРА НА БАЗЕ ОПЕРАЦИОННОГО УСИЛИТЕЛЯ.....	25
5 ИССЛЕДОВАНИЕ РАБОТЫ СХЕМ РЕЛАКСАЦИОННЫХ ГЕНЕРАТОРОВ СИГНАЛОВ.....	29
6 ИССЛЕДОВАНИЕ ТИПОВЫХ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ НА МИКРОСХЕМАХ	35
7 СИНТЕЗ ЛОГИЧЕСКИХ СХЕМ ЦИФРОВЫХ УСТРОЙСТВ.....	41
8 ИССЛЕДОВАНИЕ ДЕШИФРАТОРОВ И ШИФРАТОРОВ.....	51
9 ИССЛЕДОВАНИЕ МУЛЬТИПЛЕКСОРОВ	57
10 ИССЛЕДОВАНИЕ ПОЛУСУММАТОРА И СУММАТОРА.....	66
11 АНАЛИЗ И СИНТЕЗ ЦИФРОВОГО КОМПАРАТОРА.....	72
12 СИНТЕЗ ТРИГГЕРОВ НА ЛОГИЧЕСКИХ ЭЛЕМЕНТАХ	76
13 ИССЛЕДОВАНИЕ ИНТЕГРАЛЬНЫХ ТРИГГЕРОВ	88
14 АНАЛИЗ И СИНТЕЗ СЧЕТЧИКОВ	95
ЛИТЕРАТУРА	103

ВВЕДЕНИЕ

Электронные, цифровые, механические, электротехнические, гидравлические, пневматические и информационные элементы могут входить в состав мехатронной системы, как изначально элементы разной физической природы, однако собранные вместе для получения от системы качественно нового результата, которого невозможно было бы достичь от каждого элемента как от отдельного исполнителя.

Один электронный модуль – это самостоятельное изделие (конструктивно и функционально), предназначенное для осуществления движений с взаимопроникновением и одновременной целенаправленной аппаратно-программной интеграцией его составляющих.

Типичная техническая система представляет собой объединенные друг с другом электромеханические компоненты и компоненты силовой электроники, которые в свою очередь управляются ПК или микроконтроллерами.

При проектировании и построении такой системы стараются избежать лишних узлов и интерфейсов, стремятся сделать все лаконично и как можно более цельно, не только для того, чтобы улучшить массогабаритные характеристики устройства, но и для повышения надежности системы в целом.

Поскольку электроника является составным компонентом технических систем, то цель данных лабораторных работ – изучить и исследовать схемотехнику и параметры наиболее типичных электронных устройств, которые находят частое применение при разработке таких систем.

1 ИССЛЕДОВАНИЕ УСТРОЙСТВА И ФУНКЦИОНАЛЬНЫХ ВОЗМОЖНОСТЕЙ УЧЕБНО-ЛАБОРАТОРНОГО СТЕНДА «ОПЕРАЦИОННЫЕ УСИЛИТЕЛИ»

ЦЕЛЬ РАБОТЫ

Изучение принципа работы, основных параметров и характеристик учебно-лабораторного стенда, освоение работы с коммуникационными полями. Исследование видов и параметров задаваемых напряжений, работу с вольтметрами и осциллографом учебно-лабораторного стенда.

ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ

При проведении исследований различных электронных узлов мехатронных систем для измерений параметров электрического тока приходится пользоваться не только цифровыми вольтметрами, но и осциллографом, освоение которого студентами представляет определенные сложности. Однако в ряде случаев только осциллограф позволяет получить определенные параметры электрического тока, причем не связанные с формой сигналов.

Переменный синусоидальный ток в течение периода имеет различные мгновенные значения. Естественно поставить вопрос, какое же значение напряжения будет измеряться вольтметром, включенным в цепь?

При расчетах цепей переменного тока, а также при электрических измерениях неудобно пользоваться мгновенными или амплитудными значениями токов и напряжений, а их средние значения за период равны нулю. Кроме того, об электрическом эффекте периодически изменяющегося тока (о количестве выделенной теплоты, о совершенной работе и т. д.) нельзя судить по амплитуде этого тока.

Наиболее удобным оказалось введение понятия так называемых действующих значений тока и напряжения. В основу этих понятий положено тепловое (или механическое) действие тока, не зависящее от его направления.

Действующее значение переменного тока – это значение постоянного тока, при котором за период переменного тока в проводнике выделяется столько же теплоты, сколько и при переменном токе. Для оценки действия, производимого переменным током, сравнивают его действия с тепловым эффектом постоянного тока. Определим количество энергии, выделяемой за период в проводнике с сопротивлением R для постоянного и переменного напряжения и приравняем их:

$$Q = \begin{cases} Q_{=} = \frac{U^2}{R} T \\ Q_{\approx} = \int_0^T \frac{U^2(t)}{R} dt \end{cases}$$

Если переменное напряжение описывается выражением

$$U(t) = U_m \sin\left(\frac{2\pi}{T}t\right),$$

тогда

$$Q_{\approx} = \int_0^T \frac{U_m^2 \sin^2\left(\frac{2\pi}{T}t\right)}{R} dt = \frac{U_m^2}{2R} T$$

Поскольку количество энергии, выделяемой за период для постоянного и переменного напряжения равно, то

$$\frac{U^2}{R} T = \frac{U_m^2}{2R} T$$

и действующее значение напряжения определяется выражением

$$U = \frac{U_m}{\sqrt{2}}.$$

В общем случае, для любого периодически изменяющегося сигнала за период T величина действующего напряжения находится по формуле:

$$U = \sqrt{\frac{\int_0^T U^2(t) dt}{T}}.$$

ОПИСАНИЕ ЛАБОРАТОРНОЙ УСТАНОВКИ

Учебно-лабораторный стенд (УЛС) является программно-аппаратным комплексом, предназначенным для исследования аналоговых электронных устройств на основе операционных усилителей (ОУ).

Питание стенда осуществляется от сети переменного напряжения **220В**, частоты **50Гц** через поставляемый в комплекте **внешний блок питания** (возможно использование других источников питания соответствующего напряжения и мощности).

Функциональный состав стенда

Учебно-лабораторный стенд «Операционные усилители» используется для проведения лабораторных работ *фронтальным методом*.

УЛС содержит следующие функциональные блоки:

- функциональные схемы устройств, предназначенных для исследования, с возможностью изменения отдельных элементов;
- внутренние контрольно-измерительные устройства, обеспечивающие генерацию тестовых сигналов различной формы, а также измерение их частоты и амплитуды;
- разъемы для подключения контрольно-измерительной аппаратуры;
- блок питания.

Перечень функциональных схем стенда

В состав УЛС включены следующие аналоговые электронные устройства

- Инвертирующий усилитель (Inv Amplifier);
- Неинвертирующий усилитель (Non-Inv Amplifier);
- Инвертирующий сумматор (Inv Summing Amplifier);
- Неинвертирующий сумматор (Non-Inv Summing Amplifier);
- Дифференциальный усилитель (Difference Amplifier);
- Инструментальный усилитель (Instrumentation Amplifier);
- Интегратор (Integrator);
- Дифференциатор (Differentiator);
- Фильтр низких частот (Low Pass Active Filter);
- Фильтр высоких частот (High Pass Active Filter);
- Мультивибратор (Multivibrator);
- Генератор синусоидальных колебаний (Sin Oscillator);
- Выпрямитель средних значений (Full Wave Rectifier);
- Компаратор (Comparator).

Технические характеристики стенда

Технические характеристики УЛС представлены в таблице 1.1.

Таблица 1.1 – Технические характеристики учебно-лабораторного стенда

Параметр	Значение
Внутренний генератор	
Диапазон частот	1 Гц – 100 кГц
Форма входного сигнала	синусоидальная, прямоугольная, треугольная
Шаг выбора частоты:	
в диапазоне частот 1-100 Гц	1 Гц
в диапазоне частот 0,1-1,0 кГц	10 Гц
в диапазоне частот 1,0 -10 кГц	100 Гц
в диапазоне частот 1,0 - 100 кГц	1 кГц

Выходное напряжение (амплитудное значение)	
синусоидальная	0-5В
прямоугольная	0-5В
треугольная	0-5В
Внутренние источники напряжения (VI, V2)	
Выходное напряжение	(-10В) – (+10В)
Выходной ток, не больше	20мА
диапазон изменения напряжения смещения	(-50мВ) – (+50мВ)
Внутренний вольтметр постоянного напряжения	
диапазон входного напряжения	(-12В) – (+12В)
погрешность измерения, не больше	2.5%
Внутренний вольтметр переменного напряжения	
диапазон входного напряжения	0-12В
погрешность измерения, не больше	5%
Напряжение внутреннего питания	
постоянное напряжение (режим DC)	12В ±10%
переменное напряжение (режим AC)	12В ±10%
ток потребления, не больше	0.5А
Напряжение питания операционных усилителей	±12В
Максимальный выходной ток исследуемой схемы	20ма

Конструкция стенда

Внешний вид учебно-лабораторного стенда показан на рисунке 1.

Внутренний блок питания расположен *в правой верхней части передней панели* стенда. Разъемы для подключения внешней контрольно-измерительной аппаратуры размещены *в левой верхней части передней панели*.

Функциональные схемы, предназначенные для исследований, расположены *в центральные области передней панели стенда*. С целью облегчения изучения студентами *англоязычных изданий* по схемотехнике аналоговых устройств, названия функциональных схем на передней панели стенда приведены на *английском языке*.

Для лучшего зрительного восприятия каждая *функциональная схема* на передней панели выделена с помощью *белого прямоугольника*, в котором представлена *принципиальная схема*. В местах изображения *входов и выходов* схемы установлены соответствующие конструктивные элементы - *коммутационные поля*, предназначенные для подведения входных и вывода выходных сигналов.

Внутренние контрольно-измерительные устройства расположены *в правой части стенда*.

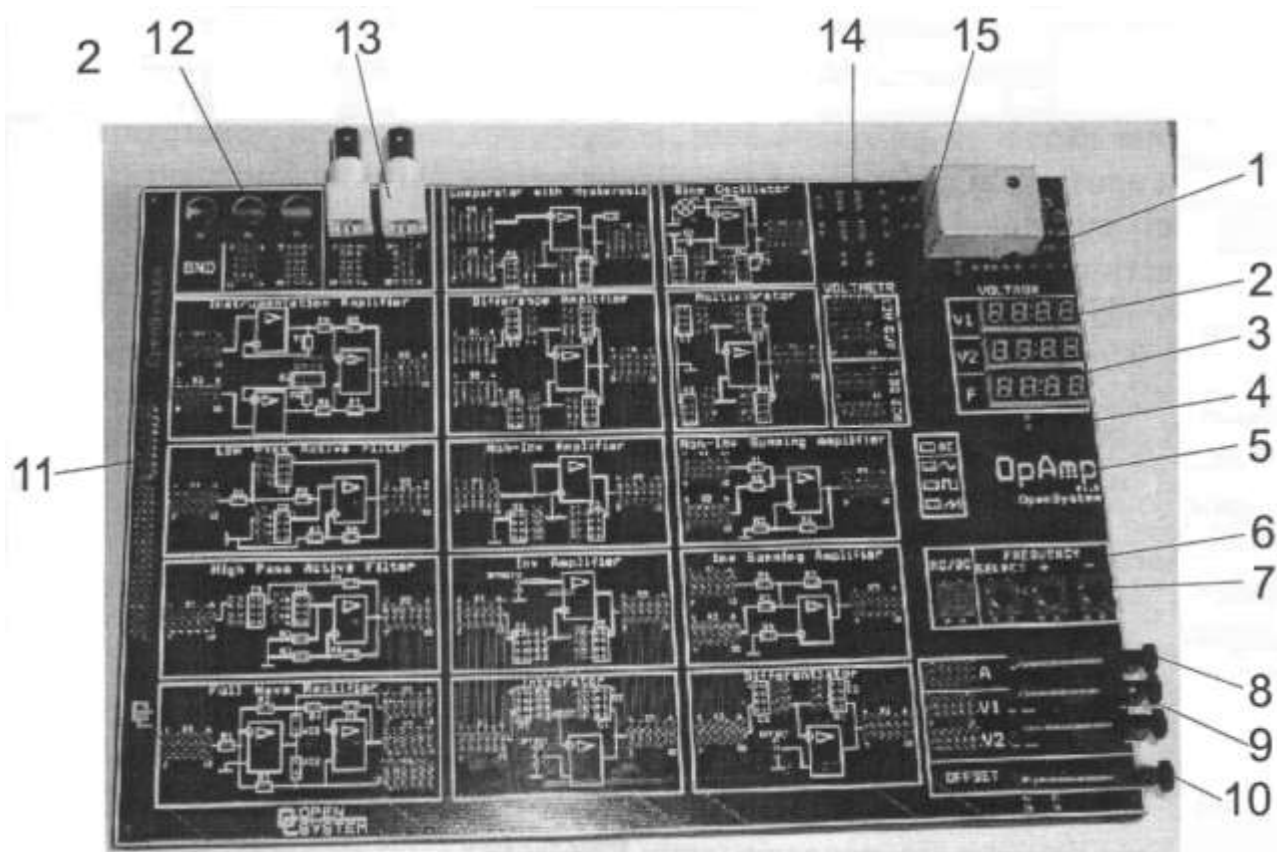


Рисунок 1.1 – Внешний вид функциональных блоков лабораторного стенда

На рисунке цифрами обозначены:

1. **Индикатор** подачи питания.
2. **Индикаторы** вольтметров переменного и постоянного тока.
3. **Индикатор** частоты генератора.
4. **Индикатор** режима измерения напряжения.
5. **Индикаторы** формы входного сигнала внутреннего генератора.
6. **Кнопка** выбора режима измерения напряжения.
7. **Кнопки** выбора формы и задания частоты генератора.
8. **Потенциометр** регулировки амплитуды сигнала генератора.
9. **Потенциометры** регулировки источников напряжения **V1, V2**.
10. **Потенциометр** регулировки напряжения смещения «**Offset**».
11. **Штыри** «парковки» перемычек.
12. **Разъем** для подключения контрольно-измерительной аппаратуры.
13. **Разъем (BNC)** для подключения контрольно-измерительных приборов.
14. **Коммутационное поле** вольтметра переменного напряжения (AC).
15. **Коммутационное поле** вольтметра постоянного напряжения (DC).

Состав контрольно-измерительных устройств

Контрольно-измерительные устройства обозначены *номером в скобках* в соответствии с *выносками внешнего вида* стенда (рисунок 1):

- два вольтметра (2);
- внутренний функциональный генератор (7), частота изменяется маркированными кнопками «плюс», «минус»;
- частотомер сигналов функционального генератора (3);
- кнопка выбора формы сигнала (**SELECT**) с соответствующей светодиодной индикацией: **синусоидальная, прямоугольная и треугольная** (5);
- два переменных резистора, регулирующих постоянные напряжения **V1, V2** (9);
- переменный резистор, регулирующий напряжение смещения (**Offset**) на выходе исследуемых схем (10).

К группе разъемов относятся:

- два разъема (типа **BNC**) для подключения контрольно-измерительных приборов (13);
- три разъема для подключения штыревых выводов, один из которых (черный) соединен с общей шиной «0» **B** (12).

Коммутационные поля

Для организации внутренних связей между блоками УЛС использовано 12 линий связи, которые конструктивно выполнены двенадцатью печатными проводниками. С помощью *перемычек* любую из линий связи можно *соединить* с входом или выходом функциональной схемы, контрольно-измерительным устройством, или разъемом.

Для парковки коммутационных перемычек в левой части передней панели используется тридцать двойных групп штыревых выводов (11), которые *не подключены* ни к одной цепи электрической схеме стенда.

Конструктивное выполнение коммутационного поля с перемычками показано на рисунке 1.2.

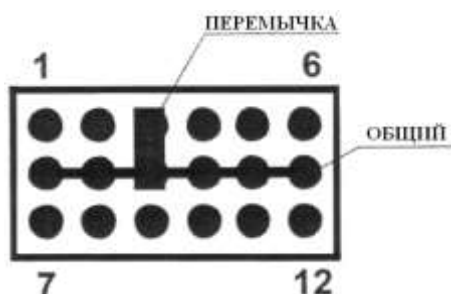


Рисунок 1.2 – Коммутационное поле

Возле каждого *входа* или *выхода* расположена группа штыревых контактов, размещенных в три ряда. Контакты центрального ряда соеди-

нены между собой, а также с входом или выходом соответствующего блока УЛС. Контакты, размещенные в крайних рядах, соединены со своей линией связи. Нумерация линий проводится от первой до шестой и от седьмой до двенадцатой линии, возле которых размещены соответствующие цифры.

Правила коммутации информационных линий

1) Для подключения входа или выхода к соответствующей линии необходимо, вставить перемычку между одним из центральных штырьков и штырьком с выбранным номером на крайних рядах коммутационного поля.

2) Для передачи сигнала по выбранной информационной линии необходимо штырек с соответствующим номером соединить перемычкой с общей линией коммутационного поля на выходе и входе исследуемой схемы (устройства).

3) На рисунке 1.2 информационный сигнал передается по линии № 3. При установке перемычки в таком же положении на другое коммутационное поле выбранные линии будут замкнутыми.

Наборное поле

Для выполнения исследований схем в УЛС предусмотрена возможность изменения значений отдельных элементов схемы (резисторов и конденсаторов). Это достигается путем выбора элементов на наборном поле. Для выбора пассивного элемента нужно вставить перемычку напротив необходимого элемента. Возможность параллельного соединения элементов увеличивает количество индивидуальных заданий (рисунок 1.3).

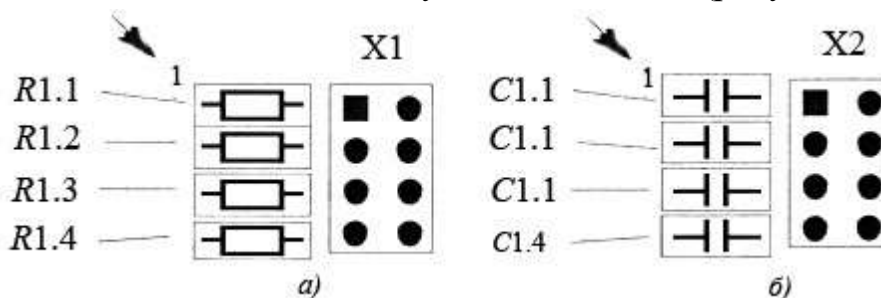


Рисунок 1.3 – Наборное поле выбора номиналов резисторов (а) и конденсаторов (б)

Нумерация элементов начинается от пометки (1) возле элемента, и нумеруется сверху вниз, или слева направо.

Схемы включения резисторов и конденсаторов приведены на рисунке 1.4.

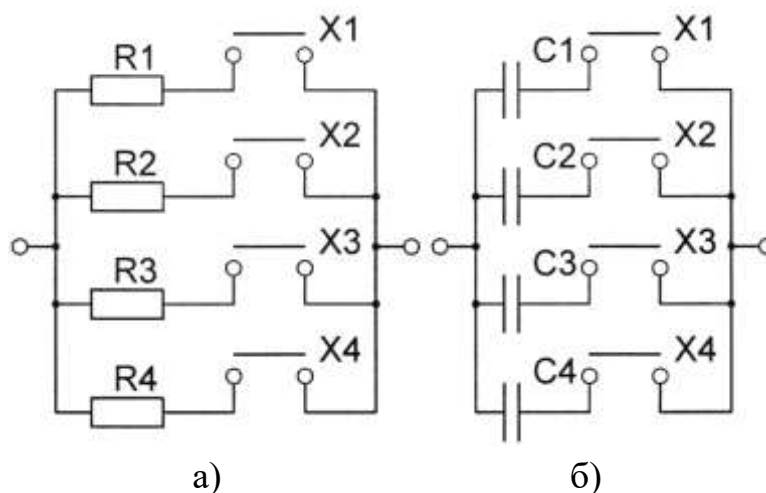


Рисунок 1.4 – Принципиальные схемы включения резисторов (а) и конденсаторов (б)

Из приведенных схем видно, что включение резисторов и конденсаторов происходит путем *переключения перемычек X1–X4*, причем *одновременно* могут быть замкнуты перемычки 1, 2, 3, 4. Подключение элементов проводится по *параллельной схеме* включения (при расчетах следует применять формулы расчета сопротивлений резисторов и емкостей конденсаторов при их *параллельном соединении*).

ПОРЯДОК ВЫПОЛНЕНИЯ ТЕОРЕТИЧЕСКИХ РАСЧЕТОВ

Получить выражения действующего значения напряжения для прямоугольных и треугольных периодических сигналов.

ПОРЯДОК ВЫПОЛНЕНИЯ ЭКСПЕРИМЕНТАЛЬНЫХ ИССЛЕДОВАНИЙ

1. С помощью коммутационных полей подключить к выходу генератора сигналов вольтметр переменного напряжения (режим АС).
2. С помощью коммутационных полей подключить к выходным разъемам стенда внутренний генератор сигналов и внешний осциллограф.
3. Измерить напряжение U на выходе генератора (режим АС). Определить пределы регулирования напряжений при изменении формы сигнала.
4. С помощью измерительной аппаратуры стенда и внешнего осциллографа измерить действующее U и амплитудное U_m напряжение на выходе генератора (режим АС) при изменении формы тестового сигнала (*синусоидальный, пилообразный, прямоугольный*). Измерение повторить при нескольких значениях уровня напряжения. Результаты измерений представить в табличной форме (таблица 1). Исходя из полученных формул и измеренного амплитудного напряжения U_m получить расчетное действующее напряжение U_p .

Таблица 1.2 – Измерение диапазона изменения напряжения генератора

Выходное напряжение генератора								
Синусоидальный сигнал			Пилообразный сигнал			Прямоугольный сигнал		
U	U_m	U_p	U	U_m	U_p	U	U_m	U_p

СОДЕРЖАНИЕ ОТЧЕТА

1. Цель работы.
2. Теоретический расчет действующего напряжения.
3. Таблицы с результатами экспериментов.
4. Выводы по работе. В выводах прокомментировать результаты измерений параметров стенда: оценить пределы регулирования напряжений в соответствующих режимах; охарактеризовать влияние формы сигнала генератора на показание измерительного прибора (вольтметр, осциллограф).

КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Принцип коммутации сигналов и устройств?
2. Как влияет форма сигнала на показание измерительных приборов?
3. Как измерить напряжение на выходе генератора сигналов?
4. Как подключить сигнал генератора к входу исследуемой схемы?
5. Как подключить выход исследуемого устройства к вольтметру?
6. Как подключить выход исследуемого устройства к осциллографу?

2 ИССЛЕДОВАНИЕ ИНВЕРТИРУЮЩЕЙ СХЕМЫ ВКЛЮЧЕНИЯ ОПЕРАЦИОННОГО УСИЛИТЕЛЯ

ЦЕЛЬ РАБОТЫ

Изучение принципа работы, основных параметров и характеристик операционного усилителя, исследование операционного усилителя как масштабного инвертирующего усилителя.

ТЕОРЕТИЧЕСКИЙ РАЗДЕЛ

Исследуемый усилитель называется операционным потому, что он может использоваться для выполнения разных математических операций над сигналами: алгебраического сложения, вычитания, умножение на постоянный коэффициент, интегрирования, дифференцирования, логарифмирования и т.п. Операционным часто называют усилитель напряжения с большим коэффициентом усиления, охваченный цепью отрицательной обратной связи, которая определяет основные качественные показатели и характер выполняемых усилителем операций. Современный операционный усилитель выполнен на базе интегральной микросхемы операционного усилителя, к выводам которой, кроме цепи отрицательной обратной связи, подсоединяют источник питания, входные сигналы, сопротивление нагрузки, цепи коррекции частотных характеристик операционного усилителя и другие цепи.

Операционный усилитель – это усилитель постоянного тока, его амплитудно-частотная характеристика не имеет завала в области низких частот, поскольку операционный усилитель не содержит разделительных конденсаторов. Для того, чтобы во время отсутствия входных сигналов потенциал выхода можно было привести к нулю (к потенциалу земли), питание операционного усилителя делают двуполярным и, как правило, симметричным (в стенде ± 12 В).

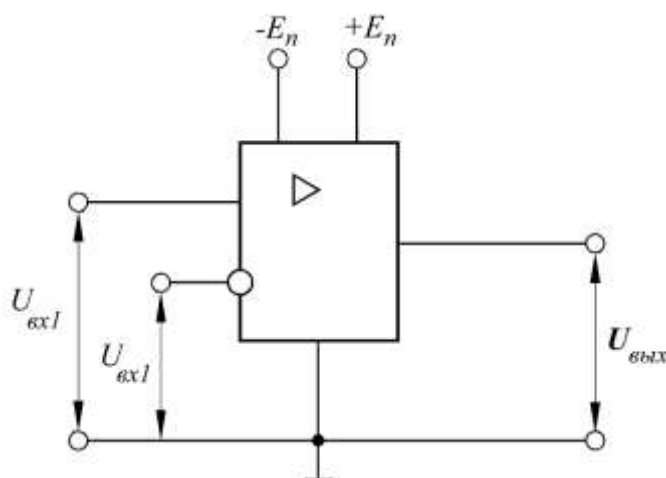


Рисунок 2.1 – Условное графическое изображение операционного усилителя

На рис. 2.1 показано условное графическое изображение операционного усилителя с одним выходом и двумя входами: прямым и инверсным. Инверсный вход 2 обозначают знаком инверсии (кружком) или обозначают знаком «-». Прямой вход 1 не имеет знака инверсии или его обозначают знаком «+». В общем случае на входные выводы операционного усилителя 1 и 2 поступают напряжения $U_{вх1}$ и $U_{вх2}$, которые называют напряжениями общего вида. Из них выделяют синфазный и дифференциальный сигналы (рис. 2.2):

$$U_{сф} = \frac{U_{вх1} + U_{вх2}}{2},$$

$$U_{диф} = (U_{вх1} - U_{вх2}).$$

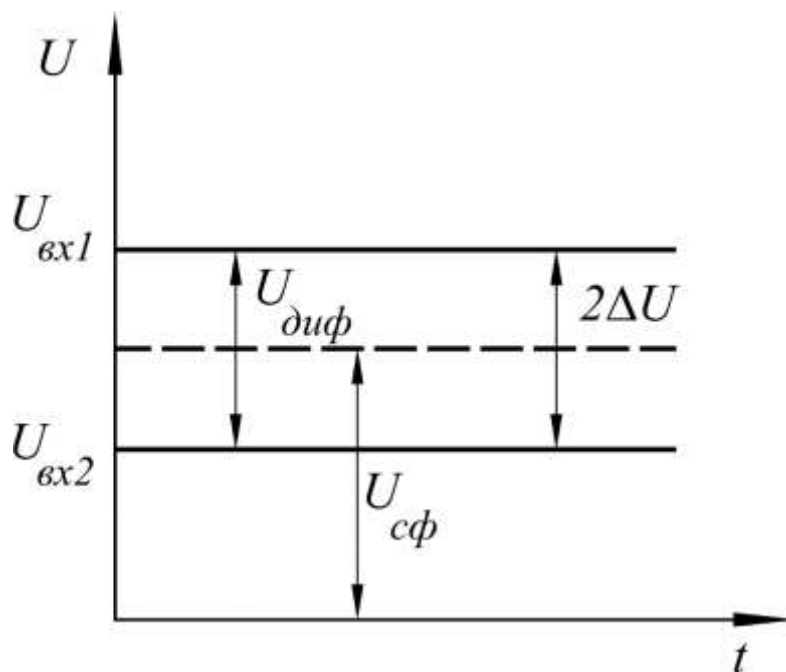


Рисунок 2.2 – Сигналы в операционном усилителе

Относительно $U_{сф}$ потенциал на входе 1 выше, а на входе 2 – ниже на значение ΔU , а дифференциальный (разностный) сигнал $U_{диф} = 2\Delta U$.

Операционный усилитель предназначен для усиления небольшого разностного (дифференциального) сигнала. Синфазный сигнал для схемы операционного усилителя должны быть максимально ослаблен. Выходное напряжение $U_{вых}$ находится в фазе (синфазно) с напряжением на входе 1 $U_{вх1}$ и противофазе напряжению на входе 2 $U_{вх2}$.

На рис. 2.3 приведенные амплитудные характеристики операционного усилителя для случаев: 1 – входной сигнал подается на инвертирующий вход 2, а неинвертирующий вход 1 заземлен; 2 – входной сигнал подается на неинвертирующий вход 1, а инвертирующий вход 2. Выходное напря-

жение $U_{вых}$ снимается относительно средней точки источника питания $E_{П1}$ и $E_{П2}$ (земли). Если $U_{вх} = 0$, то и $U_{вых} = 0$, что отражает условие баланса операционного усилителя. При отсутствии внешней цепи обратной связи наклоны амплитудных характеристик 1, 2 определяются коэффициентом усиления напряжения операционного усилителя

$$K_y = \frac{\Delta U_{вых}}{\Delta U_{диф}}.$$

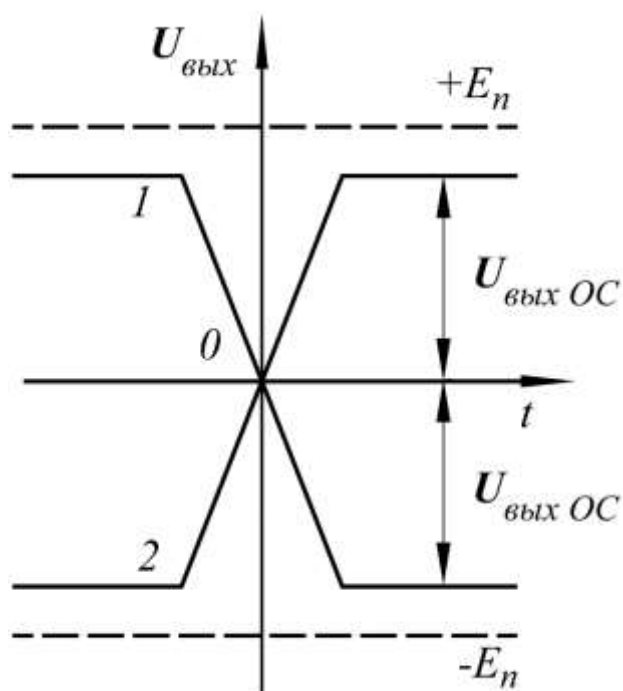


Рисунок 2.3 – Амплитудные характеристики операционного усилителя

Характерной для амплитудных характеристик операционного усилителя является наличие двух областей насыщения $+U_{нас}$ и $-U_{нас}$, при достижении которых выходное напряжение остается постоянным и не зависит от изменения входного напряжения. Операционный усилитель в интегральном исполнении характеризуется большим коэффициентом усиления по напряжению, высоким входным и низким выходным сопротивлением.

В зависимости от того, на какие входы операционного усилителя подаются входные сигналы, различают две схемы включения операционного усилителя в интегральном исполнении: инвертирующая схема и неинвертирующая схема. Эти схемы имеют ряд общих особенностей:

- 1) наличие элементов отрицательной обратной связи;
- 2) при выводе аналитических выражений для оценки основных параметров операционного усилителя принимают значение

$U_{диф} = U_{вх} / K_Y \approx 0$, потому что операционный усилитель имеет очень высокий коэффициент усиления по напряжению ($K_Y \rightarrow \infty$);

3) входной ток считают равным нулю, потому что операционный усилитель имеет высокое входное сопротивление ($R_{вх}^{OY} \rightarrow \infty$).

Схема включения операционного усилителя в инвертирующем режиме представлена на рис. 2.4. В этой схеме входной сигнал подается на инвертирующий вход операционного усилителя, а его неинвертирующий вход заземлен. Усилитель называется инвертирующим, потому что выходное напряжение $U_{вых}$ инвертировано (противофазно) относительно входного напряжения $U_{вх}$. Отрицательная обратная связь создается с помощью резисторов R_2 и R_1 (параллельная обратная связь по напряжению).

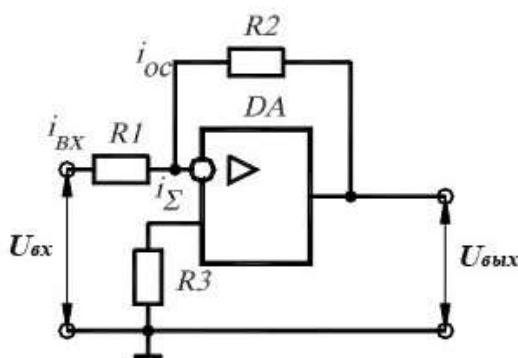


Рисунок 2.4 – Инвертирующий усилитель

Так как входной ток операционного усилителя

$$i_{вх}^{OY} = i_{с} \approx 0,$$

то справедливо соотношение

$$i_{вх} \approx i_{оc} \quad (2.1)$$

Поскольку дифференциальное входное напряжение операционного усилителя $U_{диф} \approx 0$, $K_Y \rightarrow \infty$, а $R_{вх}^{OY} \rightarrow \infty$, то:

$$i_{вх} = \frac{U_{вх}}{R_1}, i_{оc} = -\frac{U_{вых}}{R_2}. \quad (2.2)$$

Выходное напряжение в последнем выражении входит со знаком минус, потому что оно противофазно входному напряжению.

На основании соотношения 2.2 получим выражение для определения коэффициента усиления напряжения схемы инвертирующего усилителя:

$$K_Y = -\frac{R_2}{R_1}. \quad (2.3)$$

Если ввести обозначение глубины отрицательной обратной связи:

$$\beta_{оос} = \frac{R_1}{R_1 + R_2}, \quad (2.4)$$

которую при выполнении условия $R_2 > R_1$ можно принять равной:

$$\beta_{оос} \approx \frac{R_1}{R_2},$$

и тогда

$$K_y \approx -\frac{1}{\beta_{оос}}. \quad (2.5)$$

Если $R_1=R_2$, то $K_y = -1$ и операционный усилитель становится инвертирующим повторителем напряжения, у которого:

$$U_{вых} = -U_{вх}. \quad (2.6)$$

Входное сопротивление инвертирующего операционного усилителя:

$$R_{вх}^{OY} = R_1, \quad (2.7)$$

а выходное сопротивление:

$$R_{вых}^{OY} = \frac{R_{вых}^{OY}}{1 + \beta_{оос} \cdot K_y}. \quad (2.8)$$

Неинвертирующий вход операционного усилителя через резистор R_3 соединен с землей, поэтому его потенциал равен нулю, а значит, равняется нулю и потенциал инвертирующего входа, потому что $U_{диф} \approx 0$.

Поэтому на входах данной интегральной микросхемы операционного усилителя синфазный сигнал отсутствует. Поскольку $R_{вх}$ реальной микросхемы операционного усилителя не равно бесконечности, то через ее входы протекают незначительные входные токи, которые при $U_{вх}=0$ могут вызвать случайные изменения выходного сигнала. Для их компенсации нужно обеспечить равенство сопротивлений входов операционного усилителя. Поэтому в схему введенный резистор

$$R_3 = \frac{R_1 \cdot R_2}{R_1 + R_2}.$$

Инвертирующая схема включения операционного усилителя (рис. 1.4) может использоваться для изменения масштаба входного напряжения умножением его на постоянный коэффициент – R_2/R_1 , а также для алгебраического суммирования входных сигналов как аналоговый сумматор (рис. 2.5).

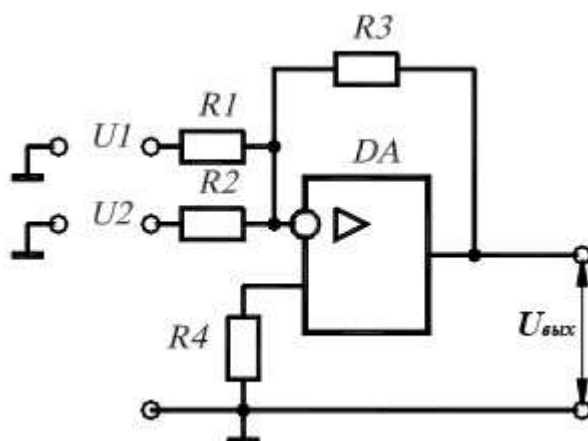


Рисунок 2.5 – Аналоговый сумматор на операционном усилителе
Напряжение на выходе такой схемы:

$$U_{\text{вых}} = -\frac{R_3}{R_1} (U_1 + U_2 + \dots + U_n). \quad (2.8)$$

Если $R_1 = R_2 = R$, то:

$$U_{\text{вых}} = - (U_1 + U_2 + \dots + U_n). \quad (1.9)$$

ОПИСАНИЕ ЛАБОРАТОРНОЙ УСТАНОВКИ

В состав лабораторной установки входят: лабораторная макетная плата, операционный усилитель, блок питания и двухканальный осциллограф.

ПОРЯДОК ВЫПОЛНЕНИЯ ТЕОРЕТИЧЕСКИХ РАСЧЕТОВ

Выучить принцип работы, параметры, характеристики, схемы включения и возможности применения интегральной микросхемы операционного усилителя. Согласно индивидуальному заданию (табл. 2.1), выбрать коэффициент усиления и определить значение элементов схемы. Номиналы резисторов указаны в таблице 2.2.

Таблица 2.1 – Индивидуальное задание

Вариант	1	2	3	4	5	6	7	8	9	10
Коэффициент усиления	1,2	1,3	1,5	1,7	1,8	2	3	4	4,3	5

Таблица 2.2 – Номиналы резисторов

№ контактов	1–2	3–4	5–6	7–8
R1, КОм	1	2	5	10
R2, КОм	10	15	20	100

ПОРЯДОК ВЫПОЛНЕНИЯ ЭКСПЕРИМЕНТАЛЬНЫХ ИССЛЕДОВАНИЙ

1. На лабораторном стенде в поле Inv Amplifier собрать схему усилителя согласно рисунку 2.4, используя рассчитанные значения элементов схемы.
2. Снять и построить амплитудную (передаточную) характеристику на частоте $f = 1$ кГц:
 - а) операционного усилителя без отрицательной обратной связи;
 - б) операционного усилителя с отрицательной обратной связью.
3. Определить напряжение $U_{вх\ max}$, при котором появляются нелинейные искажения выходного сигнала.
4. Убедиться, что выходное напряжение противофазно входному напряжению.
5. Снять и построить нормированную амплитудно-частотную характеристику при $U_{вх} < U_{вх\ max}$ для операционного усилителя с отрицательной обратной связью. Из графика определить частоту среза f_c .
6. Собрать схему инвертирующего повторителя напряжения, (рис. 1.4), у которого $R_1 = R_2 = 10$ ком, и убедиться, что коэффициент ее усиления равен -1 . Знак минус означает, что входной и выходной сигналы противофазны.

СОДЕРЖАНИЕ ОТЧЕТА

1. Цель работы.
2. Схема инвертирующего усилителя.
3. Исходные данные и теоретический расчет элементов схемы и коэффициента усиления.
4. Таблицы с результатами экспериментов.
5. Графики амплитудной (передаточной) и амплитудно-частотной характеристик.
6. Рисунки или фотографии осциллограмм.
7. Выводы по работе. В выводах объяснить вид амплитудной характеристики, причины нелинейных искажений, вид амплитудно-частотной характеристики, объяснить физический смысл частоты среза.

КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Как влияет отрицательная обратная связь на работу операционного усилителя?
2. Выведите формулу коэффициента усиления для инвертирующего усилителя.
3. Какие параметры позволяет определить амплитудно-частотная характеристика?

3 ИССЛЕДОВАНИЕ ДИФФЕРЕНЦИАТОРА НА БАЗЕ ОПЕРАЦИОННОГО УСИЛИТЕЛЯ

ЦЕЛЬ РАБОТЫ

Изучение принципа работы, основных параметров и характеристик дифференцирующего усилителя, построенного на операционном усилителе, практическое исследование схем.

ТЕОРЕТИЧЕСКИЙ РАЗДЕЛ

В измерительной технике и технике аналогового моделирования особенно широкое применение находит дифференцирующий операционный преобразователь – дифференциатор. Простейшая схема дифференциатора приведена на рис. 3.1.

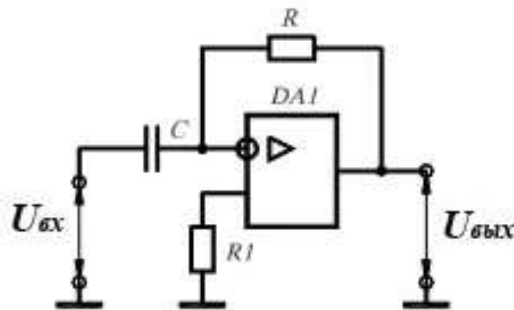


Рисунок 3.1 – Дифференциатор на операционном усилителе

В таком усилителе интегральная микросхема операционного усилителя включена по схеме инвертирующего усилителя с отрицательной обратной связью, выполненной на резисторе R и конденсаторе C , что является для входного сигнала дифференцирующим звеном. Применение операционного усилителя с большим коэффициентом усиления значительно уменьшает погрешность дифференцирования в сравнении с пассивной дифференцирующей схемой. Выходное напряжение

$$U_{\text{вых}}(t) \approx -RC \frac{dU_{\text{вх}}}{dt} \quad (3.1)$$

где $RC = \tau$ – постоянная времени дифференцирующей цепи.

Статистические погрешности определяются в основном значениями напряжения смещения $U_{\text{см}}$ и входных токов усилителя. При увеличении частоты возрастает усиление дифференциатора и увеличивается составляющая погрешности, обусловленная внутренними шумами операционного усилителя. Полное входное сопротивление дифференциатора имеет емкостный характер, и, как следствие, на высоких частотах может увеличиваться ток, который поступает от генератора сигнала. Генератор может из-

менить параметры работы, если его выходное сопротивление недостаточно мало.

Полное входное сопротивление дифференциатора можно увеличить, включив последовательно с конденсатором дополнительное сопротивление. Уменьшение влияния шумов и увеличение стабильности схемы можно достичь, шунтируя сопротивление обратной связи конденсатором.

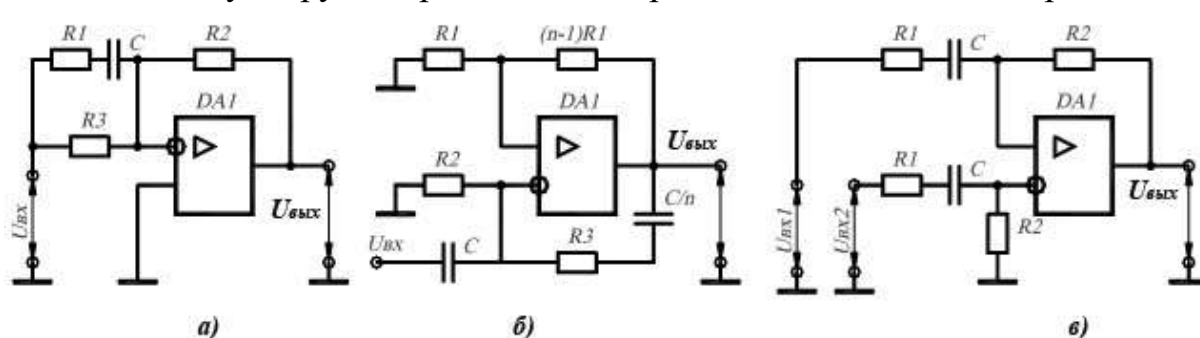


Рисунок 3.2 – Различные варианты дифференциаторов

Функциональные возможности дифференциаторов можно расширить, если изменить их цепь обратной связи. Так, в схеме рис. 2.2, а к результату дифференцирования добавляется некоторая часть входного сигнала, которую можно изменить соответствующим выбором отношения R_2/R_3 .

Максимальная рабочая частота этого дифференциатора не превышает $1/(2\pi R_1 C)$. Выходной сигнал можно найти по формуле:

$$U_{вых} = - \left(R_2 C \frac{dU_{вх}}{dt} + U_{вх} \frac{R_2}{R_3} \right). \quad (3.2)$$

На схеме рис. 3.2, б представлен неинвертирующий дифференциатор которой не меняет фазу выходного сигнала. Чтобы обеспечить нормальную работу этой схемы, необходимо выполнить условие $R_3 \ll R_2 / n$. Диапазон рабочей частоты для этой схемы меньше $n / R_3 C$. Он выбирается с таким расчетом, чтобы $\omega_2 \approx n / R_3 C < \omega_3$. Выходной сигнал:

$$U_{вых} = (n+1) R_2 C \frac{dU_{вх}}{dt}. \quad (3.3)$$

В схеме дифференциального дифференциатора рис. 3.2, в существенное влияние на точность работы может оказывать конечное значение коэффициента ослабления синфазного сигнала. Выходной сигнал:

$$U_{вых} = R_2 C \frac{d(U_{вх1} - U_{вх2})}{dt} \quad (3.4)$$

Рассмотренные схемы дифференциаторов обеспечивают хорошую точность при частотах входных сигналов больше нескольких герц.

ПОРЯДОК ВЫПОЛНЕНИЯ ТЕОРЕТИЧЕСКИХ РАСЧЕТОВ

Изучить принцип работы дифференциатора, возможности его применения. Проанализировать зависимости формы выходного сигнала от входного сигнала. Определить вид выходного сигнала при синусоидальной, прямоугольной и треугольной формах входных сигналов.

Согласно указанию преподавателя, определить значение элементов схемы дифференциатора и рассчитать постоянную времени. При расчете учитывать, что в макете применены сопротивления и емкости, значения которых приведены в табл.3.1.

Таблица 3.1 – Номиналы резисторов и конденсаторов

№ контактов	1–2	3–4	5–6	7–8
C, нФ	3,9	6,8	10	15
R, кОм	10	20	50	100

ПОРЯДОК ВЫПОЛНЕНИЯ ЭКСПЕРИМЕНТАЛЬНЫХ ИССЛЕДОВАНИЙ

1. Собрать схему дифференциатора в поле лабораторного макета Differentiator, (рис. 3.1).
2. Подать на вход гармонический сигнал с частотой 100 Гц и амплитудой 1 В: зарисовать осциллограмму выходного сигнала. Убедиться, что выходное напряжение равняется производной от входного напряжения.
3. Подать на вход прямоугольный сигнал частотой с частотой 100 Гц и амплитудой 1 В: зарисовать осциллограмму выходного сигнала. Убедиться, что выходное напряжение равняется производной от входного напряжения.
4. Подать на вход треугольный сигнал частотой с частотой 100 Гц и амплитудой 1 В: зарисовать осциллограмму выходного сигнала. Убедиться, что выходное напряжение равняется производной от входного напряжения
5. Подать на вход сигнал с частотой в два и пять раз выше заданной согласно индивидуальному заданию. Повторить операции, изложенные в п. 2, 4.

СОДЕРЖАНИЕ ОТЧЕТА

1. Цель работы.
2. Схема дифференцирующего усилителя.
3. Исходные данные и теоретический расчет элементов схемы.
4. Таблицы результатов эксперимента.
5. График амплитудно-частотной характеристики.
6. Рисунки или фотографии осциллограмм.

7. Выводы по работе. В выводах объяснить вид амплитудно-частотной характеристики.

КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Охарактеризуйте назначение, параметры, характеристики и особенности применения дифференциаторов.
2. Приведите схемы дифференциаторов, определите их основные параметры и дайте сравнительную характеристику.
3. Проанализируйте особенности построения дифференциаторов.
4. В чем состоит особенность применения неинвертирующего дифференциатора?
5. Как осуществляется выбор сопротивлений R_2 , R_3 и для чего они предназначены в схеме на рис. 3.2, б?

4 ИССЛЕДОВАНИЕ ИНТЕГРАТОРА НА БАЗЕ ОПЕРАЦИОННОГО УСИЛИТЕЛЯ

ЦЕЛЬ РАБОТЫ

Цель работы – изучение принципа работы, основных параметров и характеристик интегрирующего усилителя, построенного на базе операционного усилителя, практическое исследование схем.

ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ

Интегрирующие операционные преобразователи – интеграторы – находят широкое применение в измерительной технике и технике аналогового моделирования. Простейшая схема интегратора приведена на рис. 4.1.

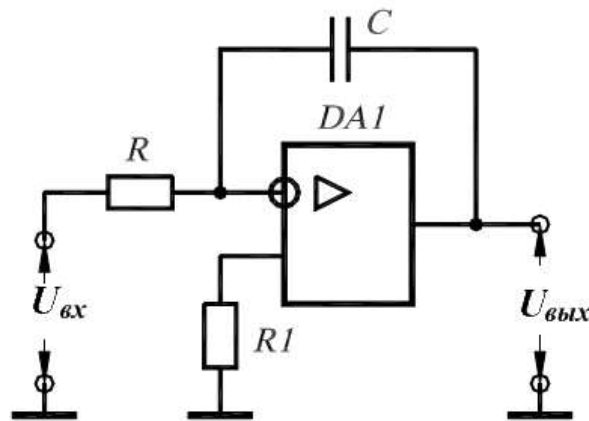


Рисунок 4.1 – Интегратор на операционном усилителе

Интегратор (рис. 4.1) является инвертирующим операционным усилителем с отрицательной обратной связью, выполненный на конденсаторе C и резисторе R , что является интегрирующей цепью для входного сигнала. Применение операционного усилителя уменьшает погрешность интегрирования в K_y раз в сравнении с пассивной интегрирующей цепью. Интегрирование аналоговых сигналов происходит в операционном усилителе с емкостной обратной связью. Благодаря большому коэффициенту усиления и малому входному току напряжение на инверсном входе усилителя близко к нулю, а токи входной цепи и цепи обратной связи приблизительно равны. Выходное напряжение:

$$U_{вых}(t) \approx -\frac{1}{RC} \int_0^t U_{вх} dt \quad (4.1)$$

где $RC = \tau$ – постоянная времени интегрирующей цепи.

Переходная характеристика реального интегратора, в отличие от идеального, не является абсолютно линейной, хотя и приближается к ней на большей части переходного процесса. Искажения переходной характеристики проявляются как выбросы в верхней или нижней областях характеристики. Так, на выходе реального интегратора при прыжке напряжения на

входе мы получим не линейно изменяющееся напряжение, как было бы в случае идеального интегратора, а экспоненциальное, характерное для обычной интегрирующей RC -цепи.

Отклонение реальной переходной характеристики от идеальной переходной характеристики проявляется особенно заметно в начальный момент интегрирования (из-за конечного быстродействия операционного усилителя) и в области больших значений времени (из-за конечного значения коэффициента усиления K_y). Наибольшая точность интегрирования достигается, когда время интегрирования много меньше произведения $K_y RC$, а амплитуда сигнала на выходе интегратора $U_{вых}$ много меньше $U_{вх} K_y$.

Расширение функциональных возможностей интегратора. Функциональные возможности базовой схемы интегратора можно существенно образом расширить, изменив цепь обратной связи.

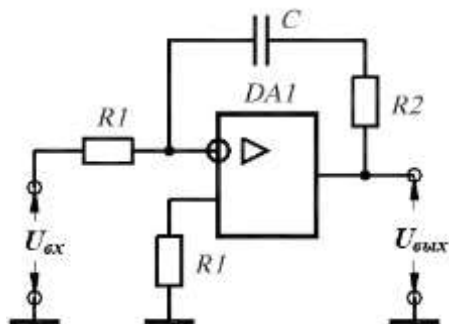


Рисунок 4.2 – Интегратора с суммированием

На рис. 4.2 приведена схема интегратора с суммированием, в которой дополнительно к интегрированию входного сигнала проводится суммирование результата интегрирования с входным сигналом, умноженным на отношение R_2/R_1 . Выходной сигнал записывается следующим образом:

$$U_{вых}(t) = -\frac{1}{R_1 C} \int_0^t U_{вх} dt + \frac{R_2}{R_1} U_{вх}. \quad (4.2)$$

На рис. 4.3 показана реализация дифференциального интегратора, которой позволяет проинтегрировать разность двух входных сигналов. Выходное напряжение:

$$U_{вых}(t) = -\frac{1}{RC} \int_0^t (U_{вх2} - U_{вх1}) dt. \quad (4.3)$$

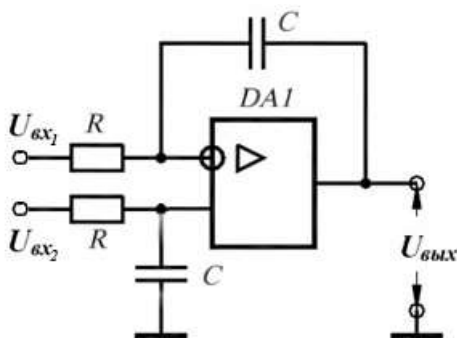


Рисунок 4.3 – Дифференциальный интегратор

ОПИСАНИЕ ЛАБОРАТОРНОЙ УСТАНОВКИ

В состав лабораторной установки входят: лабораторная макетная плата, операционный усилитель, блок питания и двухканальный осциллограф.

ПОРЯДОК ВЫПОЛНЕНИЯ ТЕОРЕТИЧЕСКИХ РАСЧЕТОВ

Изучить принцип работы интеграторов и возможности их применения. Проанализировать зависимости формы выходного сигнала от формы входного сигнала. Согласно указанию преподавателя, определить значение элементов схемы интегратора. Для расчетов учитывать, что в макете в схеме интегратора применены сопротивления и емкости, приведенные в табл. 4.1.

Таблица 4.1 – Номиналы резисторов и конденсаторов

№ контактов	1–2	3–4	5–6	7–8
C, мкФ	0,1	0,2	0,4	1
R, кОм	10	20	50	100

Определить вид выходного сигнала при синусоидальной, прямоугольной и треугольной формах входных сигналов.

ПОРЯДОК ВЫПОЛНЕНИЯ ЭКСПЕРИМЕНТАЛЬНЫХ ИССЛЕДОВАНИЙ

1. Собрать схему интегратора на поле лабораторного макета Integrator, в соответствии с рис. 4.1.
2. Подать на вход гармонический сигнал с частотой согласно индивидуальному заданию. Определить форму выходного сигнала. Убедиться, что выходное напряжение равняется интегралу от входного напряжения.
3. Подать на вход прямоугольный сигнал с частотой согласно индивидуальному заданию. Зарисовать осциллограмму выходного сигнала. Убедиться, что выходное напряжение равняется интегралу от входного напряжения.

4. Представить на вход сигнал с частотой в два раза большей, чем заданной согласно индивидуальному заданию. Повторить операции, изложенные в п. 2, 3.
5. Подать на вход гармонический сигнал с частотами 10, 20, 100 и 1000 Гц. Определить значение амплитуды выходного сигнала и построить амплитудно-частотную характеристику.

КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Охарактеризуйте назначение, параметры, характеристики и особенности применения интеграторов.
2. Приведите схемы интеграторов, определите их основные параметры и дайте сравнительную характеристику.
3. Проанализируйте особенности построения дифференциальных интеграторов.
4. Проведите сравнение особенностей построения схем интеграторов.
5. В чем состоит особенность применения интегратора?

5 ИССЛЕДОВАНИЕ РАБОТЫ СХЕМ РЕЛАКСАЦИОННЫХ ГЕНЕРАТОРОВ СИГНАЛОВ

ЦЕЛЬ РАБОТЫ

Цель работы – изучение принципа работы, основных параметров и характеристик релаксационных генераторов прямоугольных сигналов.

ТЕОРЕТИЧЕСКИЙ РАЗДЕЛ

Схемы релаксационных генераторов или мультивибраторов на основе операционных усилителей могут быть достаточно разными. Наиболее простые из них строятся путем охвата операционного усилителя цепями положительной и отрицательной обратной связи, причем положительная обратная связь по своему действию во времени должен опережать отрицательную обратную связь. Тогда цепь положительной обратной связи обеспечивает лавиноподобный переход мультивибратора из одного состояния в другое, а цепь отрицательной обратной связи (вместе с цепью положительной обратной связи) ограничивает время пребывания устройства в каждом из состояний.

На рис. 5.1 показаны схемы простейших мультивибраторов, построенных на основе операционных усилителей.

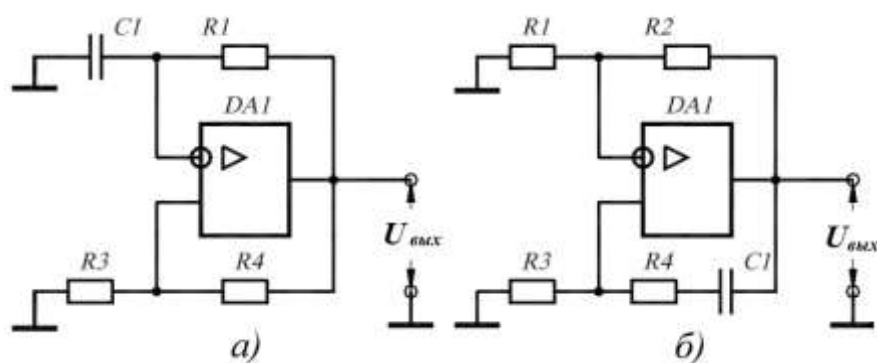


Рисунок 5.1 – Простейшие мультивибраторы

В мультивибраторе рис. 5, а, цепь положительной обратной связи выполнена на основе резистивного делителя R_3 , R_4 , а цепи отрицательной обратной связи представляет пассивный интегратор на резисторе R_1 и конденсаторе C_1 .

Если уровни ограничения входного напряжения операционного усилителя одинаковы по модулю и равны $+U_n$ и $-U_n$, а $\beta_n = R_3 / (R_3 + R_4)$ – коэффициент положительной обратной связи, то можно определить полупериод колебаний $T/2$ как время перезарядки конденсатора C_1 под действием напряжения U_n через резистор R_1 от уровня $-\beta_n U_n$ до уровня $+\beta_n U_n$:

$$-\beta_n U_n e^{-\frac{T}{2\tau}} + U_n (1 - e^{-\frac{T}{2\tau}}) = \beta_n U_n, \quad (4.1)$$

где $\tau = R_1 C_1$. Отсюда получим:

$$T = 2\tau \ln \frac{1 + \beta_n}{1 - \beta_n} = 2R_1 C_1 \ln \left(1 + 2 \frac{R_3}{R_2} \right). \quad (4.2)$$

Временные диаграммы напряжений на инверсном (e_-) и неинверсном (e_+) входах и выходе ($U_{вых}$) операционного усилителя для данного мультивибратора приведены на рис. 4.2.

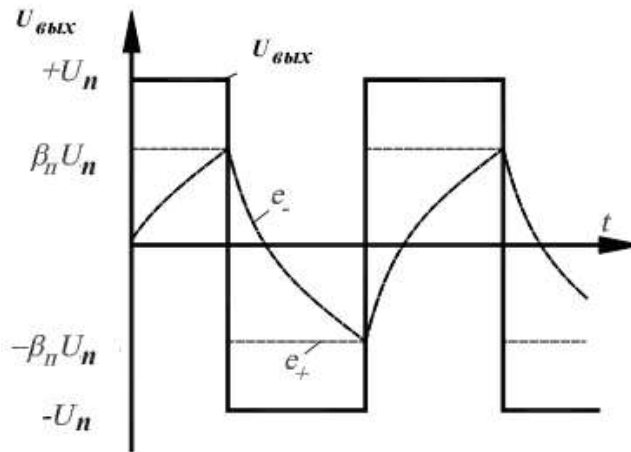


Рисунок 5.2 – Временные диаграммы напряжений мультивибратора

В мультивибраторе по схеме рис. 5.2, б цепь положительной обратной связи выполнена в виде дифференцирующего звена (C_1, R_4, R_3), а цепь отрицательной обратной связи образована резистивным делителем R_2, R_1 . Обозначим $\beta_n = R_3 / (R_3 + R_4)$, $\beta_0 = R_1 / (R_1 + R_2)$. После перехода выходного напряжения мультивибратора, например, из уровня $-U_n$ на уровень $+U_n$, прыжок напряжения $2\beta_n U_n$, который возникает на неинверсном входе, уменьшается по экспоненциальному закону. Полупериод колебаний $T/2$ считается временем, в течении которого напряжение на неинверсном входе уменьшается до уровня напряжения на инверсном входе:

$$(-\beta_0 U_n + 2\beta_n U_n) e^{-\frac{T}{2\tau}} = \beta_0 U_n, \quad (5.3)$$

где $\tau = C_1 (R_3 + R_4)$. Исходя из этого равенства, находим период колебаний:

$$T = 2\tau \ln \left(2 \frac{\beta_n}{\beta_0} - 1 \right) = 2C_1 (R_3 + R_4) \ln \left(1 + 2 \frac{R_2 R_3 - R_1 R_4}{R_1 (R_3 + R_4)} \right). \quad (5.4)$$

Мультивибратор по схеме рис. 5.2, б работоспособен лишь при условии $\beta_n > \beta_0$, иначе говоря, при $R_3 / R_4 > R_1 / R_2$.

Временные диаграммы напряжений на инверсном входе (e_-), неинверсном входе (e_+) и выходе ($U_{вых}$) операционного усилителя для данного мультивибратора приведены на рис. 3.

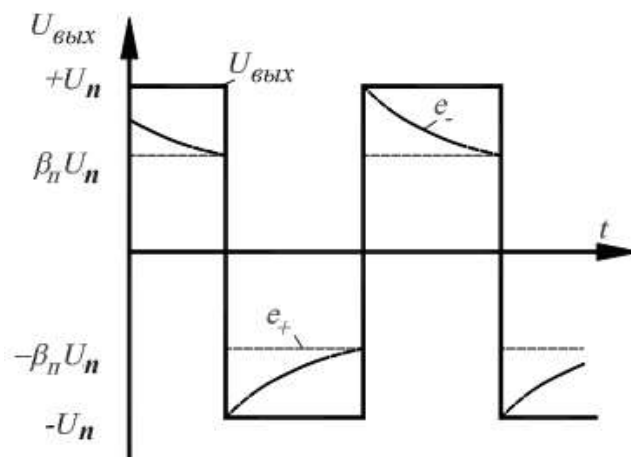


Рисунок 5.3 – Временные диаграммы напряжений мультивибратора

Для управления автоколебаниями с помощью входного напряжения используются управляемые мультивибраторы. На рис. 5.4 показаны две разновидности таких мультивибраторов.

В устройстве, выполненном по схеме рис. 5.4, а с помощью входного напряжения включается или выключается режим генерации импульсов. Это устройство можно использовать как генерирующий компаратор. Если $U_{вх} < 0$, то операционный усилитель находится в состоянии отрицательного ограничения и диод VD при этом закрыт. Когда входное напряжение $U_{вх}$ положительно, выходное напряжение операционного усилителя также становится положительным и диод открывается. Когда диод открыт, включается отрицательная обратная связи, вследствие чего устройство начинает работать в режиме мультивибратора. Условием возникновения автоколебаний в данном случае – превышения глубины положительной обратной связи над глубиной отрицательной обратной связи, что достигается при $R_3 / R_4 > R_1 / R_2$.

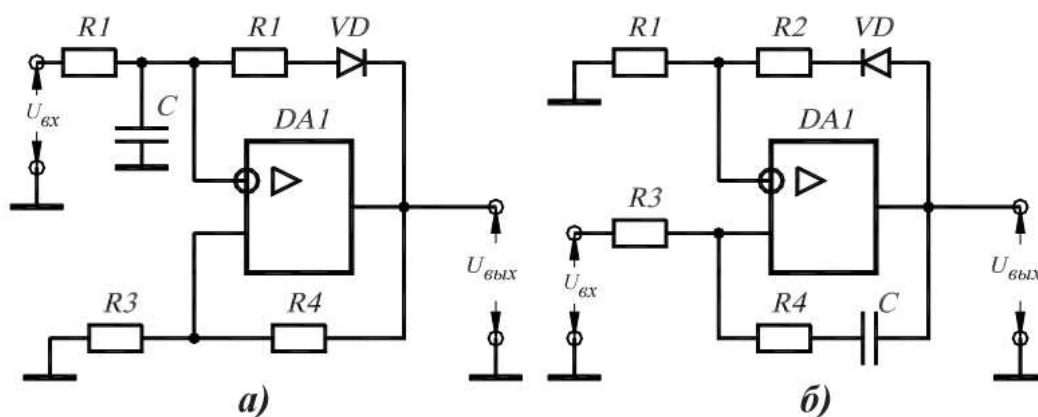


Рисунок 50.4 – Управляемые мультивибраторы

Если в этом устройства изменить направление включения диода, то он будет генерировать импульсы при отрицательном управляющем напряжении на входе.

Если в подобном генерирующем компараторе не включать диод в цепь отрицательной обратной связи, то устройство приобретает свойство двухуровневого компаратора. В таком устройстве импульсы на выходе существует, пока выходное напряжение $U_{вых} = U_{вх} (1 + R_2 / R_1)$ находится в пределах линейного участка амплитудной характеристики. В противном случае на выходе операционного усилителя устанавливается напряжение, которое соответствует положительному (при $U_{вх} > 0$) или отрицательному (при $U_{вх} < 0$) уровням ограничений.

В мультивибраторе, выполненном по схеме рис. 5.4, б с помощью входного напряжения происходит управления частотой автоколебаний. Здесь заряд конденсатора C происходит от входного сигнала $U_{вх}$, операционный усилитель при этом находится в состоянии положительного ограничения, диод VD закрыт. Когда под действием сигнала $U_{вх}$ напряжение на инверсном входе операционного усилителя достигает уровня, который задается на неинверсном входе цепью положительной обратной связи (R_3 , R_4), происходит лавиноподобный переход операционного усилителя в состояние отрицательного ограничения. Диод VD открывается, и происходит разряд конденсатора C через резистор R_2 . Потом устройство лавиноподобно возвращается в предыдущее состояние и так далее. Таким образом, время заряда конденсатора C определяется сигналом $U_{вх}$. Для этого нужно, чтобы было выполнено условие $U_{вх} / R_1 \ll U_n / R_2$. Автоколебания в рассматриваемом устройстве существуют при выполнении условий:

$$U_{вх} > U_n R_3 / (R_3 + R_4) \text{ и } U_{вх} < U_n R_1 / R_2. \quad (5.5)$$

ОПИСАНИЕ ЛАБОРАТОРНОЙ УСТАНОВКИ

В состав лабораторной установки входят: лабораторная макетная плата, операционный усилитель, блок питания и двухканальный осциллограф.

ПОРЯДОК ВЫПОЛНЕНИЯ ТЕОРЕТИЧЕСКИХ РАСЧЕТОВ

Выучить принцип работы, параметры, характеристики, схемы и возможности применения релаксационных генераторов прямоугольных сигналов. Согласно индивидуальному заданию, выданному преподавателем, рассчитать период колебаний мультивибратора по заданным значениям элементов схемы. Номиналы резисторов и конденсаторов указаны в таблице 5.1.

Таблица 5.1 – Номиналы резисторов и конденсаторов стенда

№ контактов	1–2	3–4	5–6	7–8
C1, нФ	3,9	10	15	22
R1, кОм	10	20	50	100
R3, кОм	5	10	20	50
R4, кОм	2	5	10	20

ПОРЯДОК ВЫПОЛНЕНИЯ ЭКСПЕРИМЕНТАЛЬНЫХ ИССЛЕДОВАНИЙ

1. Собрать схему мультивибратора на лабораторном макете Multivibrator, в соответствии с рис. 5.1, а согласно рассчитанным значениям элементов схемы.
2. Зарисовать осциллограммы работы схемы на выходе операционного усилителя. Рассчитать период повторения импульсов.
3. Изменить коэффициент передачи отрицательной обратной связи путем изменения значений сопротивлений R1 или C1. Повторить операции, изложенные в п. 2.

СОДЕРЖАНИЕ ОТЧЕТА

1. Цель работы.
2. Схема мультивибратора.
3. Исходные данные и теоретический расчет периода колебаний.
4. Таблицы результатов эксперимента.
5. Рисунки или фотографии осциллограмм.
6. Выводы по работе.

КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Приведите схемы мультивибраторов и объясните принцип их работы.
2. Проанализируйте отличие работы мультивибраторов с интегрирующим звеном и дифференцирующим звеном.
3. От чего зависит частота автоколебаний мультивибраторов?
4. Объясните назначение управляемых мультивибраторов.
5. Приведите примеры использования генерирующего компаратора.
6. Объясните принцип работы преобразователя напряжения в частоту.
7. Приведите область использования преобразователей напряжения в частоту.

6 ИССЛЕДОВАНИЕ ТИПОВЫХ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ НА МИКРОСХЕМАХ

ЦЕЛЬ РАБОТЫ

Изучение принципа работы, основных параметров и характеристик типовых логических элементов на микросхемах, экспериментальное исследование типовых логических элементов с целью получения таблиц истинности.

ТЕОРЕТИЧЕСКИЙ РАЗДЕЛ

В цифровой технике для преобразования (обработки) информации используются различные комбинационные логические и арифметические устройства, на выходах которых сигналы в любой момент времени однозначно определяются сочетанием сигналов на их входах и не зависят от предыдущих состояний.

При всем многообразии задач, решаемых с помощью цифровой техники, функционирование элементов происходит в двоичной системе счисления, оперирующей только с двумя цифрами: нуль (0) и единица (1), а математическом аппарате, на основе которого проектируются и реализуются цифровые устройства, является *алгебра логики* (булева алгебра).

Как известно, предметом рассмотрения алгебры логики являются *высказывания* (утверждения), которые могут оказаться либо истинными, либо ложными. Следовательно, истинность высказывания может принимать, подобно цифрам в двоичной системе счисления, только два значения: “истинно” соответствует цифре 1 и “ложно” – цифре 0.

Простые высказывания, объединенные *логическими операциями* (связями), образуют сложное высказывание. Если простые высказывания обозначить буквами $X_1, X_2, X_3, \dots$, а сложное – буквой Y , то логические операции можно записать математически.

Существуют три основных типа логических операций.

Логическое умножение (операция “И”), или конъюнкция (обозначается $Y = X_1 \wedge X_2$ или $Y = X_1 \cdot X_2$, или еще проще $Y = X_1 X_2$, читается “ X_1 и X_2 ”). Эта операция означает, что сложное высказывание истинно лишь тогда, когда истинны все (в данном случае два) простые высказывания. Представленная в виде таблицы, где показаны значения истинности Y в зависимости от значений X_1 и X_2 , операция конъюнкции имеет вид

X_2	X_1	Y
0	0	0
0	1	0
1	0	0
1	1	1

Логическое сложение (операция “ИЛИ”), или дизъюнкция (обозначается $Y = X_1 \vee X_2$ или $Y = X_1 + X_2$, читается “ X_1 или X_2 ”).

Эта операция означает, что сложное высказывание истинно, если истинно хотя бы одно из простых высказываний, и тем более, если истинны оба высказывания:

X_2	X_1	Y
0	0	0
0	1	1
1	0	1
1	1	1

Логическое отрицание (операция “НЕ”), или инверсия (обозначается $Y = \bar{X}$, читается “не X ”). Эта операция означает, что сложное высказывание истинно, если простое ложно, и наоборот:

X	Y
0	1
1	0

В соответствии с тремя основными операциями алгебры логики в схемах цифровых устройств используются следующие логические элементы, входные переменные которых часто обозначают через x_i , а выходные через y_i :

1) элемент “И” (называемый также схемой логического умножения, конъюнктом, схемой совпадения), условно изображаемый, как показано на рис. 6.1, а;

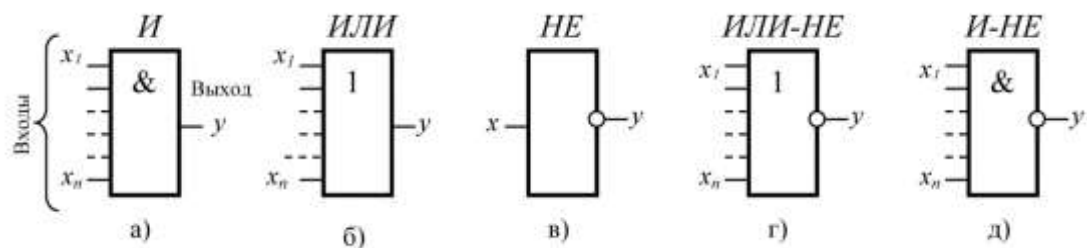


Рисунок 6.1 – Условные графические обозначения цифровых элементов

2) элемент “ИЛИ” (схема логического сложения, дизъюнктом, сборка), условно изображаемый, как показано на рис. 6.1, б;

3) элемент “НЕ” (схема логического отрицания, инвертор), условно изображаемый, как показано на рис. 6.1, в.

Этот набор элементов называют *основным базисом* или *основной функционально полной системой элементов*. Последнее означает, что с помощью этих элементов можно создать схему, осуществляющую любую сколь угодно сложную логическую операцию.

В интегральной схемотехнике особенно широко используют элементы других базисов: “ИЛИ–НЕ” (стрелка Пирса, обозначаемая $X_1 \downarrow X_2$) и “И–НЕ” (штрих Шеффера, обозначаемый $X_1 | X_2$). На схемах они обозначаются, как показано на рис. 6.1 г, д. соответственно. Следует заметить, что каждый из этих элементов представляет собой функционально полную систему элементов. Кроме этого, в виде отдельной микросхемы, используется элемент “РАВНОЗНАЧНОСТЬ”, реализующий логическую функцию $X_1 \sim X_2$ и обеспечивающий уровень выходного сигнала логической единицы в случае равенства входных переменных. Он служит основой для построения цифровых компараторов и сумматоров.

Наряду с ним существует логический элемент “НЕРАВНОЗНАЧНОСТЬ” или “ИСКЛЮЧАЮЩЕЕ ИЛИ”, реализующий логическую функцию $X_1 \oplus X_2$ и обеспечивающий уровень выходного сигнала логической единицы в случае неравенства входных переменных.

По виду кодирования двоичных цифр электрическими сигналами на входе и выходе элементы дискретной техники делят на потенциальные и импульсные.

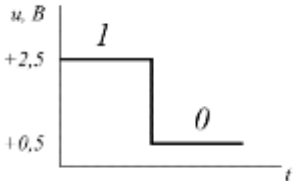
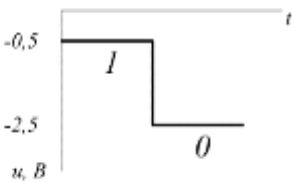
В *потенциальных* элементах *нулю* и *единице* соответствуют два резко отличающихся по уровню напряжения, называемые высоким и низким уровнями. При этом напряжения могут быть как положительными, так и отрицательными относительно корпуса, электрический потенциал которого принимается равным нулю.

Различают элементы, работающие в положительной и отрицательной логике.

В положительной логике за логическую *единицу* принят *высокий* уровень напряжения (например, +2,5 В при положительной полярности уровней напряжений или –0,5 В при отрицательной полярности уровней напряжений, как показано в таблице 1), а за логический *нуль* – *низкий* уровень (т.е. +0,5 В при положительной или –2,5 В при отрицательной полярности уровней напряжений).

В широко распространенной транзисторно-транзисторной логике (ТТЛ) высокий уровень выходного напряжения лежит в пределах от 2,4 В до 3,3 В, низкий уровень – от 0,2 В до 0,4 В. Для входного напряжения эти пределы принимают значения от 2 В до 3,3 В и от 0,2 В до 0,8 В соответственно.

Таблица 5.1 – Уровни логических сигналов

Вид логики	
Положительная	Отрицательная
	

В импульсных элементах в одном варианте логической единице соответствует наличие импульса напряжения (рис. 2.2, а, б). Импульс может быть как положительным, так и отрицательным.

Логическому нулю соответствует отсутствие импульса (рис. 5.2, а) или значительно меньший по значению импульс, называемый “помехой” нуля, как показано на рис. 5.2, б. В другом варианте единице соответствует положительный, а нулю – отрицательный импульс (рис. 5.2, в).

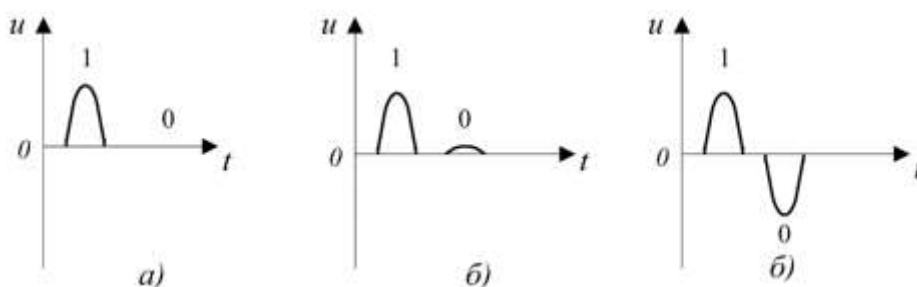


Рисунок 6.2 – Виды импульсного кодирования цифровой информации

Используются также комбинированные импульсно-потенциальные элементы, в которых одна часть сигналов кодируется различными уровнями напряжения, а другая – импульсами. Как правило, в полупроводниковых схемах применяют потенциальные и импульсно-потенциальные элементы, а в магнитных – импульсные.

Любое дискретное устройство и составляющие его элементы и узлы осуществляют ту или иную булеву функцию. Известно, что булеву функцию можно задать тремя способами: *содержательно* (путем словесного описания), *таблично* и *алгебраически*.

Таблицы, показывающие связь между входными и выходными переменными *комбинационных* устройств, называют таблицами истинности, а алгебраическая форма этих связей представляет систему алгебраических функций:

$$\begin{aligned}
 y1 &= y1(x1, x2, \dots, xn), \\
 y2 &= y2(x1, x2, \dots, xn), \\
 &\dots\dots\dots, \\
 ys &= ys(x1, x2, \dots, xn)
 \end{aligned}$$

В данной лабораторной работе необходимо по результатам эксперимента получить таблицы истинности для основных логических элементов.

ОПИСАНИЕ ЛАБОРАТОРНОЙ УСТАНОВКИ

В состав лабораторной установки входят: лабораторная макетная плата, блок питания и контактные перемычки.

ПОРЯДОК ВЫПОЛНЕНИЯ ТЕОРЕТИЧЕСКИХ РАСЧЕТОВ

Выучить принцип работы, параметры, характеристики, схемы включения и возможности применения типовых логических элементов на микросхемах. Подготовить таблицы истинности для логических элементов “И”, “ИЛИ”, “НЕ”, “И–НЕ”, “ИЛИ–НЕ”, “ИСКЛЮЧАЮЩЕЕ ИЛИ” и “РАВНОЗНАЧНОСТЬ”.

ПОРЯДОК ВЫПОЛНЕНИЯ ЭКСПЕРИМЕНТАЛЬНЫХ ИССЛЕДОВАНИЙ

1. На лабораторном стенде собрать с помощью контактных перемычек схему для исследования логической микросхемы “И”. Напряжение на входы схемы подавать при помощи переключателей X1 ... X4. Коммутация верхних контактов позволяет подавать на схему прямой сигнал, коммутация нижних – инверсные.
2. Построить таблицу истинности для исследуемого элемента. Состояние входов и выхода элемента определяется при помощи светодиодов.
3. Повторить пункты 1 и 2 для элементов “ИЛИ”, “И–НЕ”, “ИЛИ–НЕ”, “ИСКЛЮЧАЮЩЕЕ ИЛИ” и “РАВНОЗНАЧНОСТЬ”.
4. На лабораторном стенде собрать с помощью контактных перемычек схему для исследования логической микросхемы “НЕ”. Для реализации элемента “НЕ” объединить входы логической микросхемы “И–НЕ” или “ИЛИ–НЕ”.
5. Построить таблицу истинности для исследуемого элемента “НЕ”.

СОДЕРЖАНИЕ ОТЧЕТА

1. Цель работы.
2. Условные графические обозначения логических элементов.
3. Логические выражения для исследуемых логических элементов.
4. Таблицы истинности по результатам экспериментов.
5. Выводы по работе.

КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Основные параметры логических элементов.
2. Назовите основные типы логических операций.
3. Что такое основной базис логических элементов?
4. На какие виды по виду кодирования двоичных цифр делят цифровые микросхемы?
5. Назовите уровни напряжений логического нуля и единицы для элементов транзисторно-транзисторной логики?

7 СИНТЕЗ ЛОГИЧЕСКИХ СХЕМ ЦИФРОВЫХ УСТРОЙСТВ

ЦЕЛЬ РАБОТЫ

Изучение работы, методов синтеза и особенностей логических схем цифровых устройств, приобретение навыков реализации их на реальных интегральных элементах, умений построить и исследовать их в реальных условиях. В программу лабораторной работы входит синтез и исследование схем, реализующих элементарные и произвольные логические функции нескольких переменных, а также схем простейших цифровых устройств с помощью реальных элементов на интегральных микросхемах.

ТЕОРЕТИЧЕСКИЙ РАЗДЕЛ

В процессе разработки цифровых устройств проводят сравнительный анализ различных вариантов построения функциональных схем и осуществляют необходимый выбор логических элементов. Основным математическим элементом при синтезе логических схем является математический аппарат алгебры логики. Любая логическая функция может быть достаточно просто описана и синтезирована с помощью известных основных свойств и законов алгебры логики. Этот процесс требует от разработчика определенных умений и навыков решения задач булевой алгебры.

Более сложным является процесс превращения синтезированной функции в реальную электрическую схему с учетом ограничений, накладываемых реальными элементами, имеющие ограниченное число реализуемых функций, входов, конечную нагрузочную способность.

В общем случае на вход цифрового устройства поступает множество двоичных переменных $X(x_1, x_2, \dots, x_n)$, а с выхода снимается множество двоичных переменных $Y(y_1, y_2, \dots, y_n)$. При этом устройство реализует определенную связь – логическую функцию – между входными и выходными переменными. Задача, которую должно решать устройство, обычно задается содержательно – словами.

На этапе *абстрактного синтеза* осуществляют переход от содержательного описания задачи к формализованному в виде таблиц или формул булевых функций.

Однако, как правило, булева функция, полученная из таблиц, содержит лишние сочетания переменных. Поэтому цифровое устройство, выполняющий операцию в соответствии с такой булевой функцией, оказывается громоздким. Чтобы упростить его схему, необходимо упростить (минимизировать) булеву функцию, положенную в основу его работы.

На этапе *структурного синтеза* минимизированную булеву функцию реализуют, т.е. выбирают тип элементов и создают схему их электрических соединений между собой так, чтобы устройство решало поставленную задачу.

Таким образом, первым этапом синтеза цифровых схем будет получение булевой функции из таблицы истинности. Данная операция основана на следующих соображениях. Значение булевой функции Y , как результат выполнения логических операций над двоичными переменными, зависит от значений аргументов. Задание булевой функции означает указание значений, которые принимает функция (0 или 1) при *всех* возможных комбинациях аргументов. Каждую конкретную комбинацию аргументов называют *набором*. Для краткости набор записывают в виде двоичного числа, цифрами которого являются значения аргументов. При n аргументах существует $P=2^n$ наборов.

Если известны значения функции на всех наборах аргументов, то ее называют полностью определенной. Если же на некоторых наборах значение функции неизвестно, то она называется недоопределенной или не полностью определенной, а комбинации аргументов, для которых функция не определена, запрещенными наборами.

Значения функции на запрещенных наборах можно задать по своему усмотрению, т.е. доопределить функцию. Этот прием используется для минимизации функций.

Например, пусть содержательно задана следующая функция “Функция трех аргументов принимает значение 1, если два любых аргумента (или все три) равны 1. Во всех других случаях функция равна нулю”. Данную функцию можно назвать “голосованием по большинству”.

Количество наборов трех аргументов (X_1 , X_2 , и X_3) равно 8. Пронумеруем их от 0 до 7. Заполнив таблицу в соответствии с содержательным заданием функции, получим табличное представление функции Y_1 , являющейся полностью определенной функцией.

Номера наборов	X_3	X_2	X_1	Y_1	Y_2	Y_3
0	0	0	0	0	0	0
1	0	0	1	0	X	0
2	0	1	0	0	X	0
3	0	1	1	1	1	0
4	1	0	0	0	X	0
5	1	0	1	1	1	0
6	1	1	0	1	1	0
7	1	1	1	1	0	1

Рассмотрим теперь другую функцию, содержательно заданную так: “Функция трех аргументов принимает значение 1, если два любых аргумента равны 1, и равна 0 в случае однозначности всех трех аргументов”. Эта функция, обозначенная Y_2 , не определена на 1, 2 и 4 наборах, поэтому

в таблице против этих наборов проставлен знак X. Данная функция недоопределенная, а наборы 1, 2 и 4 запрещенные.

Конституентой единицы называют функцию n аргументов, которая принимает значение, равное единице, только на одном наборе аргументов. На всех остальных наборах она равна нулю. Например, функция единогласия: “функция трех аргументов равна единице лишь при равных единице всех аргументах; в остальных случаях она равна нулю” – является конституентой единицы, в таблице она обозначена Y_3 .

Конституентой нуля называют функцию n аргументов, которая принимает значение, равное нулю только на одном наборе аргументов.

От табличного представления функции легко перейти к ее алгебраическому представлению, причем одну и ту же функцию можно представить в двух формах.

Совершенной дизъюнктивной нормальной формой (СДНФ) функции называют дизъюнкцию конституент единицы, равных единице на тех же наборах, что и заданная функция. Эту форму называют также первой стандартной формой.

Переход от таблицы к СДНФ осуществляют так: для каждого набора, на котором функция равна единице, записывают элементарное произведение всех аргументов, причем если аргумент в этом наборе имеет значение 0, то пишут его отрицание. Затем производят логическое сложение этих элементарных произведений. Эту процедуру называют составлением структурной формулы по единицам. Для функции Y_1 из приведенной выше таблицы истинности СДНФ имеет вид

$$Y_1 = \bar{X}_1 X_2 X_3 \vee X_1 \bar{X}_2 X_3 \vee X_1 X_2 \bar{X}_3 \vee X_1 X_2 X_3 \quad (7.1)$$

Форма, равная конъюнкции конституент нуля, которые равны нулю на тех же наборах, что и заданная функция, называется совершенной конъюнктивной нормальной формой (СКНФ). Эту форму называют также второй стандартной формой. Переход от таблицы к СКНФ осуществляют так: для каждого набора, на котором функция равна нулю, составляют элементарную логическую сумму (дизъюнкцию) всех аргументов, причем если аргумент в этом наборе принимает значение 1, то пишут его отрицание. Затем эти элементарные суммы объединяют операцией логического умножения. Эту процедуру называют составлением структурной формулы по нулям. Для функции Y_1 СКНФ имеет вид

$$Y_1 = (X_1 \vee X_2 \vee X_3)(X_1 \vee X_2 \vee \bar{X}_3)(X_1 \vee \bar{X}_2 \vee X_3)(\bar{X}_1 \vee X_2 \vee X_3) \quad (7.2)$$

Путем алгебраических преобразований можно перейти от одной формы к другой. При равном числе выражений для минимизации функций более удобна форма СДНФ.

Минимизация (упрощение) булевых функций производится с помо-

щью теорем алгебры логики. Рассмотрим основные теоремы и положения алгебры логики.

Запишем правила выполнения операций “ИЛИ” и “И”, расположив строчки в обратном порядке:

“ИЛИ”	“И”
$0 \vee 0 = 0$	$1 \vee 1 = 1$
$0 \vee 1 = 1$	$1 \vee 0 = 0$
$1 \vee 0 = 1$	$0 \vee 1 = 0$
$1 \vee 1 = 1$	$0 \vee 0 = 0$

Нетрудно видеть, что если заменить в строках “ИЛИ” и “И” все 0 на 1, все 1 на 0 и знаки дизъюнкции на знаки конъюнкции, то правила меняются местами: строка “ИЛИ” превращается в строку “И”, и наоборот. В этом состоит принцип двойственности, который в общем виде записывается так:

$$\overline{X_1 \vee X_2} = \bar{X}_1 \bar{X}_2 \quad (7.3)$$

Для преобразования формул алгебры логики с целью их минимизации используются, как и в обычной алгебре, скобки, а если их нет, то сначала выполняется отрицание над отдельными переменными, затем логическое умножение и наконец логическое сложение. Однако если знак инверсии стоит над совокупностью переменных, то он выполняется в последнюю очередь. В процессе преобразования формул используются также теоремы алгебры логики.

Теоремы для одной переменной (легко проверяемые подстановкой $X=1$ и $X=0$):

- | | | |
|-------------------|-------------------------|-----------------------------|
| 1. $X \vee 0 = X$ | 4. $X \vee \bar{X} = 1$ | 7. $X \wedge X = X$ |
| 2. $X \vee 1 = 1$ | 5. $X \wedge 0 = 0$ | 8. $X \wedge \bar{X} = 0$ |
| 3. $X \vee X = X$ | 6. $X \wedge 1 = X$ | 9. $\overline{\bar{X}} = X$ |

Эти теоремы (как и последующие) остаются справедливыми и для случая, если под X понимать не только одну переменную, но и целое выражение.

Теоремы для двух или более переменных:

10. Переместительный закон:

$$X_1 \vee X_2 = X_2 \vee X_1$$

или

$$X_1 \cdot X_2 = X_2 \cdot X_1.$$

11. Сочетательный закон:

$$X_1 \vee X_2 \vee X_3 = X_1 \vee (X_2 \vee X_3) = (X_1 \vee X_2) \vee X_3$$

или

$$X_1 \cdot X_2 \cdot X_3 = X_1 \cdot (X_2 \cdot X_3) = (X_1 \cdot X_2) \cdot X_3.$$

12. Распределительный закон:

$$X_1 \cdot (X_2 \vee X_3) = X_1 \cdot X_2 \vee X_1 \cdot X_3$$

или

$$X_1 \vee X_2 X_3 = (X_1 \vee X_2) \cdot (X_1 \vee X_3).$$

13. Закон поглощения:

$$X_1 \vee X_1 X_2 = X_1$$

или

$$X_1 \cdot (X_1 \vee X_2) = X_1.$$

14.

$$X_1 \cdot (\overline{X_1} \vee X_2) = X_1 \cdot X_2$$

или

$$X_1 \overline{X_2} \vee X_2 = X_1 \vee X_2.$$

15. Закон склеивания

$$X_1 \cdot X_2 \vee X_1 \cdot \overline{X_2} = X_1$$

или

$$(X_1 \vee X_2) \cdot (X_1 \vee \overline{X_2}) = X_1.$$

16. Законы теорема де Моргана

$$\overline{X_1 \vee X_2} = \overline{X_2} \cdot \overline{X_1}$$

или

$$\overline{X_1 \cdot X_2} = \overline{X_2} \vee \overline{X_1}.$$

Наиболее эффективными приемами минимизации являются вынесение за скобки общих членов, а также применение двойного отрицания, теоремы де Моргана, законов поглощения и склеивания. При этом наряду с полным склеиванием часто применяют неполное склеивание, при котором оба члена, участвовавших в склеивании (или один из них), остаются и могут склеиваться с другими членами СДНФ.

Так, используя неполное склеивания четвертой конstituенты в (7.1) последовательно с первой, второй и третьей (т.е. сохраняя ее после склеивания), можно привести к виду:

$$\begin{aligned} Y_1 &= (\bar{X}_1 X_2 X_3 \vee X_1 X_2 X_3) \vee X_1 \bar{X}_2 X_3 \vee X_1 X_2 \bar{X}_3 = \\ &= X_2 X_3 \vee (X_1 \bar{X}_2 X_3 \vee X_1 X_2 X_3) \vee X_1 X_2 \bar{X}_3 = \\ &= X_2 X_3 \vee X_1 X_3 \vee (X_1 X_2 \bar{X}_3 \vee X_1 X_2 X_3) = X_2 X_3 \vee X_1 X_3 \vee X_1 X_2 \end{aligned}$$

Данную функцию можно реализовать при помощи схемы, представленной на рис. 6.1.

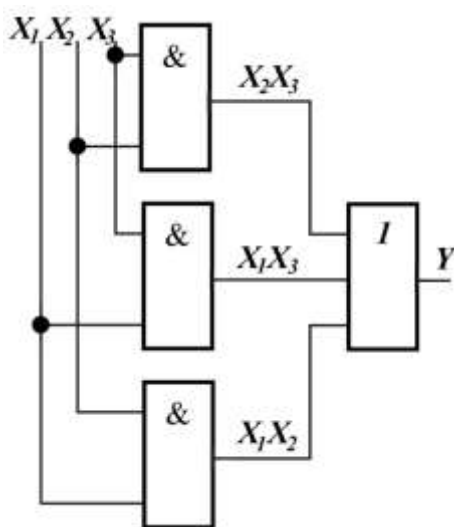


Рисунок 7.1 – Схема, реализующая функцию “голосование по большинству”

В процессе минимизации используют понятие *смежных конstituент*, которыми называют конstituенты, отличающиеся только одним аргументом (в одну конstituенту аргумент входит с инверсией, а в другую – без нее).

Две смежные конstituенты, склеиваясь, образуют результирующую конъюнкцию с числом аргументов, на единицу меньшим, чем в исходных конstituентах, так как в ней отсутствует аргумент, которым отличаются смежные, исходные конstituенты. Эту результирующую конъюнкцию называют *импликантой*.

Количество аргументов в конstituенте или импликанте называют *рангом*. При склеивании ранг результирующей конъюнкции, т.е. импликанты уменьшается на единицу. Так, последнее выражение в (7.2) состоит из трех импликант второго ранга.

Импликанты с одинаковым числом аргументов могут оказаться смежными, и их можно склеить между собой. Так, четыре конstituенты четвертого ранга

$$X_1 X_2 \bar{X}_3 X_4 \vee X_1 X_2 \bar{X}_3 \bar{X}_4 \vee \bar{X}_1 X_2 \bar{X}_3 X_4 \vee \bar{X}_1 X_2 \bar{X}_3 \bar{X}_4 = X_1 X_2 \bar{X}_3 \vee \bar{X}_1 X_2 \bar{X}_3$$

склеиваясь, первая со второй и третья с четвертой, образуют две импликанты третьего ранга, которые могут быть склеены по X_1 :

$$X_1 X_2 \overline{X_3} \vee \overline{X_1} X_2 \overline{X_3} = X_2 \overline{X_3} \quad (7.4)$$

образуя импликанту второго ранга.

Говорят, что импликанта накрывает все конституенты, в результате склеивания которых она получена.

Процесс многоступенчатого склеивания приводит к импликантам, которые не склеиваются с другими членами. Такие импликанты называют простыми. Простые импликанты с конституентами, не имевшими смежных до склеивания, образуют *сокращенную* дизъюнктивную нормальную форму функции. Однако в некоторых случаях в ней могут содержаться лишние импликанты, которые могут быть исключены без изменения значения функции.

ДНФ, не содержащая лишних импликант, называется тупиковой ДНФ. Некоторые функции могут иметь несколько тупиковых форм. Тупиковая функция, содержащая наименьшее количество аргументов, называется минимальной ДНФ.

Использование рассмотренных приемов для нахождения минимальной формы функции требует определенной интуиции и применимо лишь при достаточно простых функциях небольшого числа аргументов. В более сложных случаях (например, при четырех и более аргументах) процесс минимизации целесообразнее алгоритмизировать.

Алгоритмизировать нахождение СДНФ позволяет теорема Квайна: если в совершенной дизъюнктивной нормальной форме функции провести сначала все возможные операции неполного склеивания и затем все возможные операции поглощения, то в результате получится сокращенная дизъюнктивная нормальная форма функции.

Минимизацию по Квайну надо начинать с совершенной ДНФ. Если функция задана в произвольной форме, то производят ее развертывание, умножая член, не содержащий какого-либо аргумента, на логическую единицу (теорема 4) и получают два члена, содержащие весь набор аргументов.

Одним из методов отыскания лишних импликант является метод испытания членов: чтобы испытать некоторый член функции, следует исключить его из сокращенной ДНФ и подставить в оставшееся выражение такие значения аргументов, которые обращают исключенный член в единицу. Если при такой подстановке оставшееся выражение окажется тождественно равным единице, то испытываемый член окажется лишним.

Рассмотрим два примера: рассмотрим сокращенную ДНФ

$$Y = X_1 X_3 \vee \overline{X_2} X_3 \vee \overline{X_1} \overline{X_2}.$$

Испытаем член X_1X_3 , обращенный в 1 при $X_1=1$ и $X_3=1$. Подставив в оставшееся выражение $Y = \overline{X_2}X_3 \vee \overline{X_1}\overline{X_2}$ значения $X_1=1$ и $X_3=1$, получим

$$Y = \overline{X_2} \cdot 1 \vee 0 \cdot \overline{X_2}.$$

При $X_2=0$ последнее выражение равно 1, но при $X_2=1$ оно не равно 1. Следовательно, член X_1X_3 не является лишним и его исключить нельзя.

Испытаем член $\overline{X_2}X_3$, обращаемый в 1 при $X_2=0$ и $X_3=1$. Подставив в оставшееся выражение $Y = X_1X_3 \vee \overline{X_1}\overline{X_2}$ значения $X_2=0$ и $X_3=1$, получим

$$Y = X_1 \cdot 1 \vee \overline{X_1} \cdot 1.$$

Последнее выражение равно 1, как при $X_1=1$, так и при $X_1=0$. Значит, член $\overline{X_2}X_3$ можно опустить, и тупиковая форма примет вид

$$Y = X_1X_3 \vee \overline{X_1}\overline{X_2},$$

являющийся минимальной формой рассматриваемой функции.

ОПИСАНИЕ ЛАБОРАТОРНОЙ УСТАНОВКИ

В состав лабораторной установки входят: лабораторная макетная плата, блок питания и контактные перемычки.

ПОРЯДОК ВЫПОЛНЕНИЯ ТЕОРЕТИЧЕСКИХ РАСЧЕТОВ

Изучить порядок составления логических функций и теоремы алгебры логики, позволяющие произвести минимизацию функций. Согласно индивидуальному заданию (таблица 7.1), составить таблицу истинности функции для четырех аргументов. Используя СКНФ или СДНФ, составить логическое уравнение для этой функции. Произвести минимизацию функции.

ПОРЯДОК ВЫПОЛНЕНИЯ ЭКСПЕРИМЕНТАЛЬНЫХ ИССЛЕДОВАНИЙ

1. Разработать принципиальную схему, реализующую минимизированную логическую функцию.
2. На лабораторном стенде собрать с помощью контактных перемычек схему для исследования заданной логической функции.
3. Построить таблицу истинности для логической функции исследуемой логической функции. Состояние входов и выхода определяется при помощи светодиодов.
4. Сравнить полученную в результате эксперимента таблицу истинности с таблицей, полученной теоретическим путем.

Таблица 7.1 – Варианты индивидуальных заданий

Вариант	Задание
1	Функция принимает значение 1, если три любых аргумента (или все) равны 1, и 0 в остальных случаях.
2	Функция принимает значение 1, если три любых аргумента (или все) равны 0, и 1 в остальных случаях.
3	Функция принимает значение 1, если аргументы $X_1 = X_2$ и $X_3 = X_4$, а в остальных случаях принимает значение 0.
4	Функция принимает значение 1, если аргументы $X_1 \neq X_2$ и $X_3 = X_4$, а в остальных случаях принимает значение 0.
5	Функция принимает значение 1, если аргументы $X_1 = X_2$ и $X_3 \neq X_4$, а в остальных случаях принимает значение 0.
6	Функция принимает значение 1, если аргументы $X_1 \neq X_2$ и $X_3 \neq X_4$, а в остальных случаях принимает значение 0.
7	Функция принимает значение 1, если аргументы $X_1 = X_3$ и $X_2 = X_4$, а в остальных случаях принимает значение 0.
8	Функция принимает значение 1, если аргументы $X_1 \neq X_3$ и $X_2 = X_4$, а в остальных случаях принимает значение 0.
9	Функция принимает значение 1, если аргументы $X_1 = X_3$ и $X_2 \neq X_4$, а в остальных случаях принимает значение 0.
10	Функция принимает значение 1, если аргументы $X_1 \neq X_3$ и $X_2 \neq X_4$, а в остальных случаях принимает значение 0.
11	Функция принимает значение 1, если сумма всех аргументов равна 3 или 4, в остальных случаях принимает значение 0.
12	Функция принимает значение 1, если аргументы $X_1 = X_2$ или $X_3 = X_4$, а в остальных случаях принимает значение 0.
13	Функция принимает значение 1, если аргументы $X_1 \neq X_2$ или $X_3 = X_4$, а в остальных случаях принимает значение 0.
14	Функция принимает значение 1, если сумма всех аргументов не равна 3, в остальных случаях принимает значение 0.
15	Функция принимает значение 1, если аргументы $X_1 = X_2$ или $X_3 \neq X_4$, а в остальных случаях принимает значение 0.
16	Функция принимает значение 1, если аргументы $X_1 \neq X_2$ или $X_3 \neq X_4$, а в остальных случаях принимает значение 0.
17	Функция принимает значение 1, если сумма X_1 и X_2 больше суммы X_3 и X_4 , в остальных случаях принимает значение 0.
18	Функция принимает значение 1, если сумма X_1 и X_2 меньше суммы X_3 и X_4 , в остальных случаях принимает значение 0.
19	Функция принимает значение 1, если X_1 и X_4 принимают одинаковое значение, в остальных случаях принимает значение 0.
20	Функция принимает значение 1, если X_1 и X_4 принимают разное значение, в остальных случаях принимает значение 0.

СОДЕРЖАНИЕ ОТЧЕТА

1. Цель работы.
2. Задание, таблицу истинности в соответствии с заданием.
3. Логическое выражение по таблице истинности на основе СКНФ или СДНФ, минимизацию логического выражения.
4. Принципиальная схема, реализующая логическое выражение.
5. Таблицы истинности по результатам эксперимента.
6. Выводы по работе.

КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Как составить СКНФ по таблице истинности?
2. Как составить СДНФ по таблице истинности?
3. Какие основные теоремы алгебры логики известны Вам?
4. Сформулируйте теорему Квайна.
5. В чем заключается метод испытания членов логического выражения?

8 ИССЛЕДОВАНИЕ ДЕШИФРАТОРОВ И ШИФРАТОРОВ

ЦЕЛЬ РАБОТЫ

Изучение принципа работы, основных параметров и характеристик дешифраторов и шифраторов, экспериментальное исследование дешифраторов и шифраторов с целью получения таблиц истинности.

ТЕОРЕТИЧЕСКИЙ РАЗДЕЛ

Комбинационное устройство – это устройство с n входами и m выходами. Если комбинационное устройство выполнено на базе идеальных, т.е. безинерционных элементов, то состояние его выходов однозначно определяется состоянием его входов в тот же момент времени.

Дешифратор – это комбинационное устройство, предназначенное для преобразования параллельного двоичного кода в унитарный, т.е. позиционный код. При подаче на вход дешифратора параллельного двоичного кода выходной сигнал появится только на том его выходе, номер которого соответствует десятичному эквиваленту входного двоичного кода. В зависимости от типа дешифратора, этот сигнал может иметь как уровень логической единицы (при этом на всех остальных выходах уровень логического 0), так и уровень логического 0 (при этом на всех остальных выходах уровень логической 1).

В условных обозначениях дешифраторов и шифраторов используются буквы DC и CD (от слов *decoder* и *coder* соответственно).

Если количество двоичных разрядов дешифруемого кода обозначить через n , то число выходов дешифратора должно быть 2^n . Если часть входных наборов не используется, то дешифратор называют неполным.

Функционирование дешифратора описывается системой логических уравнений, составленных на основе таблицы истинности. Одноступенчатый дешифратор (линейный) – наиболее быстродействующий, но при значительной разрядности входного слова требует применения логических элементов с большим числом входов и сильно нагружает источники входных сигналов.

Рассмотрим пример построения двухразрядного дешифратора на основе базовых логических элементов, с помощью таблицы истинности (см. таблицу 8.1).

Таблица 8.1 – Таблицы истинности дешифратора

X_2	X_1	Y_0	Y_1	Y_2	Y_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

Составим соответствующие логические уравнения для построения схемы дешифратора:

$$Y_0 = \overline{X_1} \cdot \overline{X_2} \quad Y_1 = X_1 \cdot \overline{X_2} \quad Y_2 = \overline{X_1} X_2 \quad Y_3 = X_1 \cdot X_2$$

Условная графическая схема дешифратора, построенного на логических элементах, и реализующая полученные логические уравнения, приведена на рис. 7.1.

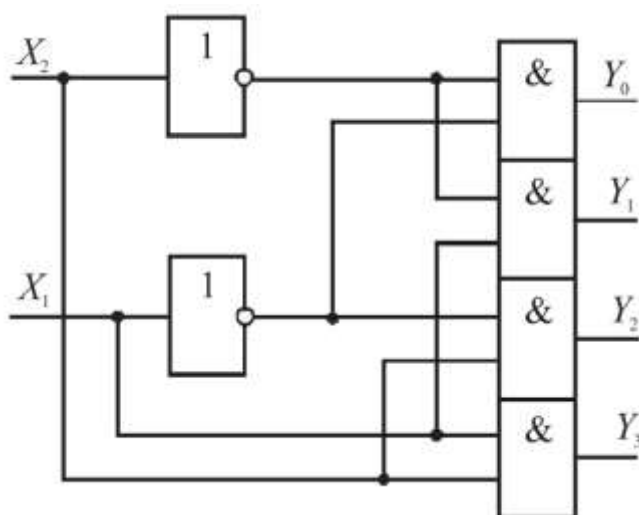


Рисунок 8.1 – Дешифратор 2 : 4, построенный на элементах “НЕ” и “И”

Построенные по полученным формулам дешифраторы называются линейными. К преимуществу линейных дешифраторов можно отнести высокое быстродействие, поскольку входные переменные одновременно поступают на все элементы “И”. Одновременно, без дополнительных задержек, формируется и результат на выходах этих элементов. Очевидно, что для реализации линейного дешифратора n -разрядного числа необходимо иметь 2^n логических элементов “И” с n - входами. В существующих микросхемах логических элементов количество входов ограничено. Следовательно, ограничена и разрядность реализуемых на их основе линейных дешифраторов, что является недостатком. Кроме того, недостатком является и то, что предыдущие элементы, работающие на входы дешифратора, должны иметь высокую нагрузочную способность, т.е. должны быть рассчитаны на подключение большого числа логических элементов “И”. Каждый из входов дешифратора подключен к $0,5 \cdot 2^n$ логическим элементам “И”. Поскольку нагрузочная способность базовых логических элементов интегральных схем не превышает заданной величины, то максимальная разрядность дешифрируемых чисел для линейных дешифраторов обычно от 4 до 5.

Указанного недостатка лишены пирамидальные дешифраторы. Принцип построения этих дешифраторов состоит в том, что сначала строят ли-

нейный дешифратор для двухразрядного числа $X_1 X_2$, для чего необходимы 4 двухвходовые схемы “И”. Каждая полученная конъюнкция логически умножается на входную переменную X_3 в прямой и инверсной форме. Полученная конъюнкция снова умножается на входную переменную X_4 в прямой и инверсной форме и т.д. Таким образом, наращивая структуру, можно построить пирамидальный дешифратор на произвольное число входов. На рис. 8.2 приведена структура пирамидального дешифратора для трех разрядов.

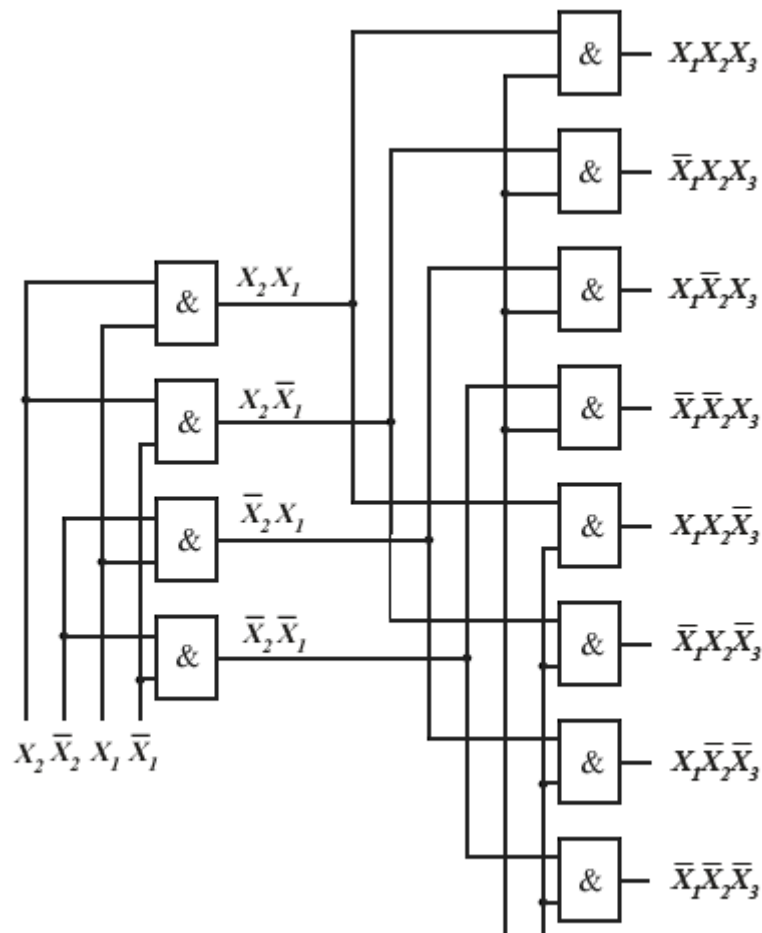


Рисунок 8.2 – Пирамидальный дешифратор для трехразрядного числа

Характерным отличием пирамидальных дешифраторов от линейных является использование только двухвходовых логических элементов вне зависимости от разрядности дешифрируемого числа. В то же время количество логических элементов в пирамидальном дешифраторе больше. Однако следует иметь ввиду, что количество логических элементов, располагаемых в одном корпусе интегральной схемы, определяется главным образом требуемым количеством выводов.

Следовательно, в одном корпусе интегральной схемы можно расположить большее число двухвходовых элементов, чем трехвходовых, четырехвходовых и т.д. И значит, пирамидальная структура дешифратора по

числу корпусов интегральных схем может оказаться более предпочтительной, чем линейная.

Шифраторы выполняют задачу обратную той, которую выполняют дешифраторы: появление логической единицы (логического нуля) на определенном входе приводит к появлению соответствующей кодовой комбинации на выходе.

Также, как и дешифраторы, шифраторы бывают полными и неполными. Работа восьмивходового полного шифратора задается следующей таблицей истинности:

Таблица 8.2 – Таблицы истинности шифратора

Входы								Выходы		
X_7	X_6	X_5	X_4	X_3	X_2	X_1	X_0	Y_3	Y_2	Y_1
0	0	0	0	0	0	0	1	0	0	0
0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	1	0	0	0	1	0
0	0	0	0	1	0	0	0	0	1	1
0	0	0	1	0	0	0	0	1	0	0
0	0	1	0	0	0	0	0	1	0	1
0	1	0	0	0	0	0	0	1	1	0
1	0	0	0	0	0	0	0	1	1	1

На основании таблицы истинности (см. таблицу 8.2) можно записать логические выражения, определяющие работу восьмивходового шифратора:

$$Y_1 = X_1 \vee X_3 \vee X_5 \vee X_7$$

$$Y_2 = X_2 \vee X_3 \vee X_6 \vee X_7$$

$$Y_3 = X_4 \vee X_5 \vee X_6 \vee X_7$$

Синтезированная на основании приведенных логических уравнений структурная схема шифратора представлена на рис. 8.3.

Обратите внимание, что разряд X_0 не подключается к логическим элементам, как и показано на схеме. Согласно таблице 8.2, ей соответствует код 000.

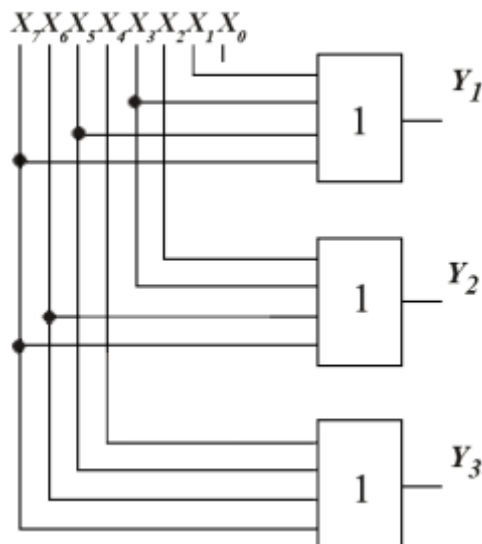


Рисунок 8.3 – Реализация шифратора на логических элементах

Как правило, дешифраторы и шифраторы изготавливаются в виде отдельных микросхем средней степени интеграции. Условные графические изображения дешифраторов и шифраторов приведены на рис.8. 4.

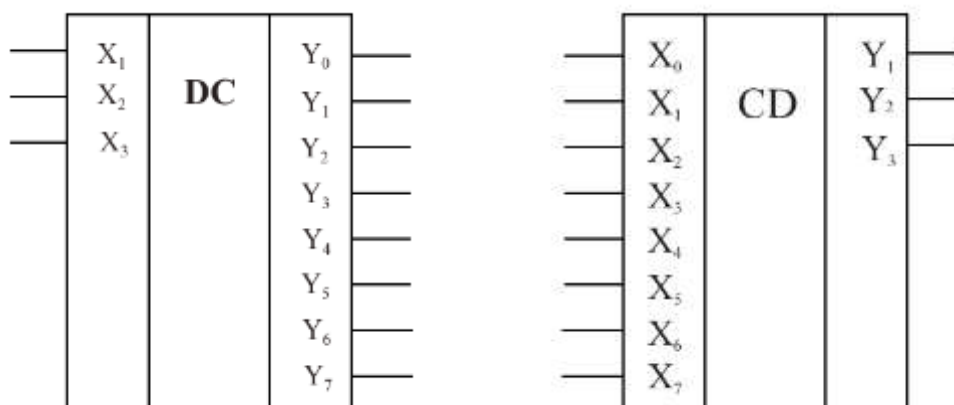


Рисунок 8.4 – Условные графические изображения дешифраторов и шифраторов

Реально выпускаемые микросхемы дешифраторов и шифраторов обычно имеют вход выбора микросхемы *CS* (*Chip Select*). Входы *CS* микросхем обычно выполняются таким образом, что при высоком логическом уровне на этом входе микросхема отключается. При низком уровне на входе *CS* микросхема становится активной.

ОПИСАНИЕ ЛАБОРАТОРНОЙ УСТАНОВКИ

В состав лабораторной установки входят: лабораторная макетная плата, блок питания и контактные перемычки.

ПОРЯДОК ВЫПОЛНЕНИЯ ТЕОРЕТИЧЕСКИХ РАСЧЕТОВ

Выучить принцип работы, схемы включения и возможности применения дешифраторов и шифраторов. Разработать принципиальную схему дешифратора 2:4 с активным выходом в виде логического 0, и шифратора 4:2 на типовых логических элементах. Подготовить таблицы истинности.

ПОРЯДОК ВЫПОЛНЕНИЯ ЭКСПЕРИМЕНТАЛЬНЫХ ИССЛЕДОВАНИЙ

1. На лабораторном стенде собрать с помощью контактных перемычек схему для исследования дешифратора 2:4 (рис. 8.1). Напряжение на входы схемы подавать при помощи переключателей $X_1...X_4$. Коммутация верхних контактов позволяет подавать на входы схемы прямые сигналы, коммутация нижних – инверсные.
2. Построить таблицу истинности для исследуемой схемы. Состояние входов и выходов определяются при помощи светодиодов.
3. Повторить пункты 1 и 2 для дешифратора 2:4 с активным выходом в виде логического 0 и шифратора 4:2.

СОДЕРЖАНИЕ ОТЧЕТА

1. Цель работы.
2. Принципиальные схемы дешифраторов и шифратора на типовых логических элементах.
3. Таблицы истинности по результатам экспериментов.
4. Выводы по работе.

КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Для чего можно использовать дешифраторы и шифраторы.
2. На каких логических элементах строятся схемы шифраторов?
3. На каких логических элементах строятся схемы дешифраторов?
4. Каким образом осуществляется перевод числа из одной позиционной системы счисления в другую?
5. Какие условные графические обозначения применяются для интегральных схем шифраторов, дешифраторов?

9 ИССЛЕДОВАНИЕ МУЛЬТИПЛЕКСОРОВ

ЦЕЛЬ РАБОТЫ

Изучение принципа работы, основных параметров и характеристик мультиплексоров, экспериментальное исследование мультиплексоров с целью получения таблиц истинности.

ТЕОРЕТИЧЕСКИЙ РАЗДЕЛ

Мультиплексор – комбинационное устройство, обеспечивающее коммутацию одного из входов на общий выход под управлением сигналов на адресных входах. Номер подключаемого входа равен числу (адресу), определяемому комбинацией логических уровней на адресных входах.

Параллельные цифровые данные с помощью мультиплексора преобразуются в последовательные информационные сигналы, которые передаются на один выход.

Простейшим примером такого мультиплексора является схема коммутатора, например, на четыре входных направления, реализованная на механических выключателях (см. рис. 9.1).

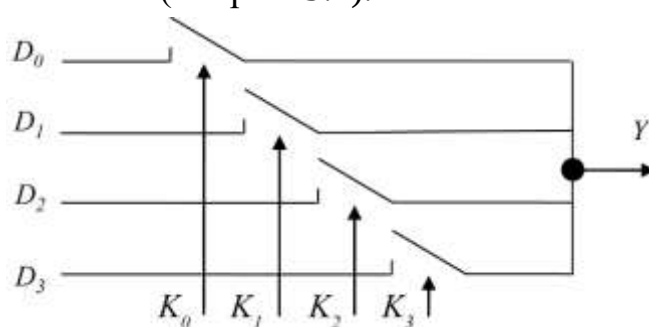


Рисунок 9.1 – Коммутатор, собранный на ключах

На рисунке $D_0 \dots D_3$ – входные однобитовые данные, $K_0 \dots K_3$ – выключатель как адрес входного направления, данные с которого должны быть переданы на выход Y . Для передачи n –разрядного слова необходимо использовать n однобитовых мультиплексоров (n выключателей).

В цифровых схемах требуется управлять ключами при помощи логических уровней. Поэтому желательно подобрать устройство, которое могло бы выполнять функцию ключа с электронным управлением цифровым сигналом.

Если взять логический элемент “И”, один из его входов можно рассматривать как информационный вход электронного ключа, а другой вход – как управляющий. Так как оба входа логического элемента “И” эквивалентны, то не важно, какой из них будет управляющим входом.

Пусть вход K будет управляющим, а D – информационным. Если на управляющий вход подан нулевой логический уровень, сигнал, поданный на вход D , на выход не проходит. При подаче на управляющий вход K логического уровня 1 сигнал с входа D проходит на выход.

гической единицы, сигнал, поступающий на вход D , появляется на выходе Y . Это означает, что логический элемент “И” можно использовать в качестве электронного ключа. При этом не важно, какой из входов элемента будет использоваться в качестве управляющего входа, а какой – в качестве информационного.

Остается только объединить выходы элементов “И” на один общий выход. Это делается при помощи логического элемента “ИЛИ”. Получившийся вариант схемы коммутатора с управлением логическими уровнями представлен на рис. 9.2.

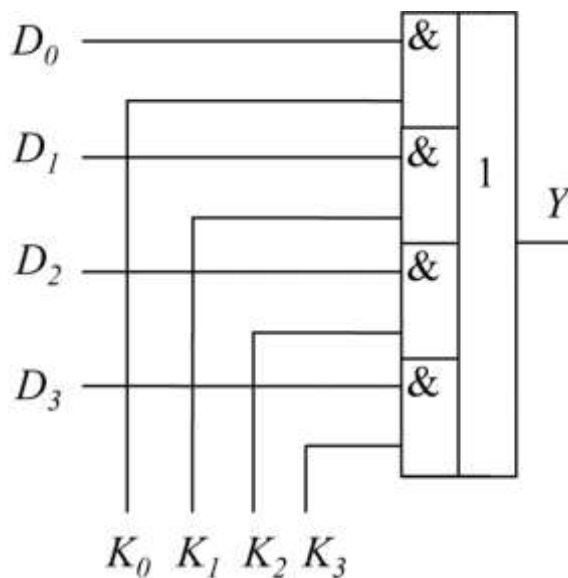


Рисунок 9.2 – Принципиальная схема коммутатора, построенного на элементах “И”

В схеме, приведенной на рис. 9.2, можно одновременно включать несколько входов на один выход. Однако обычно это приводит к непредсказуемым последствиям. Кроме того, для управления таким коммутатором требуется достаточно много входов.

В цифровых устройствах мультиплексор реализуется как логический узел, в котором адрес задается двоичным кодом. При N входных направлениях требуется k адресных переменных, где $k = \log_2 N$. Поэтому в состав мультиплексора обычно включают двоичный дешифратор, как показано на рис. 8.3.

Такая схема позволяет управлять переключением информационных входов мультиплексора при помощи двоичных кодов, подаваемых на его управляющие входы.

Количество информационных входов в таких схемах выбирают кратным степени числа два. На рисунке также показано условное графическое изображение мультиплексора.

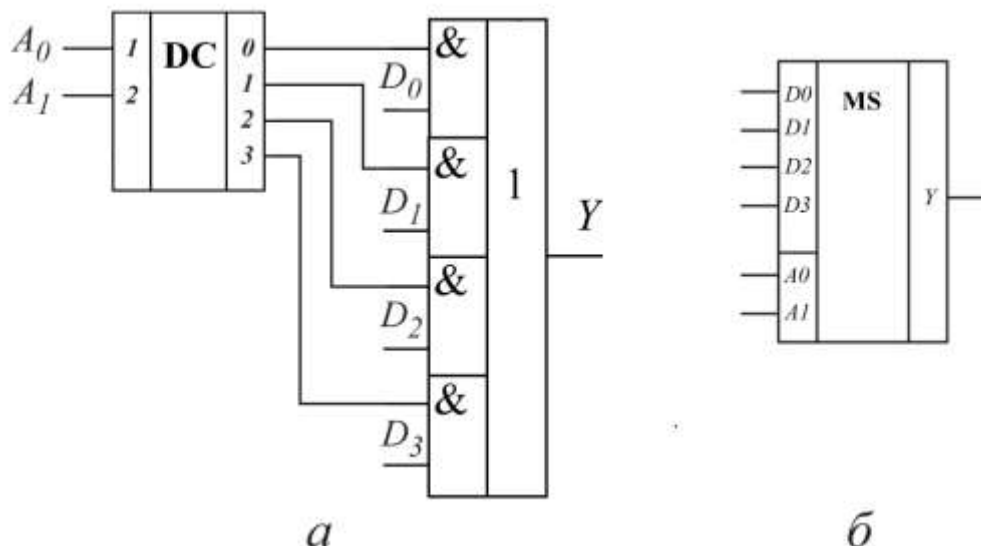


Рисунок 9.3 – Логическая структурная схема (а) и условное графическое изображение (б) мультиплексора

На основании определения мультиплексора составим таблицу истинности, описывающую его работу (см. табл. 9.1).

Таблица 9.1 – Таблица истинности мультиплексора

№ набора	Код адреса		Входные данные				Y
	A_1	A_0	D_0	D_1	D_2	D_3	
0	0	0	D_0	X	X	X	D_0
1	0	1	X	D_1	X	X	D_1
2	1	0	X	X	D_2	X	D_2
3	1	1	X	X	X	D_3	D_3

Знаком “X” в таблице 9.1 отмечено безразличное состояние. Очевидно, что в данном случае разрядность адреса входного направления $k=2$.

Обозначим адресные переменные как A_1 и A_0 . Примем, что индекс у входного направления совпадает с номером набора адресных переменных. Итак, адрес с набором 0 передает на выход входные данные D_0 , а что подастся на входы D_1 , D_2 и D_3 при этом адресе, не имеет никакого значения; адрес с набором 1 передает на выход входные данные D_1 и т. д.

Из табл. 9.1 получается следующее выражение для выхода Y мультиплексора:

$$Y = \bar{A}_1 \bar{A}_0 D_0 + \bar{A}_1 A_0 D_1 + A_1 \bar{A}_0 D_2 + A_1 A_0 D_3 \quad (9.1)$$

В справедливости этого выражения можно убедиться, подставляя в него различные наборы адресных переменных. Из уравнения (9.1) следует,

что для реализации мультиплексора 4:1 необходимо использовать четыре трехвходовых элемента “И” и один четырехвходовый элемент “ИЛИ”.

Интегральные микросхемы мультиплексоров обычно имеют еще и стробирующий вход S , активный сигнал на котором разрешает работу мультиплексора, а пассивный переводит выход мультиплексора в неактивное состояние.

Расширение разрядности мультиплексоров является достаточно важным вопросом при проектировании электронных схем для приборостроения.

Рассмотрим первый вариант построения мультиплексора с большим числом информационных входов на базе полученной структуры.

Пусть требуется реализовать мультиплексор 16:1. Запишем уравнение для этого мультиплексора в виде матрицы из четырех строк и четырех столбцов (разрядность адреса k для мультиплексора 16:1 равна четырем):

$$\begin{aligned}
 Y = & \bar{A}_3 \bar{A}_2 \bar{A}_1 \bar{A}_0 D_0 \vee \bar{A}_3 \bar{A}_2 \bar{A}_1 A_0 D_1 \vee \bar{A}_3 \bar{A}_2 A_1 \bar{A}_0 D_2 \vee \bar{A}_3 \bar{A}_2 A_1 A_0 D_3 \vee \\
 & \bar{A}_3 A_2 \bar{A}_1 \bar{A}_0 D_0 \vee \bar{A}_3 A_2 \bar{A}_1 A_0 D_1 \vee \bar{A}_3 A_2 A_1 \bar{A}_0 D_2 \vee \bar{A}_3 A_2 A_1 A_0 D_3 \vee \\
 & A_3 \bar{A}_2 \bar{A}_1 \bar{A}_0 D_0 \vee A_3 \bar{A}_2 \bar{A}_1 A_0 D_1 \vee A_3 \bar{A}_2 A_1 \bar{A}_0 D_2 \vee A_3 \bar{A}_2 A_1 A_0 D_3 \vee \\
 & A_3 A_2 \bar{A}_1 \bar{A}_0 D_0 \vee A_3 A_2 \bar{A}_1 A_0 D_1 \vee A_3 A_2 A_1 \bar{A}_0 D_2 \vee A_3 A_2 A_1 A_0 D_3
 \end{aligned} \tag{9.2}$$

Отметим, что в выражении (9.2) имеют единое представление в каждой строке две старшие адресные переменные, а в каждом столбце – две младшие. Вынесем за скобки в каждой строке две старшие адресные переменные, тогда получим:

$$\begin{aligned}
 Y = & \bar{A}_3 \bar{A}_2 (\bar{A}_1 \bar{A}_0 D_0 \vee \bar{A}_1 A_0 D_1 \vee A_1 \bar{A}_0 D_2 \vee A_1 A_0 D_3) \vee \\
 & \bar{A}_3 A_2 (\bar{A}_1 \bar{A}_0 D_0 \vee \bar{A}_1 A_0 D_1 \vee A_1 \bar{A}_0 D_2 \vee A_1 A_0 D_3) \vee \\
 & A_3 \bar{A}_2 (\bar{A}_1 \bar{A}_0 D_0 \vee \bar{A}_1 A_0 D_1 \vee A_1 \bar{A}_0 D_2 \vee A_1 A_0 D_3) \vee \\
 & A_3 A_2 (\bar{A}_1 \bar{A}_0 D_0 \vee \bar{A}_1 A_0 D_1 \vee A_1 \bar{A}_0 D_2 \vee A_1 A_0 D_3)
 \end{aligned} \tag{9.3}$$

В выражении (9.3) в скобках записаны уравнения четырех мультиплексоров 4:1 с общим адресом, представленным двумя младшими адресными переменными. Обозначим выходы этих мультиплексоров соответственно, как D'_0 , D'_1 , D'_2 и D'_3 , тогда уравнение (9.3) можно записать как:

$$Y = A_3 A_2 D'_0 \vee A_3 A_2 D'_1 \vee A_3 A_2 D'_2 \vee A_3 A_2 D'_3, \tag{9.4}$$

то есть опять получили уравнение мультиплексора 4:1, следовательно, всего потребуется пять мультиплексоров 4:1.

Окончательная схема мультиплексора 16:1, построенная на пяти мультиплексорах 4:1, приведена на рис. 9.4. Такая структура называется пирамидальной.

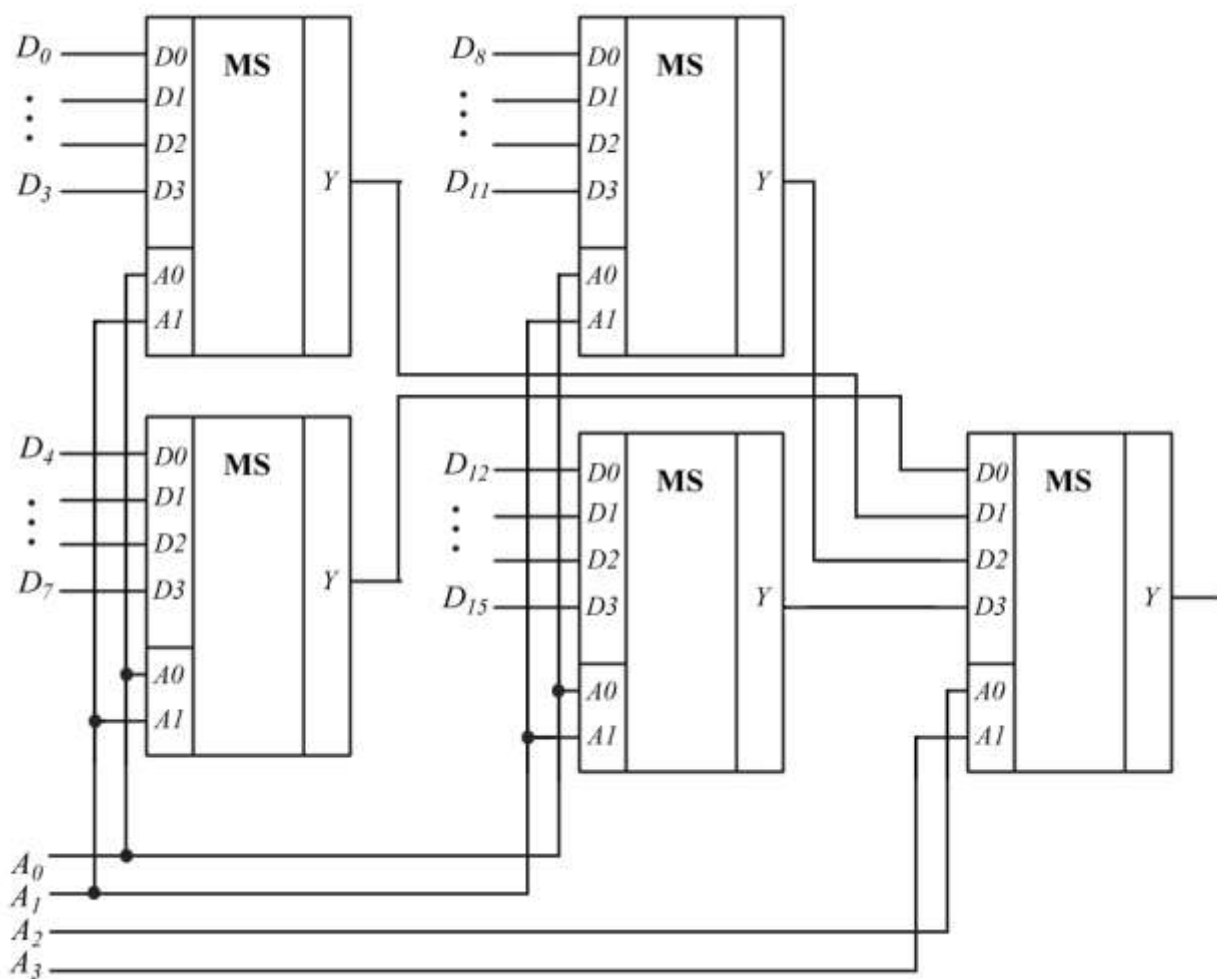


Рисунок 9.4 – Пирамидальная структура мультиплексора 16:1

Полученную схему также называют мультиплексным деревом или многоярусным мультиплексором. Ясно, что эту структуру можно реализовать для любого числа входов, однако она имеет очевидный недостаток – существенное возрастание задержек распространения сигналов в последовательно включенных ярусах мультиплексоров.

Рассмотрим второй вариант увеличения числа информационных входов мультиплексора. Пусть требуется реализовать мультиплексор 8:1. Запишем его уравнения в виде двух строк (здесь разрядность адреса равна трем):

$$Y = \bar{A}_2 \bar{A}_1 \bar{A}_0 D_0 \vee \bar{A}_2 \bar{A}_1 A_0 D_1 \vee \bar{A}_2 A_1 \bar{A}_0 D_2 \vee \bar{A}_2 A_1 A_0 D_3 \vee A_2 \bar{A}_1 \bar{A}_0 D_4 \vee A_2 \bar{A}_1 A_0 D_5 \vee A_2 A_1 \bar{A}_0 D_6 \vee A_2 A_1 A_0 D_7 \quad (9.5)$$

В первой строке адресная переменная A_2 встречается только с инверсией, а во второй – только без инверсии.

Вынося за скобки переменную $\bar{A}_2$ в первой строке и A_2 во второй, получим:

$$Y = \bar{A}_2 (\bar{A}_1 \bar{A}_0 D_0 \vee \bar{A}_1 A_0 D_1 \vee A_1 \bar{A}_0 D_2 \vee A_1 A_0 D_3) \vee A_2 (\bar{A}_1 \bar{A}_0 D_4 \vee \bar{A}_1 A_0 D_5 \vee A_1 \bar{A}_0 D_6 \vee A_1 A_0 D_7) \quad (9.6)$$

В выражении (9.6) в скобках записаны уравнения двух мультиплексоров 4:1 с общим адресом, представленным двумя младшими переменными.

Будем рассматривать инверсию A_2 в первой строке и A_2 во второй как стробирующие входы для этих мультиплексоров.

Тогда уравнение стробируемого мультиплексора 4:1 с активным нулем на стробирующем входе C будет иметь вид:

$$Y = \bar{C} (\bar{A}_1 \bar{A}_0 D_0 \vee \bar{A}_1 A_0 D_1 \vee A_1 \bar{A}_0 D_2 \vee A_1 A_0 D_3) \quad (9.7)$$

Если адресную переменную A_2 подать непосредственно на вход C первого стробируемого мультиплексора, то мы реализуем первую часть выражения (9.6), а если ее подать через внешний дополнительный инвертор на вход C второго стробируемого мультиплексора, то мы реализуем вторую часть выражения (9.6).

Очевидно, что для окончательной реализации мультиплексора 8:1 на стробируемых мультиплексорах 4:1 потребуется: два мультиплексора 4:1, инвертор и двухвходовый элемент “ИЛИ”. Такая структура называется линейной.

Обобщенная схема реализации приведена на рис. 9.5. Такой вариант наращивания обеспечивает меньшие задержки распространения сигналов по сравнению с мультиплексным деревом.

Третий вариант увеличения числа информационных входов реализуется наиболее просто при использовании мультиплексоров, выходная цепь которых реализована с тремя состояниями выхода.

В этом случае выходы всех мультиплексоров просто соединяются в одну цепь, причем в каждый момент времени активным будет являться выход только одного выбранного мультиплексора, то есть того, на входе C которого действует активный сигнал.

На рис. 9.7 показана схема мультиплексора 16:1, построенная на четырех мультиплексорах 4:1 с тремя состояниями выхода, активное значение у стробирующего входа которых равно 0 и одном стробируемом дешифраторе 1 из 4-х. Такая структура называется линейной с объединением по выходу.

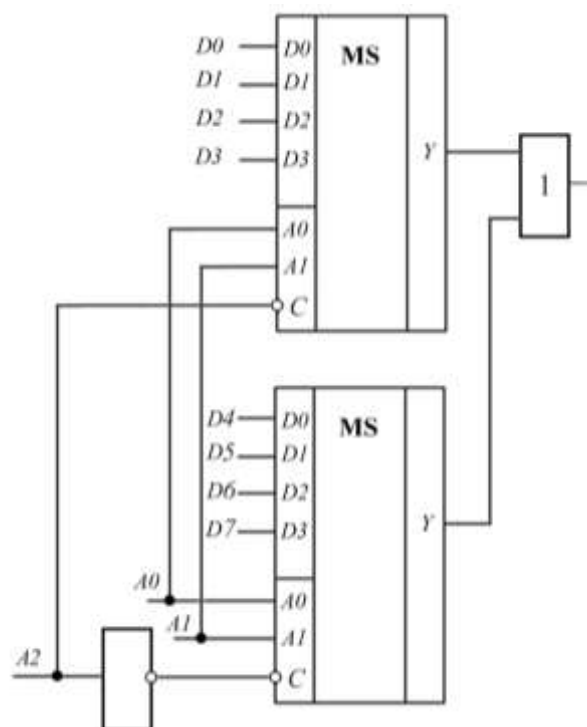


Рисунок 9.5 – Линейная структура объединения мультимплексоров

Все рассмотренные выше схемы осуществляют логическую передачу входных данных на выход мультимплексора, поэтому они используются для обработки только цифровых сигналов. Более широкие возможности обеспечивают универсальные селекторы – мультимплексоры, выполненные на двунаправленных полупроводниковых ключах, позволяющие непосредственно соединять входы с выходами.

Все цифровые комбинационные узлы являются многофункциональными, то есть они могут выполнять такие функции, которые специально для них не предусмотрены. В ряде случаев эти узлы обеспечивают некоторые схемные преимущества перед специализированными узлами, предназначенными для реализации этих функций. Мультимплексор является наиболее характерным многофункциональным узлом.

В качестве примеров использования мультимплексора по прямому назначению можно привести следующие:

- мультимплексирование многоразрядного адреса микросхем памяти;
- мультимплексное управление многоразрядными многоэлементными индикаторами;
- последовательный опрос многих переменных, датчиков и других одноканальных источников информации;
- мультимплексирование выходных данных БИС;
- построение многоканальных коммутаторов, осциллографов, и т. д.

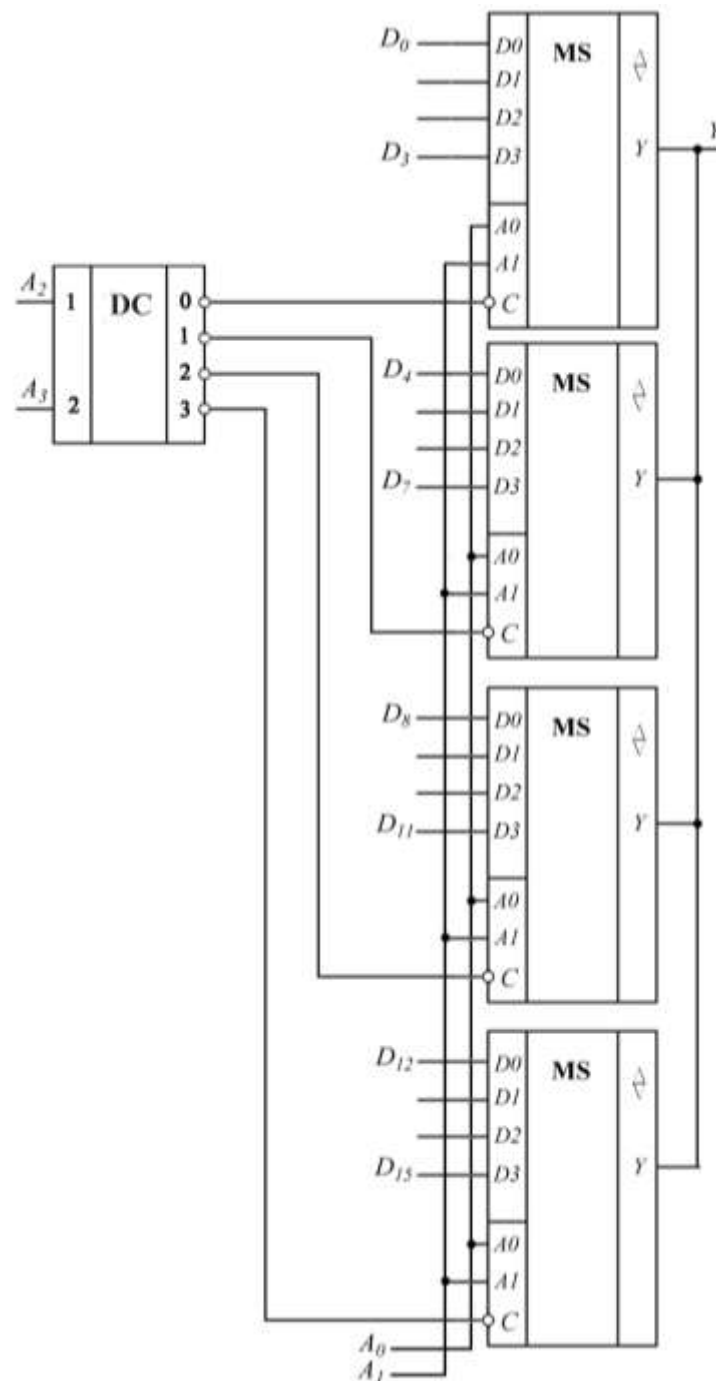


Рисунок 9.6 – Схема мультиплексора 16:1 с объединением по выходу

ОПИСАНИЕ ЛАБОРАТОРНОЙ УСТАНОВКИ

В состав лабораторной установки входят: лабораторная макетная плата, блок питания и контактные перемычки.

ПОРЯДОК ВЫПОЛНЕНИЯ ТЕОРЕТИЧЕСКИХ РАСЧЕТОВ

Изучить структуру мультиплексоров, схемы построения мультиплексоров на логических элементах. Разработать схему мультиплексора 2:1, построенную на логических элементах. Изучить методы расширения раз-

рядности мультиплексоров. Разработать принципиальную схему мультиплексора 4:1 на основе разработанной схемы мультиплексора 2:1.

ПОРЯДОК ВЫПОЛНЕНИЯ ЭКСПЕРИМЕНТАЛЬНЫХ ИССЛЕДОВАНИЙ

1. На лабораторном стенде собрать с помощью контактных перемычек схему для исследования мультиплексора 2:1.
2. Построить таблицу истинности мультиплексора 2:1. Состояние входов и выходов определяется при помощи светодиодов.
3. Сравнить полученную в результате эксперимента таблицу истинности с таблицей, полученной теоретическим путем.

СОДЕРЖАНИЕ ОТЧЕТА

1. Цель работы.
2. Принципиальная схема мультиплексора 2:1, построенную на логических элементах.
3. Таблица истинности мультиплексора по результатам эксперимента.
4. Принципиальная схема мультиплексора 4:1.
5. Выводы по работе.

КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Как работает мультиплексор?
2. Для чего используются мультиплексоры?
3. Какие методы увеличения разрядности мультиплексора существуют?
4. Как при помощи мультиплексора реализовать любую логическую функцию?

10 ИССЛЕДОВАНИЕ ПОЛУСУММАТОРА И СУММАТОРА

ЦЕЛЬ РАБОТЫ

Изучение принципа работы схем, выполняющих арифметические действия над двоичными числами, основных параметров и характеристик полусумматоров и сумматоров, синтез и экспериментальное исследование полусумматоров и сумматоров.

ТЕОРЕТИЧЕСКИЙ РАЗДЕЛ

Сумматоры представляют собой функциональные узлы, выполняющие операцию сложения двоичных чисел. Классификация сумматоров может быть выполнена по различным признакам. Рассмотрим наиболее часто встречающиеся из них. По числу выводов различают: полусумматоры, одноразрядные сумматоры, многоразрядные сумматоры.

Полусумматором называется устройство, предназначенное для сложения двух одноразрядных чисел, имеющее два входа и два выхода и формирующее из сигналов входных слагаемых сигналы суммы и переноса в старший разряд.

Одноразрядным сумматором называется устройство, предназначенное для сложения двух одноразрядных чисел, имеющее три входа и два выхода и формирующее из сигналов входных слагаемых и сигнала переноса из младших разрядов сигналы суммы и переноса в старший разряд.

Многоразрядным сумматором называется устройство, предназначенное для сложения двух многоразрядных чисел, формирующее на выходе код суммы и сигнал переноса в случае, если результат сложения не может быть представлен кодом, разрядность которого совпадает с разрядностью кодов слагаемых.

В свою очередь, многоразрядные сумматоры подразделяются на последовательные и параллельные. В последовательных сумматорах операция сложения выполняется последовательно разряд за разрядом, начиная с младшего. В параллельных все разряды входных кодов суммируются одновременно.

Различают комбинационные сумматоры – устройства, не имеющие собственной памяти, и накапливающие сумматоры, снабженные собственной внутренней памятью, в которой аккумулируются результаты выполненной операции. При этом каждое очередное слагаемое прибавляется к уже имевшемуся в устройстве значению.

По способу тактирования различают синхронные и асинхронные сумматоры. В синхронных сумматорах время выполнения операции арифметического суммирования двух кодов не зависит от вида самих кодов и всегда остается постоянным. В асинхронных сумматорах время выполнения операции зависит от вида слагаемых. Поэтому для завершения выпол-

нения суммирования необходимо вырабатывать специальный сигнал завершения операции.

По характеру функционирования сумматоры делятся на две категории: комбинационные, не имеющие элементов памяти и накопительные – сохраняющие результаты своих вычислений. В свою очередь, каждый из сумматоров в зависимости от способа обработки чисел может быть отнесен к последовательному или параллельному типу.

Все сумматоры строятся на основе одноразрядных суммирующих схем. Поэтому в данной лабораторной работе изучаются основы построения одноразрядных сумматоров.

Сложение чисел в последовательных сумматорах осуществляется поразрядно, последовательно во времени. В сумматорах параллельного действия сложение всех разрядов многоразрядных чисел происходит одновременно. Рассмотрим сумматор, обеспечивающий сложение двух двоичных цифр A и B , считая, что переносы из предыдущего разряда не поступают. Этой логике отвечает сложение младших разрядов двоичных чисел. Процесс сложения описывается таблицей истинности (таблица 1). Данный простейший суммирующий элемент называется полусумматором. Он имеет два входа A и B для двух слагаемых и два выхода: S (сумма) и P (перенос). Полусумматор (half sum – полусумма) имеет два входа, поэтому пригоден только для сложения двух одноразрядных чисел.

Таблица 10.1 – Таблицы истинности полусумматора

A	B	S	P
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Функции выхода суммы S и переноса P определяются следующим образом:

$$S = \overline{A}B \vee A\overline{B} = A \oplus B, \quad (1)$$

$$P = AB. \quad (2)$$

Исходя из логических выражений (1) и (2), можно реализовать полусумматор на логических элементах. На рис. 10.1 изображены структурная схема полусумматора и его условное графическое обозначение.

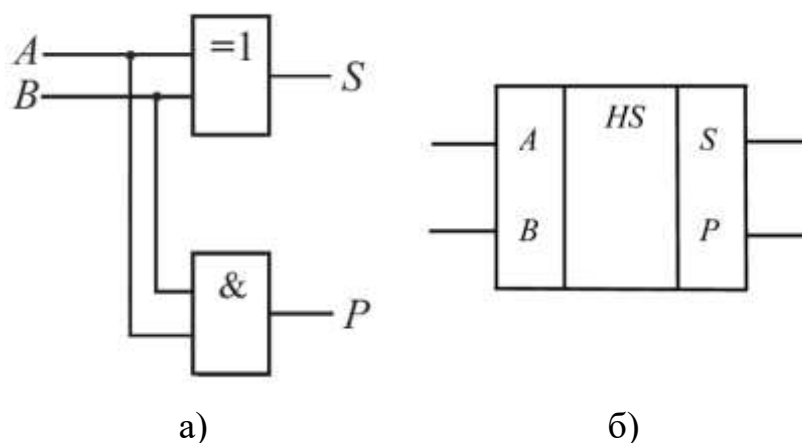


Рисунок 10.1 – Структурная схема (а) и условное графическое обозначение полусумматора (б)

Уравнения, положенные в основу одноразрядного сумматора, используются и при построении многоразрядных сумматоров. Логика работы каждого разряда сумматора описывается табл. 2, которую можно считать его таблицей истинности. Таблица истинности сумматора, учитывающего сигналы переноса, отличается от таблицы полусумматора дополнительным входом P_0 – переносом из предыдущих разрядов.

Таблица 10.2 – Таблицы истинности сумматора

A	B	P_0	S	P
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Исходные логические зависимости, формируемые по табл. 2, имеют следующие совершенные дизъюнктивные нормальные формы:

$$S = \overline{A}B\overline{P_0} \vee \overline{A}B\overline{P_0} \vee \overline{A}B\overline{P_0} \vee AB\overline{P_0} \quad (3)$$

$$P = \overline{A}B\overline{P_0} \vee \overline{A}B\overline{P_0} \vee \overline{A}B\overline{P_0} \vee AB\overline{P_0} \quad (4)$$

Преобразование выражений (3) и (4) приводит к следующим зависимостям:

$$\begin{aligned}
 S &= P_0(\overline{A}\overline{B} \vee AB) \vee B(\overline{A}\overline{P_0} \vee AP_0) \vee A(\overline{B}\overline{P_0} \vee BP_0) = \\
 &= P_0(\overline{A \oplus B}) \vee B(\overline{A \oplus P_0}) \vee A(\overline{B \oplus P_0}) \\
 P &= AB \vee AP_0 \vee BP_0
 \end{aligned}$$

Схема одноразрядного сумматора может быть реализована на двух полусумматорах, соединенных как указано на рисунке 10.2. Сумматор, изображен на рис. 10.2 имеет три входа: A и B для двух слагаемых и P_0 для предварительного переноса, и два выхода: S (сумма) и P (перенос).

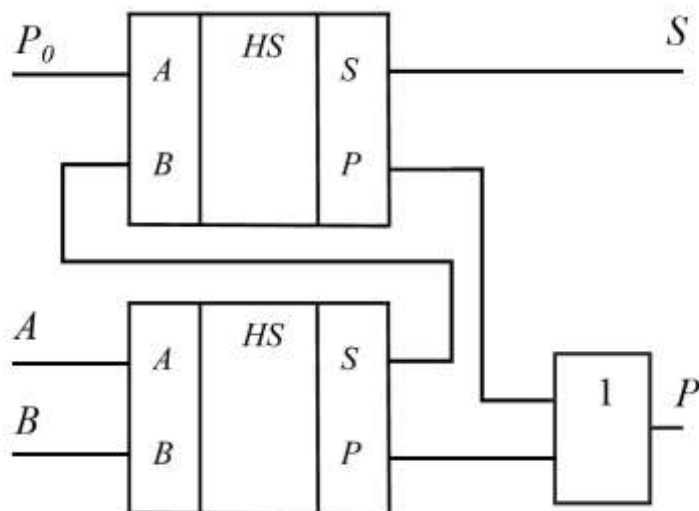


Рисунок 10.2 – Структурная схема одноразрядного сумматора

Условное графическое изображение полного сумматора приведено на рис. 10.3.

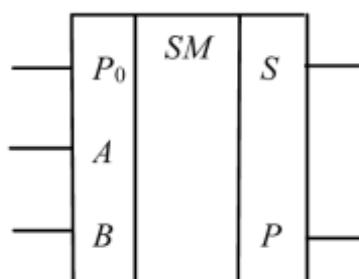


Рисунок 10.3 – Условное графическое обозначение одноразрядного сумматора

Как было сказано выше, многоразрядные сумматоры бывают последовательного и параллельного принципа действия. В последовательном сумматоре сложение кодов осуществляется, поразрядно начиная с младшего разряда с помощью комбинационного сумматора на три входа. Образующийся в данном разряде перенос P_{j+1} задерживается на время t и поступает на вход P_j сумматора в момент поступления следующего разряда слагаемых. Таким образом, последовательно, разряд за разрядом, производится сложение кодов чисел. Схема последовательного сумматора приведена на рисунке 10.4.

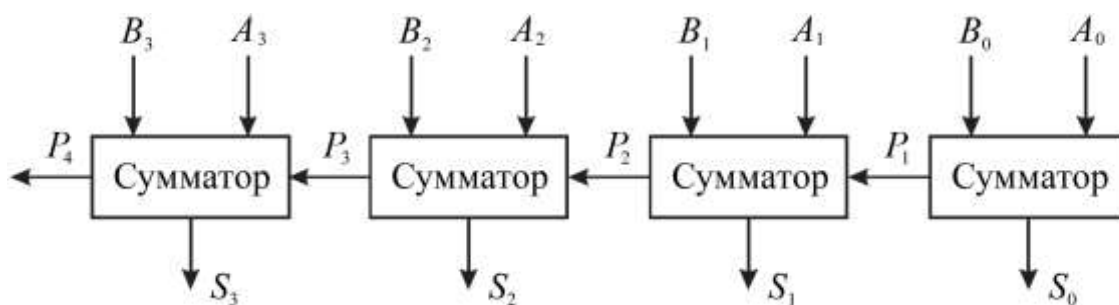


Рисунок 10.4 – Схема последовательного сумматора

Достоинством последовательного сумматора является простота аппаратной реализации, а недостатком – достаточно большое время суммирования.

В параллельном сумматоре достигается более высокое быстродействие. Суммируемые коды поступают на входы сумматора одновременно по всем разрядам. Для этого в каждом разряде используется комбинационный сумматор на три входа, на выходах которого образуются значения суммы S_j данного разряда и переноса P_{j+1} в старший разряд. В процессе распространения сигнала переноса устанавливается окончательное значение суммы в каждом разряде. Очевидно, что в течение этого времени на входах сумматора присутствуют сигналы, соответствующие суммируемым кодам. Максимальное по времени суммирование получается в том случае, когда перенос, возникший в первом разряде, распространяется по всему разряду (например, при сложении кодов 11...11 и 00...01).

Сумматор может вычислять не только сумму, но и разность входных кодов, то есть работать как схема вычитания. Для этого вычитаемое число надо просто поразрядно проинвертировать, а на вход переноса P_0 подать единичный сигнал. Например, пусть нам надо вычислить разность между числом 11 (1011) и числом 5 (0101). Инвертируем поразрядно число 5 и получаем 1010, то есть десятичное 10. Сумматор при суммировании 11 и 10 даст 21, то есть двоичное число 10101. Если сигнал P равен 1, то результат будет 10110. Отбрасываем старший разряд (выходной сигнал P) и получаем разность 0110, то есть число 6.

ОПИСАНИЕ ЛАБОРАТОРНОЙ УСТАНОВКИ

В состав лабораторной установки входят: лабораторная макетная плата, блок питания и контактные перемычки.

ПОРЯДОК ВЫПОЛНЕНИЯ ТЕОРЕТИЧЕСКИХ РАСЧЕТОВ

Выучить принцип работы, структурные схемы включения и возможности применения полусумматоров и сумматоров. Разработать принципиальную схему одноразрядного полного сумматора, реализованного на типовых логических элементах. Подготовить таблицы истинности.

ПОРЯДОК ВЫПОЛНЕНИЯ ЭКСПЕРИМЕНТАЛЬНЫХ ИССЛЕДОВАНИЙ

На лабораторном стенде собрать с помощью контактных перемычек схему для исследования полусумматора (рис. 10.1). Напряжение на входы схемы подавать при помощи переключателей X_1 и X_2 . Построить таблицу истинности для исследуемой схемы. Состояние входов и выходов определяются при помощи светодиодов.

На лабораторном стенде собрать с помощью контактных перемычек схему для исследования полного сумматора. Напряжение на входы схемы подавать при помощи переключателей $X_1 \dots X_3$. Построить таблицу истинности для исследуемой схемы. Состояние входов и выходов определяются при помощи светодиодов.

СОДЕРЖАНИЕ ОТЧЕТА

1. Цель работы.
2. Принципиальные схемы полусумматора и сумматора, построенные на типовых логических элементах.
3. Логические выражения, определяющие работу исследуемых устройств.
4. Таблицы истинности по результатам экспериментов.
5. Выводы по работе.

КОНТРОЛЬНЫЕ ВОПРОСЫ

1. В чем заключается особенность арифметических устройств и можно ли их отнести к логическим структурам?
2. В чем отличие последовательных сумматоров от параллельных?
3. Будет ли меняться результат суммирования многоразрядного сумматора, если слагаемые поменять местами?
4. Будет ли меняться результат вычитания, если вычитаемое, представленное в дополнительном коде, и уменьшаемое поменять местами в многоразрядном сумматоре?

11 АНАЛИЗ И СИНТЕЗ ЦИФРОВОГО КОМПАРАТОРА

ЦЕЛЬ РАБОТЫ

Изучение принципа работы, основных параметров и характеристик цифровых компараторов, экспериментальное исследование компараторов с целью получения таблиц истинности.

ТЕОРЕТИЧЕСКИЙ РАЗДЕЛ

Цифровые компараторы – устройства, выполняющие сравнение двух чисел, заданных в двоичном (двоично–десятичном) коде. В зависимости от схемного решения компараторы могут определять равенство $A=B$ (A и B – независимые числа с равным количеством разрядов) либо вид неравенства $A<B$ и $A>B$. Результат сравнения отображается соответствующим логическим уровнем на выходе.

Схемы сравнения, или компараторы, обычно строятся как поразрядные. Они широко используются и автономно, и в составе более сложных схем.

Число входов компаратора определяется разрядностью сравниваемых кодов.

На выходе компаратора обычно формируется три сигнала:

- $F_=$ – равенство кодов,
- $F_<$ – если числовой эквивалент первого кода больше второго,
- $F_>$ – если числовой эквивалент первого кода меньше второго.

Работу компаратора при сравнении двух одноразрядных кодов поясняет таблица истинности (табл. 11.1).

Таблица 11.1 – Таблица истинности компаратора одноразрядных кодов

A	B	$F_=$	$F_<$	$F_>$
0	0	1	0	0
0	1	0	0	1
1	0	0	1	0
1	1	1	0	0

Анализ таблицы истинности показывает, что при любой комбинации входных сигналов на выходе компаратора может быть сформирован только один активный (единичный) логический сигнал. Поэтому, при любой разрядности входных кодов достаточно, используя входные сигналы, сформировать только любые два из выходных сигналов. Третий сигнал всегда может быть получен по двум известным.

$$F_ = \overline{A}B \vee A\overline{B} = \overline{A}B \vee A\overline{B} = A \oplus B = \overline{F_<} \overline{F_>}$$

$$F_< = A\overline{B} = \overline{F_=} \overline{F_>}$$

$$F_> = \overline{A}B = \overline{F_=} F_<$$

Анализируя приведенные выражения с точки зрения минимизации системы логических выражений, отметим, что, используя выходные переменные, удобнее было бы получить значения $F_<$ и $F_>$, а $F_ =$ – реализовать как их функцию. Однако ввиду того, что выражение для определения $F_ =$ имеет в цифровой технике большое самостоятельное значение, и носит название операции “исключающее ИЛИ–НЕ” или “инверсия от суммы по модулю два”.

На рис. 11.1 представлены две структурные логические схемы, соответствующие таблице истинности цифрового компаратора.

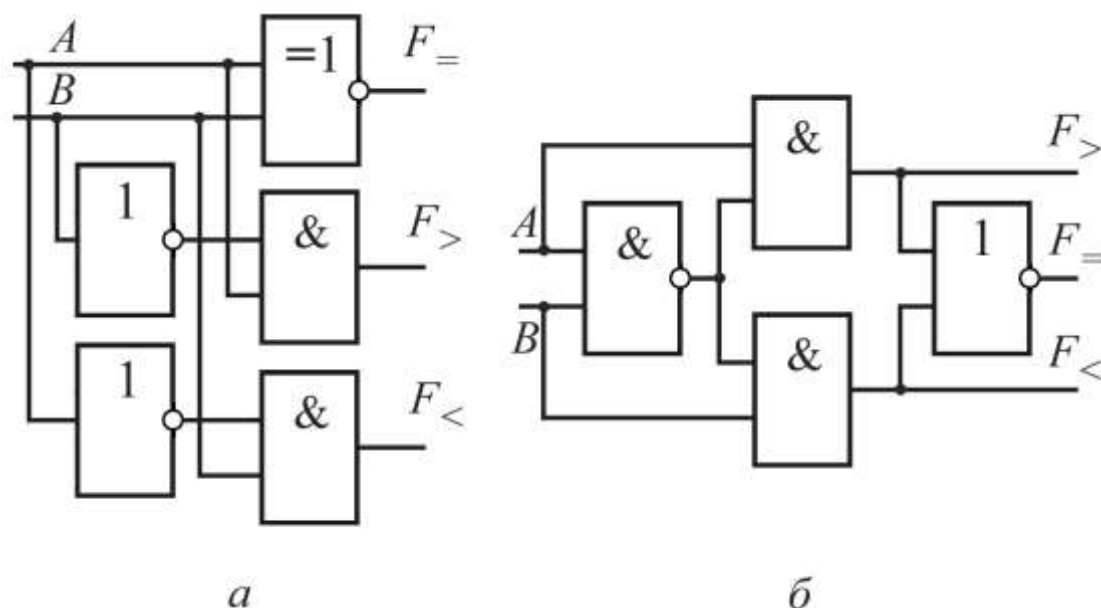


Рисунок 11.1 – Структурные логические схемы компаратора

На практике часто приходится сталкиваться с задачей сравнения многоразрядных двоичных кодов. Записав таблицу истинности, можно синтезировать логическую схему соответствующего устройства. Однако при увеличении числа входных переменных сделать это ввиду громоздкости получаемой таблицы весьма непросто. В данной ситуации удобно воспользоваться методом блочного конструирования, или декомпозиции задачи. Суть такого подхода состоит в разбиении сложной задачи на ряд более простых, решение которых может быть выполнено доступными средствами. Далее, с использованием полученных результатов, производится решение исходной задачи. Проиллюстрируем данный подход на примере построения цифрового компаратора многоразрядных двоичных кодов. За основу примем схему компаратора одноразрядных двоичных слов.

Очевидно, что результат сравнения двухразрядных двоичных слов можно записать через результаты сравнения одноразрядных слов. Соответствующая система логических выражений в этом случае будет иметь вид:

$$F_ = = F_{1=} \cdot F_{0=}$$

$$F_{>} = F_{1>} \vee F_{1=} \cdot F_{0>} \\ F_{<} = \overline{F_{=} \cdot F_{>}}$$

Аналогично для трехразрядных кодов получим:

$$F_{=} = F_{2=} \cdot F_{1=} \cdot F_{0=} \\ F_{>} = F_{2>} \vee F_{2=} \cdot F_{1>} \vee F_{2=} \cdot F_{1=} \cdot F_{0>} \\ F_{<} = \overline{F_{=} \cdot F_{>}}$$

В общем случае для n -разрядных двоичных кодов можно записать:

$$F_{=} = F_{n-1=} \cdot F_{n-2=} \cdot \dots \cdot F_{0=} \\ F_{>} = F_{n-1>} \vee F_{n-1=} \cdot F_{n-2>} \vee F_{n-1=} \cdot F_{n-2=} \cdot \dots \cdot F_{1=} \cdot F_{0>} \\ F_{<} = \overline{F_{=} \cdot F_{>}}$$

Таким образом, с использованием цифровых компараторов, имеющих ограниченную разрядность входных слов, на основании системы логических выражений (5.7) всегда можно построить устройство требуемой разрядности.

Два n -разрядных двоичных числа равны, когда попарно равны между собой все разряды этих чисел. Если, например, числа A и B – четырехразрядные, то признаком их равенства будет $A_3=B_3$, $A_2=B_2$, $A_1=B_1$ и $A_0=B_0$. Неравенство $A > B$ обеспечивается в четырех случаях: когда $A_3 > B_3$, $A_3=B_3$ и $A_2 > B_2$; $A_3=B_3$, $A_2=B_2$ и $A_1 > B_1$; $A_3=B_3$, $A_2=B_2$, $A_1=B_1$, и $A_0 > B_0$. Очевидно, что для выполнения неравенства $A < B$ достаточно поменять местами A и B .

Рассмотрим в качестве примера четырехразрядный цифровой компаратор серии К555СП1, восемь входов которого служат для подключения двух четырехразрядных слов: $A_0 \dots A_3$, $B_0 \dots B_3$, подлежащих сравнению (рис. 6).

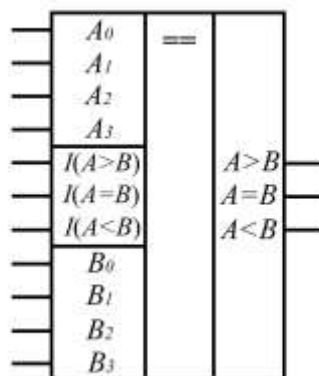


Рисунок 11.2 – Условное графическое обозначение компаратора К555СП1

Управляющие входы $I(A > B)$, $I(A = B)$ и $I(A < B)$ могут быть использованы для наращивания разрядности компаратора. Предусмотрены три выхода результата сравнения: $A > B$, $A = B$ и $A < B$.

Цифровые компараторы позволяют в совокупности с мультиплексорами или дешифраторами осуществлять условные логические операции: проверку арифметических условий реализует компаратор, а их исполнение – мультиплексор или дешифратор.

ОПИСАНИЕ ЛАБОРАТОРНОЙ УСТАНОВКИ

В состав лабораторной установки входят: лабораторная макетная плата, блок питания и контактные перемычки.

ПОРЯДОК ВЫПОЛНЕНИЯ ТЕОРЕТИЧЕСКИХ РАСЧЕТОВ

Изучить структуру цифровых компараторов, схемы построения компараторов на логических элементах. Разработать принципиальную схему двухразрядного компаратора, построенную на логических элементах. Изучить методы расширения разрядности компараторов.

ПОРЯДОК ВЫПОЛНЕНИЯ ЭКСПЕРИМЕНТАЛЬНЫХ ИССЛЕДОВАНИЙ

1. На лабораторном стенде собрать с помощью контактных перемычек схему для исследования компаратора (рис. 11.1, а).
2. Построить таблицу истинности компаратора. Состояние входов и выходов определяется при помощи светодиодов.
3. Повторить пункты 1 и 2 для компаратора, собранного по схеме рис. 11.1, б.
4. Сравнить полученные в результате эксперимента таблицы истинности с таблицей, полученной теоретическим путем.

СОДЕРЖАНИЕ ОТЧЕТА

1. Цель работы.
2. Принципиальная схема одноразрядного и двухразрядного компаратора, построенная на логических элементах.
3. Таблица истинности компаратора по результатам эксперимента.
4. Выводы по работе.

КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Как работает компаратор?
2. Для чего используются компараторы?
3. Как увеличить разрядности компаратора (на примере K555СП1)?
4. В чем заключается метод блочного конструирования?

12 СИНТЕЗ ТРИГГЕРОВ НА ЛОГИЧЕСКИХ ЭЛЕМЕНТАХ

ЦЕЛЬ РАБОТЫ

Изучение принципа действия и основных свойств асинхронных и синхронных RS -триггеров, собранных на логических элементах, исследование временных характеристик RS -триггеров, экспериментальное получение таблиц истинности.

ТЕОРЕТИЧЕСКИЙ РАЗДЕЛ

Триггер – простейшая цифровая схема последовательностного типа. В отличие от комбинационных схем, состояние выхода которых в любой момент времени определяется только текущим состоянием входа, состояние выхода триггера, как последовательностной схемы, зависит еще и от его внутреннего состояния.

Другими словами, триггер является не только преобразователем, но и хранителем предшествующей и источником текущей информации (состояния). Это свойство обеспечивается наличием у него обратных связей.

Триггер имеет два устойчивых состояния, поэтому его иногда называют бистабильной схемой. В каком из этих состояний окажется триггер, зависит от сигналов на входах триггера и от его предыдущего состояния, т. е. он имеет память. Можно сказать, что триггер является элементарной ячейкой памяти.

Триггеры являются элементарными конечными (цифровыми) автоматами, обладающими памятью и в более сложных дискретных устройствах служащими для хранения одного разряда двоичных чисел (одного бита информации). Триггер, как конечный автомат, характеризуется следующими свойствами:

возможное число внутренних состояний – два (единица или ноль), что соответствует одной внутренней переменной (z), обозначаемой обычно буквой Q ;

число выходных переменных Y – одно; значение переменной Y совпадает со значением Q , т.е. $Y^{t+1} = Q^{t+1}$, поэтому триггер является автоматом Мура;

число входных переменных (x) зависит от типа триггера.

Наряду с выходом Q , называемым прямым, триггер имеет другой (инверсный) выход $\bar{Q}$. Состояние триггера определяется значением прямого выхода Q . Говорят, что триггер находится в единичном состоянии, если $Q = 1$, и в нулевом, если $Q = 0$. Изменение состояния триггеров под действием входных сигналов происходит скачкообразно.

Разработано большое количество типов триггеров, которые по функциональному признаку можно разделить на четыре основных типа:

триггеры с двумя установочными входами – *RS*-триггеры (*Reset* – сбрасывать, *Set* – устанавливать);

триггеры задержки с одним входом – *D*-триггеры (*Delay* – задержка);

триггеры с одним счетным входом – *T*-триггеры;

универсальные триггеры, имеющие несколько входов.

Для всех триггеров характерны такие схемотехнические параметры как:

n -коэффициент разветвления, определяющий нагрузочную способность и означающий количество параллельно соединенных следующих за триггером элементов, на которые можно подать выходной сигнал триггера;

m -коэффициент объединения по входу, означающий максимальное число входных сигналов, которые можно подать к триггеру;

t_u – наименьшая длительность входного сигнала (импульса), при котором еще происходит надежное переключение триггера;

t_{zd} – время задержки между моментами подачи входного и появления выходного сигналов;

t_p – разрешающее время – наименьший интервал между моментами подачи двух входных сигналов с длительностью t_u , вызывающих переключение триггера (определяет быстродействие конечного автомата, построенного на триггерах).

Как и любые конечные автоматы, триггеры могут быть асинхронными и синхронными (тактируемыми).

В асинхронных триггерах изменение состояния происходит непосредственно с приходом входного сигнала, а в синхронных – лишь при подаче синхронизирующего (тактового) сигнала в соответствии со значениями сигналов на входах.

Согласно отечественного стандарта триггеры обозначают в виде прямоугольника с буквой *T* внутри, с правой стороны которого показывают прямой *Q* и (с кружком) инверсный $\bar{Q}$ выходы. Обозначения входов пишут на дополнительном поле в левой части прямоугольника. При этом различают триггеры со статическими и динамическими входами.

Входы, управляемые потенциалами (уровнями напряжения), называют статическими (включая и сигнал синхронизации), а управляемые перепадами потенциалов (фронтами импульсов напряжения) – динамическими.

Динамические входы обозначают треугольником, который направляют вершиной внутрь триггера, если он срабатывает при перепаде потенциала от 0 к 1, и в обратную сторону, если триггер реагирует на перепад от 1 к 0.

Согласно государственным стандартам допускается две формы условных обозначений. На рис. 12.1, а – введены примеры условных обозначений по форме № 2.

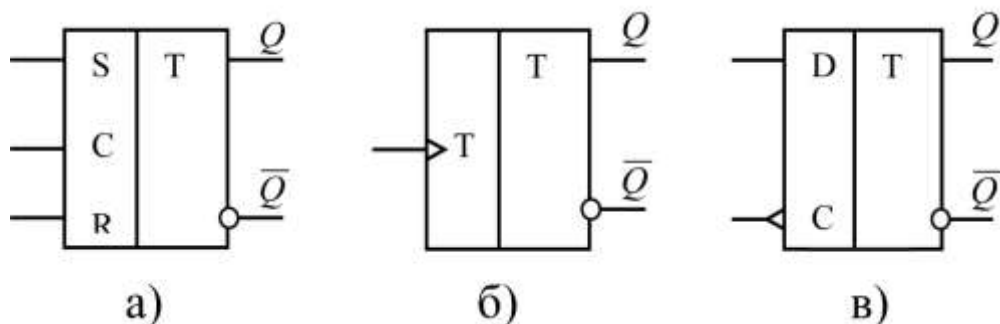


Рисунок 12.1 – Условные обозначения триггера:

RS-триггер со статическими входами, синхронизируемый потенциалом 1 входа *C*;

асинхронный *T*-триггер с динамическим входом, срабатывающий от перепада потенциалов от 0 к 1;

триггер задержки со статическим входом *D*, синхронизируемый фронтом сигнала *C* при изменении от 1 к 0

На рис. 12.2, а – в – приведены примеры условных обозначений по форме № 1, которая является предпочтительной в конструкторской документации, как более удобная для вычерчивания схем (особенно с использованием графопостроителей, управляемых от ЭВМ, при автоматизированном проектировании).

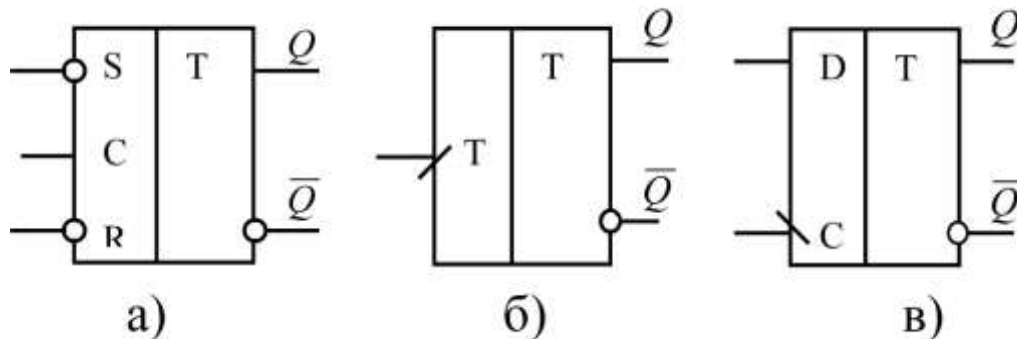


Рисунок 2 – Условные обозначения триггера:

RS-триггер с инверсными входами со статическими входами, синхронизируемый потенциалом 1 входа *C*;

асинхронный *T*-триггер с динамическим входом, срабатывающий от перепада потенциалов от 0 к 1;

триггер задержки со статическим входом *D*, синхронизируемый фронтом сигнала *C* при изменении от 1 к 0

Триггер с установочными входами (*RS*-триггер)

Наиболее простым устройством является асинхронный *RS*-триггер. Работа этого типа триггеров, как автомата с памятью, характеризуется таб-

лицей состояний (табл. 12.1), включающей таблицу переходов и таблицу выходов. Однако учитывая, что для триггеров выходная переменная Y^{t+1} значения внутреннего состояния триггера равна Q^{t+1} (как это видно из двух последних столбцов табл. 12.1), обычно графу Y^{t+1} опускают и ограничиваются рассмотрением таблицы переходов.

Из таблицы переходов видно, что подача на вход сигнала $S^t = 1$ переводит триггер в состояние $Q^{t+1} = 1$, в каком состоянии (0 или 1) он не находился в такте t (см. наборы 1 и 5 табл. 1), а подача сигнала $R^t = 1$ переводит триггер в состояние $Q^{t+1} = 0$ вне зависимости от состояния Q^t в предыдущем такте (см. наборы 2 и 6).

Таблица 12.1 – Таблица переходов асинхронного RS-триггера

Номера наборов такта t	Такт, t			Q^{t+1}	Y^{t+1}
	R^t	S^t	Q^t		
0	0	0	0	0	0
1	0	1	0	1	1
2	1	0	0	0	0
3	1	1	0	—	—
4	0	0	1	1	1
5	0	1	1	1	1
6	1	0	1	0	0
7	1	1	1	—	—

Естественно, что одновременная подача сигналов на взведение и сброс триггера неприемлема, поэтому комбинация входных сигналов $S^t = R^t = 1$ является запрещенной (наборы 3 и 7), и в столбце Q^{t+1} против этих наборов стоят прочерки. Таким образом, булева функция переходов RS-триггера является не полностью определенной.

Доопределив таблицу состояний единицами на запрещенных наборах и применив правила минимизации, получим минимальную дизъюнктивную нормальную форму функции переходов для RS-триггера

$$Q^{t+1} = S^t \vee \bar{R}^t Q^t. \quad (12.1)$$

В дальнейшем для упрощения записи индекс t опускают, сохраняя лишь там, где важно отметить различие тактов t и $t+1$.

Из функции переходов видно, что RS-триггер сохраняет состояние (1 или 0) независимо от многократного изменения и повторения входного сигнала, соответствующего исходному состоянию. Например, при $Q^t = 0$ подача сигналов $R = 1$ и $R = 0$ (при условии $S = 0$) не изменит нулевого состояния триггера, т.е. Q^{t+1} останется равным нулю (что следует также из

сравнения наборов 0 и 2 таблицы переходов). Аналогично триггер сохраняет единичное состояние (при условии $R = 0$) каким бы ни был сигнал S (нулем или единицей) при многократном повторении (что следует также из сравнения наборов 4 и 5). Это свойство называется блокировкой RS -триггера и используется при синтезе на этих триггерах более сложных устройств.

Функция переходов (12.1) позволяет определить состояние триггера в такт $(t+1)$ по его состоянию в такт t и сигналам, поступающим в такт t на его входы. Однако при синтезе устройств на триггерах возникает обратная задача: определить, при какой комбинации входных сигналов триггер перейдет из одного (заданного) состояния Q^t в другое (требуемое) Q^{t+1} . Эту задачу удобнее решать с помощью таблицы, называемой матрицей переходов, которую строят из следующих соображений.

Рассмотрим функцию переходов для всех возможных переходов триггера

$$Q^t \rightarrow Q^{t+1}: 0 \rightarrow 0; 1 \rightarrow 1.$$

Подставив эти пары значений в (12.1), получим равенства:

$$0 = S \vee \bar{R} \cdot 0; 0 = S \vee \bar{R} \cdot 1; 1 = S \vee \bar{R} \cdot 1$$

Из первого равенства следует, что переход $0 \rightarrow 0$ возможен при $S = 0$ и любом R , так как, будучи умноженным на нуль, второе слагаемое всегда обратится в нуль.

Второе равенство выполняется при $S = 1$ и также любым R . Учитывая, однако, что комбинация $R = S = 1$ запрещенная, оставим сочетание $S = 1$ и $R = 0$.

Третье равенство выполняется только при $S = 0$ и $R = 1$.

Четвертое равенство выполняется как при сочетании сигналов и любым R , так и при $R = 0$ и любым S . Рассмотрим первое сочетание. Так как набор $S = R = 1$ запрещенный, достаточно рассмотреть лишь сочетание $S = 1$ и $R = 0$, но если $R = 0$, а триггер находится в единичном состоянии, то из свойств блокировки следует: будет ли повторен сигнал $S = 1$ или он отсутствует ($S = 0$) – все равно единичное состояние триггера не изменится.

Таким образом, рассмотрение первого из двух возможных сочетаний выполнения четвертого равенства привело ко второму, т.е. для сохранения единичного состояния триггера достаточно условие $R = 0$ при любом значении S .

Результаты анализа позволяют составить матрицу переходов RS -триггера (табл. 12.2), показывающую сочетания входных сигналов, которые обеспечивают требуемое состояние триггера при переходе из такта t в такт $(t+1)$.

Таблица 12.2 – Матрица переходов RS-триггера

$Q^t \rightarrow Q^{t+1}$	R^t	S^t
$0 \rightarrow 0$	x	0
$0 \rightarrow 1$	0	1
$1 \rightarrow 1$	1	1
$1 \rightarrow 0$	0	*

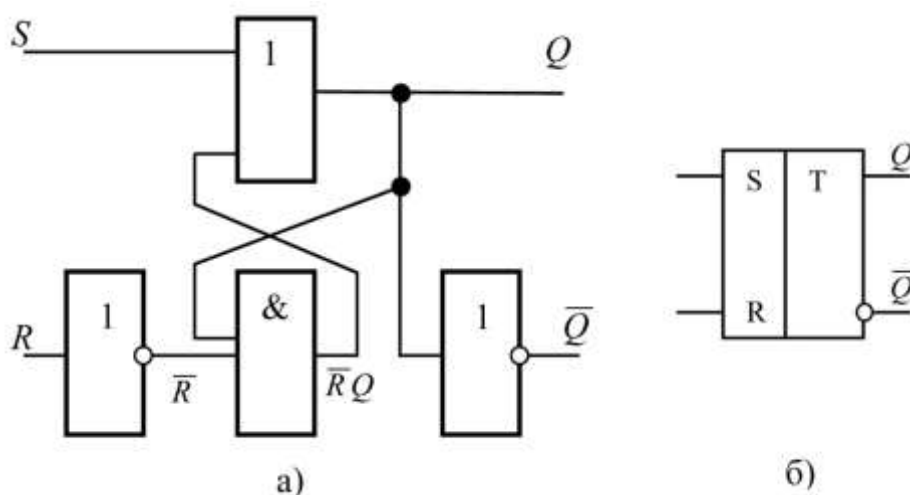


Рисунок 12.3 – RS-триггер с прямыми входами на элементах основного базиса (а) и его условное изображение (б)

Функция переходов (1) позволяет осуществить структурный синтез RS-триггера. На рис. 12.3 приведена реализация функции переходов на элементах основного базиса.

Можно убедиться, что эта схема, построенная лишь на комбинационных элементах (т.е. элементах, не обладающих памятью), выполняет функции элементарного конечного автомата – триггера (т.е. элемента с памятью). Пусть на вход S поступил единичный сигнал. Пройдя через дизъюнктор, этот сигнал вызовет сигнал $Q = 1$, который поступает на один из входов конъюнктора. Так как на входе левого инвертора сигнал $R = 0$, на его выходе постоянно действует сигнал $\bar{R} = 1$. Этот сигнал вместе с поступившим сигналом $Q = 1$ создает единичный сигнал на выходе конъюнктора $\bar{R} \cdot Q = 1$, который, поступая на нижний вход дизъюнктора, обеспечивает выдачу сигнала $Q = 1$ даже после прекращения сигнала $S = 1$. Триггер запомнит единичное состояние и будет его сохранять до тех пор, пока на вход R не будет подан сигнал $R = 1$. При этом появится сигнал $\bar{R} = 0$, который заставит конъюнктор выдать сигнал $R \cdot Q = 0$, несмотря на то, что на его верхний вход продолжает поступать сигнал $Q = 1$. Так как $S = 0$, то сигнал $R \cdot Q = 0$ приведет к появлению на дизъюнкторе сигнала $Q = 0$, соответствующего нулевому состоянию триггера. Это состояние сохраняется

и после прекращения сигнала $R = 1$, т.е. до тех пор, пока новый сигнал $S = 1$ не переведет триггер в новое единичное состояние. Для получения инверсного выхода триггера служит правый инвертор, на вход которого поступает сигнал Q .

Покажем, как синтезировать RS -триггер на элементе многофункционального базиса “И–НЕ” (штрих Шеффера). Для этого преобразуем функцию переходов (12.1), взяв от нее двойное отрицание и применив теорему де Моргана:

$$Q^t = \overline{\overline{Q^{t+1}}} = \overline{\overline{S \vee \overline{R}Q}} = \overline{\overline{S} \overline{\overline{R}Q}} = \overline{\overline{S}}(\overline{\overline{R}}Q) . \quad (12.2)$$

По полученной в базисе функции Шеффера структурной формуле (12.2) можно синтезировать схему RS -триггера на элементах Шеффера (рис. 12.4, а), особенностью которой являются инверсные входы $\overline{S}$ и $\overline{R}$.

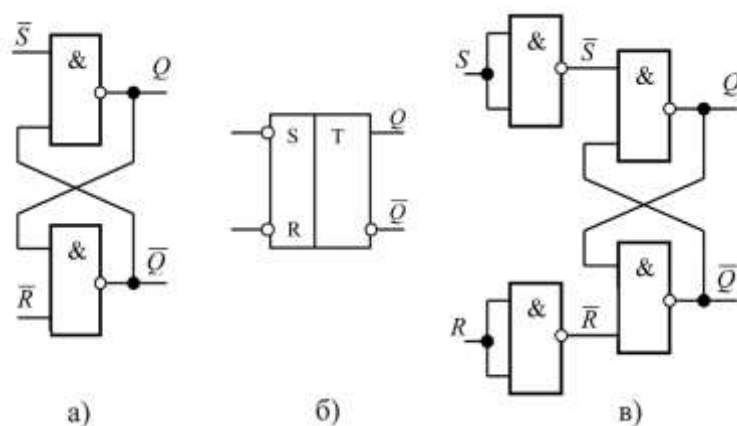


Рисунок 12.4 – RS -триггер на элементах “И–НЕ” с инверсными входами (а), его условное обозначение (б) и модификация с прямыми входами (в)

Это означает, что для первого триггера, например, в единичное состояние нужно на вход S подать не единичный, а нулевой сигнал. Условное изображение RS -триггера с инверсными входами показано на рис. 12.4, б.

Если на элементах “И–НЕ” хотят синтезировать RS -триггер с прямыми входами, то достаточно входной сигнал подавать предварительно на дополнительный элемент “И–НЕ” с запараллеленными входами, как показано на рис. 12.4, в.

Подобным же образом функцию переходов (1) можно преобразовать в базисе функции Пирса

$$\overline{Q^{t+1}} = \overline{S \vee \overline{R}Q} = \overline{\overline{\overline{S} \vee \overline{\overline{R}Q}}} = \overline{\overline{S} \vee \overline{R} \vee \overline{Q}} = S \downarrow (R \downarrow \overline{Q}) . \quad (12.3)$$

Реализуя структурную формулу (12.3), получим схему RS -триггера с прямыми входами на элементах “ИЛИ–НЕ” (рис. 12.5, а), в которой входы R и S поменялись местами, но играют ту же роль, что и в схеме RS -триггера с условным обозначением, приведенным на рис. 12.3, б.

Оценим быстродействие RS -триггера на примере рис. 12.5. Пусть начальное состояние триггера $Q = 0$ (а значит, $\overline{Q} = 1$). В момент $t = 0$ пода-

ется сигнал $S = 1$. Если средняя длительность задержки переключения элемента “ИЛИ-НЕ” из одного состояния в другое t_{cp} , то через это время в момент t_1 нижний элемент перейдет из 1 в 0 и $\bar{Q}$ станет равным нулю. Сигнал $\bar{Q} = 0$ поступит на вход верхнего элемента и через время t_{cp} в момент t_2 , изменит его состояние и выдаст сигнал $Q = 1$. Таким образом, время задержки триггера при его установке в единичное состояние $t_{зд} = 2 t_{cp}$. Причем, для надежного функционирования триггера длительность импульса на его входе t_u должна быть не меньше суммарной задержки переключения обоих элементов “ИЛИ-НЕ”, составляющих триггер, до полного прекращения переходных процессов в них, т.е. $t_u \geq 2 t_{cp}$.

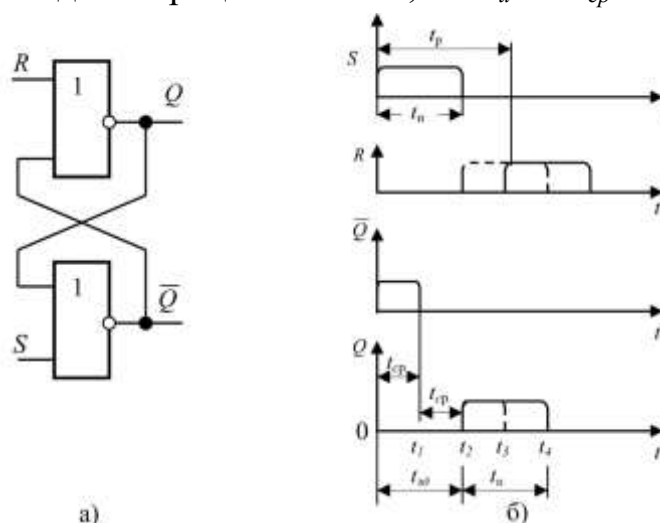


Рисунок 12.5 – Асинхронный RS-триггер на элементах “ИЛИ-НЕ” и временная диаграмма его работы

При необходимости сброса триггера в нулевое состояние сигнал $R = 1$, казалось бы, можно подать в момент t_2 окончания сигнала $S = 1$, как показано пунктиром на рис. 12.5, б. Однако в этом случае верхний элемент “ИЛИ-НЕ” через время t_{cp} переключится и создаст в момент t_3 на выходе сигнал $Q = 0$. Следовательно, длительность выходного сигнала триггера $Q = 1$ будет ограничена отрезком времени $t_2 - t_3$ (т.е. равна t_{cp}) и может оказаться недостаточной для надежной передачи информации в следующий триггер, являющийся нагрузкой для рассматриваемого. Поэтому разрешающее время должно быть увеличено до значения $t_p = 3 t_{cp}$, при котором, как показано сплошными линиями на рис. 12.5, б, длительность выходного сигнала $Q = 1$ триггера обеспечивается равной t_u . Приведенная оценка быстродействия относится ко всем схемам триггеров, составленных из комбинационных элементов.

Синхронный RS-триггер используется гораздо чаще. Как ранее указывалось, из-за задержки переключения логических элементов в схемах, составленных из таких элементов, возможны режимы “состязаний” (“гонки”), в результате которых выходной сигнал на некоторое (обычно корот-

кое) время принимает ложные значения. Примером подобного явления может служить процесс переключения триггера, приведенный на рис. 12.5, б.

В самом деле, в течение времени t_1-t_2 сигналы как на прямом, так и инверсном выходах триггера одновременно равны нулю. Предположим, что выходы рассматриваемого триггера подключены ко входам R и S следующего за ним триггера с инверсными входами. Очевидно, что в этом случае в течение времени t_1-t_2 на такой триггер поступает запрещенный набор входных сигналов, который (если он затянется во времени) может нарушить функционирование устройства.

Устранить ошибки, которые могут возникнуть за счет “состязаний” в логических цепях, позволяет способ временного стробирования. Вырабатываемый устройством сигнал в этом случае передается на последующие устройства не непрерывно, а только в такой отрезок времени, когда искажение правильных значений выходного сигнала за счет “состязаний” заведомо исключено. В рассмотренном примере таким интервалом будет отрезок времени t_2-t_4 .

Временное стробирование обеспечивается синхронизирующими (тактовыми) импульсами, поэтому синхронный RS -триггер кроме информационных входов R и S имеет вход C , на который подается синхронизирующий сигнал.

Таблица переходов такого триггера (табл. 12.3) дополнена графой C , из которой видно, что он функционирует как RS -триггер только при условии $C = 1$. В противном случае, т.е. при отсутствии синхронизирующих импульсов, состояние его сохраняется неизменным $Q^{t+1} = Q^t$, какие бы сигналы ни подавались на информационные входы, причем возможна подача сочетания $R = S = 1$ (или $R = S = 0$ для триггера с инверсными входами).

Таблица 12.3 – Таблица переходов синхронного RS -триггера

Такт t				Q^{t+1}
C^t	R^t	S^t	Q^t	
0	0	0	0	0
0	0	1	0	0
0	1	0	0	0
0	1	1	0	0
0	0	0	1	1
0	0	1	1	1
0	1	0	1	1
0	1	1	1	1
Такт t				Q^{t+1}
C^t	R^t	S^t	Q^t	
1	0	0	0	0
1	0	1	0	1
1	1	0	0	0
1	1	1	0	—
1	0	0	1	1
1	0	1	1	1
1	1	0	1	0
1	1	1	1	—

Синхронизация осуществляется включением на каждом входе асинхронного RS -триггера дополнительного элемента “И”. Одни из входов этих элементов объединены и на них подается сигнал C , другие являются ин-

формационными, но поданные на них сигналы поступают к триггеру лишь при наличии единицы на входе C .

Доопределив функцию переходов единицами на запрещенных наборах и проведя ее минимизацию, получим структурную формулу синхронного триггера:

$$Q^{t+1} = SC \vee Q\bar{R} \vee Q\bar{C} = SC \vee Q(\bar{R} \vee \bar{C}), \quad (12.4)$$

которую можно реализовать на элементах основного базиса.

Для синтеза схемы триггера на элементах “И–НЕ” применим к (12.4) двойное отрицание и дважды теорему де Моргана:

$$Q^{t+1} = \overline{\overline{Q^{t+1}}} = \overline{(SC)(Q(\bar{R} \vee \bar{C}))} = \overline{(SC)(Q(RC))}. \quad (12.5)$$

В соответствии со структурной формулой (12.5) схема синхронного RS -триггера имеет вид (рис. 12.6), где на выходах элементов обозначены операторы формулы (12.5), которые они реализуют. Условное обозначение такого триггера совпадает с рис. 12.1, а.

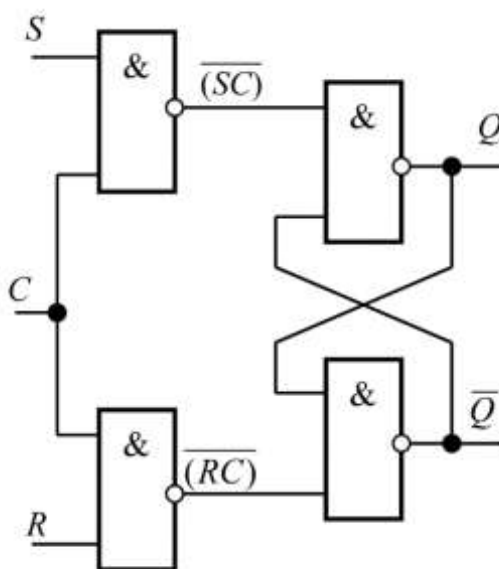


Рисунок 12.6 – Синхронный RS -триггер на элементах базиса “И–НЕ”

При использовании элементов “ИЛИ–НЕ” формулу (4) можно преобразовать к виду

$$Q^{t+1} = \overline{\overline{SC}} \vee \overline{\overline{Q(\bar{R} \vee \bar{C})}} = \overline{\overline{S} \vee \overline{\overline{C}}} \vee \overline{\overline{Q} \vee \overline{\overline{(\bar{R} \vee \bar{C})}}}$$

или при инвертировании обеих частей

$$Q^{t+1} = \overline{\overline{\overline{S} \vee \overline{\overline{C}}} \vee \overline{\overline{Q} \vee \overline{\overline{(\bar{R} \vee \bar{C})}}}} = (\overline{\overline{S} \vee \overline{\overline{C}}}) \downarrow (\overline{\overline{Q} \vee \overline{\overline{(\bar{R} \vee \bar{C})}}}). \quad (12.6)$$

По полученной в базисе функции Пирса структурной формуле (12.6) синтезирована схема синхронного RS -триггера (рис. 12.7), особенностью которой являются инверсные входы S , R и C .

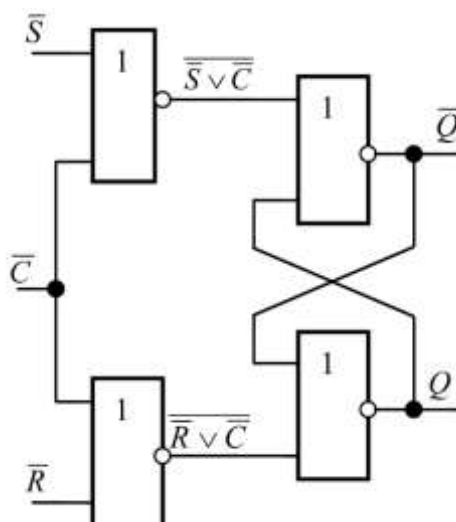


Рисунок 12.7 – Синхронный RS-триггер на элементах базиса “ИЛИ–НЕ”

ОПИСАНИЕ ЛАБОРАТОРНОЙ УСТАНОВКИ

В состав лабораторной установки входят: лабораторная макетная плата, блок питания, контактные перемычки и двухлучевой осциллограф.

ПОРЯДОК ВЫПОЛНЕНИЯ ТЕОРЕТИЧЕСКИХ РАСЧЕТОВ

Выучить принцип работы, структурные схемы включения и возможности применения триггеров различных типов. Разработать принципиальную схему синхронного RS-триггера с прямыми входами, реализованного на типовых логических элементах и интегральной микросхеме асинхронного RS-триггера (за основу взять рис. 12.6). Подготовить таблицы переходов.

ПОРЯДОК ВЫПОЛНЕНИЯ ЭКСПЕРИМЕНТАЛЬНЫХ ИССЛЕДОВАНИЙ

На коммутационном поле лабораторной макетной платы из логических элементов собрать с помощью контактных перемычек схему для исследования асинхронного RS-триггера с прямыми входами (рис. 12.4, а). Напряжение на входы схемы подавать при помощи переключателей X1 и X2. Построить таблицу переходов для исследуемой схемы. Состояние входов и выходов схемы определяются при помощи индикаторов логических уровней, в качестве которых применены светодиоды.

На коммутационном поле лабораторной макетной платы из логических элементов собрать с помощью контактных перемычек схему для исследования асинхронного RS-триггера с инверсными входами (рис. 12.5). Напряжение на входы схемы подавать при помощи переключателей X1 и X2. Построить таблицу переходов для исследуемой схемы.

СОДЕРЖАНИЕ ОТЧЕТА

1. Цель работы.
2. Принципиальные схемы исследуемых триггеров.
3. Таблицы переходов для исследуемых схем.
4. Выводы по работе.

КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Назовите основные разновидности триггеров.
2. Приведите классификацию входов триггеров и их назначение.
3. Объясните, как строится временная диаграмма работы триггера?
4. Где применяются различные разновидности триггеров?
5. Чем различаются асинхронные и синхронные триггеры?

13 ИССЛЕДОВАНИЕ ИНТЕГРАЛЬНЫХ ТРИГГЕРОВ

ЦЕЛЬ РАБОТЫ

Изучение принципа действия и основных свойств D -триггера и счетного T -триггера в виде интегральных микросхем, экспериментальное получение их таблиц переходов, изучение принципа действия и основных свойств JK -триггера, экспериментальное получение его таблиц истинности.

ТЕОРЕТИЧЕСКИЙ РАЗДЕЛ

Триггер задержки (D -триггер)

D -триггер – это триггер с единственным входным сигналом, обозначаемым буквой D . Значение сигнала на выходе Q такого триггера в такт $(t+1)$ равно значению сигнала на входе D в предыдущем такте t . Таким образом, входной сигнал передается на выход с задержкой на один такт, т.е.

$$Q^{t+1} = D^t. \quad (13.1)$$

В соответствии с функцией переходов (7) очевидна матрица переходов D -триггера (табл. 13.1).

Таблица 13.1 – Матрица переходов асинхронного D -триггера

$Q^t \rightarrow Q^{t+1}$	D^t
$0 \rightarrow 0$	0
$0 \rightarrow 1$	1
$1 \rightarrow 0$	0
$1 \rightarrow 1$	1

Однако асинхронный D -триггер не применяется, так как его выход просто повторяет входной сигнал после окончания режима состязаний.

Синхронный же D -триггер функционирует в соответствии с таблицей 13.2, из которой видно, что при отсутствии синхроимпульсов ($C = 0$) состояние триггера остается неизменным. При условии же $C = 1$ триггер передает на выход сигнал, поступивший на его вход в предыдущем такте.

Таблица 13.2 – Матрица переходов синхронного D -триггера

Такт t			Q^{t+1}	Такт t			Q^{t+1}
C^t	D^t	Q^t		C^t	D^t	Q^t	
0	0	0	0	1	0	0	0
0	0	1	1	1	0	1	0
0	1	0	0	1	1	0	1
0	1	1	1	1	1	1	1

Минимальная дизъюнктивная нормальная форма функции переходов

$$Q^{t+1} = \overline{C}Q \vee CD. \quad (13.2)$$

Добавив к (13.2) еще одну импликанту, получим выражение функции переходов, которое можно преобразовать так:

$$Q^{t+1} = \bar{C}Q \vee CD \vee SQ = CD \vee Q(\bar{C} \vee D) = CD \vee (\bar{C}\bar{D})Q \quad (13.3)$$

Вид (13.3) функции переходов D -триггера по своей структуре совпадает с выражением для функции переходов RS -триггера, если принять

$$S = CD, \quad R = \bar{C}\bar{D}. \quad (13.4)$$

Следовательно, D -триггер можно представить как RS -триггер, на информационные входы которого подаются сигналы, соответствующие выражениям (13.4). Реализация структурной формулы (13.3) приведена на рис. 13.1, где пунктиром обведена схема RS -триггера с инверсными входами, а расположенные слева от него элементы формируют его входные сигналы. Действительно, на выходе верхнего элемента имеем

$$CD = \bar{S},$$

а на выходе нижнего

$$\overline{CD} = \overline{C(\bar{C} \vee \bar{D})} = \overline{C\bar{C}} \vee \overline{C\bar{D}} = \bar{C}\bar{D} = \bar{R}.$$

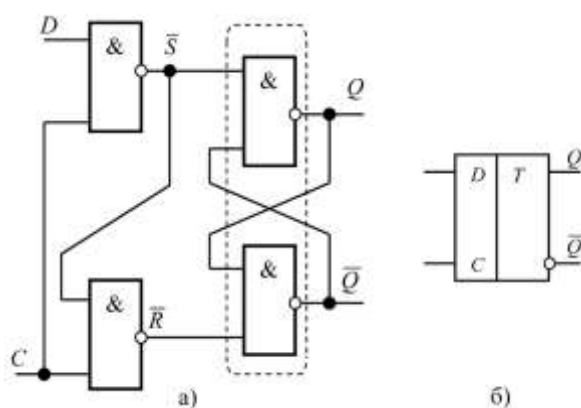


Рисунок 13.1 – Синхронный D -триггер (а) и его условное обозначение (б)

Триггер со счетным входом (T -триггер)

Булева функция, отражающая работу T -триггера, содержательно может быть представлена так: триггер инвертирует свое предыдущее состояние при подаче на его вход T единичного сигнала, т.е. $Q^{t+1} = Q^t$ при $T = 1$.

На основании содержательного представления можно составить таблицу переходов (табл. 13.3), используя которую, по единицам составлена совершенная дизъюнктивная нормальная форма функции переходов T -триггера, являющаяся минимальной формой этой функции:

$$Q^{t+1} = QT \vee \bar{Q}\bar{T}. \quad (13.5)$$

На логических элементах основного базиса T -триггер можно синтезировать подобно тому, как это показано на рис. 13.1. Однако целесообразнее использовать имеющийся в составе серий интегральных микросхем D -триггер с помощью присоединений выводов микросхемы.

Таблица 13.3 – Таблица переходов T -триггера

Такт t		Q^{t+1}
T^t	Q^t	
0	0	0
0	1	1
1	0	0
1	1	1

Так, если в синхронном D -триггере вход соединить с инверсным выходом Q , то он превращается в T -триггер. Действительно, заменив в (13.3) D на Q , получим

$$Q^{t+1} = \bar{C}Q \vee C\bar{Q}. \quad (13.6)$$

что совпадает с (13.6), если принять $T = C$, т.е. счетные сигналы подавать вместо синхроимпульсов на вход C , как показано на рис. 13.2.

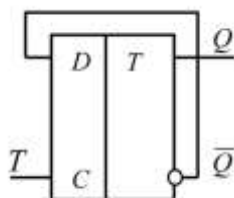


Рисунок 13.2 – Использование D -триггера в качестве T -триггера

Особенностью T -триггера является в 2 раза меньшая частота выходных сигналов, по сравнению с частотой сигналов на входе T . Это позволяет использовать его в качестве делителя частоты последовательности сигналов на два, а также при создании на T -триггерах двоичных счетчиков.

При синтезе на T -триггерах более сложных конечных автоматов используют матрицу переходов (табл. 13.4), которую легко заполнить путем следующих логических рассуждений: чтобы инвертировать триггер (вторая и третья строка таблицы), надо подать на вход единицу, а, чтобы сохранить состояние триггера, (первая и четвертая строки), надо подавать нуль.

Таблица 13.4 – Матрица переходов T -триггера

$Q^t \rightarrow Q^{t+1}$	T^t
$0 \rightarrow 0$	0
$0 \rightarrow 1$	1
$1 \rightarrow 0$	1
$1 \rightarrow 1$	0

Существует ряд разновидностей T -триггера с дополнительными входами: TD -триггер (счетный триггер с задержкой); T -триггер (счетный триггер с тактирующим входом); RST -триггер (счетный триггер с установочными входами в то или иное начальное, исходное состояние) и т.п.

Так на рис. 13.3, а приведено условное изображение T -триггера, тактируемого с помощью синхроимпульсов C . При изменении синхроимпульсов C от 0 до 1 (динамический вход C), со статическими входами R , S и T , причем входы S и R являются асинхронными и инверсными. Последнее означает, что триггер устанавливается в состоянии $Q = 0$ в момент подачи сигнала $R = 0$ или в состояние $Q = 1$ в момент подачи сигнала $S = 0$ вне зависимости от того, подан или еще отсутствует синхроимпульс C .

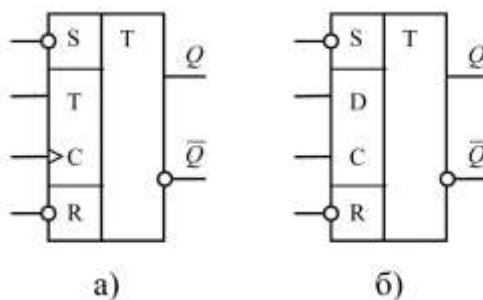


Рисунок 13.3 – T -триггер с дополнительными входами (а) и универсальный D -триггер (б)

Аналогичными свойствами обладает и универсальный D -триггер, условное обозначение которого приведено на рис. 13.3, б. Он также функционирует в синхронном режиме по входу D (но в отличие от триггера рис. 13.3, а синхронизация производится подачей потенциала на вход C) и в асинхронном по входам R и S .

JK-триггер

JK -триггер с двумя входами, функционирует в соответствии с таблицей переходов (табл. 13.5), из которой видно, что при комбинации сигналов $J = 1$ и $K = 1$ (третий и седьмой наборы) триггер инвертирует свое предыдущее состояние, т.е. при конъюнкции $JK = 1$ $Q^{t+1} = Q^t$. В остальных случаях, JK -триггер ведет себя как RS -триггер. При этом вход J эквивалентен входу S , а вход K – входу R .

Таблица 13.5 – Таблица переходов JK -триггера

Номера наборов	Такт, t			Q^{t+1}
	K^t	J^t	Q^t	
0	0	0	0	0
1	0	1	0	1
2	1	0	0	0
3	1	1	0	1
4	0	0	1	1
5	0	1	1	1
6	1	0	1	0
7	1	1	1	0

Минимальная форма функции переходов JK -триггера:

$$Q^{t+1} = J\bar{Q} \vee \bar{K}Q. \quad (13.7)$$

В интегральной схемотехнике распространены синхронные JK -триггеры с динамическим входом синхроимпульсов C (рис. 13.4, а). Эти триггеры путем несложной коммутации (пересоединения) внешних выводов можно превратить в схемы, выполняющие функции RS -, D - и T -триггера.

Так, если в (13.7) принять $J=D$ и $K=D$, то получим

$$Q^{t+1} = D\bar{Q} \vee DQ = D(Q \vee \bar{Q}) = D. \quad (13.8)$$

т.е. функцию переходов D -триггера. Сравнивая (13) и (14), видим, что для получения D -триггера надо соединить вход J со входом K через инвертор, причем J -вход будет выполнять функцию D -входа (рис. 11, б).

Для получения T -триггера (рис. 13.4, в) достаточно соединить входы J и K , подавая на них T -сигналы. В этом случае $J = K = T$ и (13.7) превращается в функцию перехода T -триггера.

Если на вход J подавать сигналы S , а на вход K – сигналы R , то JK -триггер будет выполнять функции RS -триггера (рис. 13.4, г).

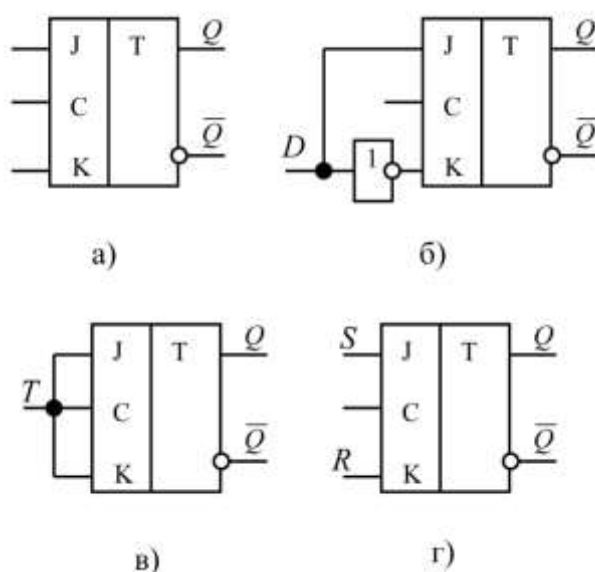


Рисунок 13.4 – Условное обозначение JK -триггера (а) и его использование в качестве D -триггера (б), T -триггера (в) и RS -триггера (г)

Для составления матрицы переходов подставим в (13.7) все возможные сочетания состояний триггера и проанализируем условия, при которых выполняются эти сочетания:

$$\left. \begin{aligned} 0 \rightarrow 0 \quad 0 &= J \cdot 1 \vee \bar{K} \cdot 0, \\ 0 \rightarrow 1 \quad 1 &= J \cdot 1 \vee \bar{K} \cdot 0, \end{aligned} \right\} \text{при любом } K \text{ и } \begin{cases} J = 0 \\ J = 1 \end{cases}.$$

$$\left. \begin{aligned} 1 \rightarrow 0 \quad 0 &= J \cdot 0 \vee \bar{K} \cdot 1, \\ 1 \rightarrow 1 \quad 1 &= J \cdot 0 \vee \bar{K} \cdot 1, \end{aligned} \right\} \text{при любом } J \text{ и } \begin{cases} K = 1 \\ K = 0 \end{cases}.$$

В соответствии с результатами анализа заполнена матрица переходов (табл. 13.6), которую используют при синтезе цифровых устройств на *JK*-триггерах.

Таблица 13.6 – Матрица переходов *JK*-триггера

$Q^t \rightarrow Q^{t+1}$	J^t	K^t
$0 \rightarrow 0$	0	x
$0 \rightarrow 1$	1	x
$1 \rightarrow 0$	x	1
$1 \rightarrow 1$	x	0

Рассмотренные синхронные триггеры являются одноступенчатыми (обозначены буквой *T*). Устойчивая работа таких триггеров в схемах с передачей информации между триггерами возможна только при условии, что перевод триггера в новое состояние (занесение в него новой информации) осуществляется после завершения передачи информации о прежнем его состоянии в следующий за ним триггер. Выполнение этого условия обеспечивается в двухступенчатых триггерах, состоящих из двух одноступенчатых триггеров. Вначале информация записывается в первый (управляющий) триггер, а затем переписывается во второй (управляемый). Такой принцип построения триггеров иногда называют *MS*-принципом.

Все рассмотренные типы триггеров могут быть построены по *MS*-принципу (на схемах их обозначают двумя буквами *TT*).

ОПИСАНИЕ ЛАБОРАТОРНОЙ УСТАНОВКИ

В состав лабораторной установки входят: лабораторная макетная плата, блок питания, контактные перемычки и двухлучевой осциллограф.

ПОРЯДОК ВЫПОЛНЕНИЯ ТЕОРЕТИЧЕСКИХ РАСЧЕТОВ

Выучить принцип работы, структурные схемы включения и возможности применения триггеров различных типов.

ПОРЯДОК ВЫПОЛНЕНИЯ ЭКСПЕРИМЕНТАЛЬНЫХ ИССЛЕДОВАНИЙ

На коммутационном поле лабораторной макетной платы собрать с помощью контактных перемычек схему для исследования синхронного *D*-триггера, выполненного в виде отдельной микросхемы (рис. 13.1, б). Напряжение на вход *D* схемы подавать при помощи переключателя *X1*, синхрои импульсы подавать с одновибратора, запуск которого осуществляется при помощи кнопки “Impulse”. Построить таблицу переходов для исследуемой схемы. Подать на входы осциллографа сигнал с входа *D* и сиг-

нал с выхода Q . Длительным нажатием кнопки “Impulse” переключить схему в режим генерации прямоугольных импульсов. Получить осциллограммы при частоте сигнала, подаваемого на вход D , в два раза выше и в два раза ниже частоты сигнала синхроимпульсов.

На коммутационном поле лабораторной макетной платы собрать с помощью контактных перемычек схему для исследования T -триггера, собранного на основе D -триггера (рис. 13.2). Напряжение на вход T схемы подавать при помощи переключателя $X1$. Подать на входы осциллографа сигнал с входа T и сигнал с выхода Q . Длительным нажатием кнопки “Impulse” переключить схему в режим генерации прямоугольных импульсов. Получить осциллограмму сигналов.

На коммутационном поле лабораторной макетной платы собрать с помощью контактных перемычек схемы для исследования JK -триггера, используемого в качестве D -триггера, T -триггера и RS -триггера (рис. 13.4, б – г). Построить таблицу переходов для исследуемых схем.

СОДЕРЖАНИЕ ОТЧЕТА

1. Цель работы.
2. Принципиальные схемы исследуемых триггеров.
3. Таблицы переходов для исследуемых схем.
4. Осциллограммы работы D -триггера и T -триггера.
5. Выводы по работе.

КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Назовите основные разновидности триггеров.
2. Объясните, как строится временная диаграмма работы триггера?
3. Как построить T -триггер на основе RS -, D - и JK -триггеров?
4. Чем определяется внутренняя задержка T -триггера?
5. Докажите универсальность JK -триггера.

14 АНАЛИЗ И СИНТЕЗ СЧЕТЧИКОВ

ЦЕЛЬ РАБОТЫ

Изучение структуры и исследовать работу суммирующих и вычитающих счетчиков. Изучить способы изменения коэффициента пересчета счетчиков. Исследовать работу счетчиков с коэффициентом пересчета, отличным от $2n$.

ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ

Общее определение счетчиков

Счетчик – это цифровое устройство, которое хранит двоичное число и выполняет над ним микрооперацию счета. Под микрооперацией счета понимается увеличение или уменьшение числа, хранящегося в счетчике на 1. Максимально возможное число импульсов, которое может сосчитать счетчик, называется модулем счета k .

Если модуль счета определяется по формуле $k = 2^N$, где N – положительное целое число, то счетчик называют двоичным, а N – разрядность счетчика. Процесс перехода от максимального к минимальному значению для суммирующих счетчиков, и от минимального к максимальному для вычитающих называется переполнением.

Классификация счетчиков

По направлению счета:

- 1) суммирующие (прямого счета);
- 2) вычитающие (обратного счета);
- 3) реверсивные (с изменением направления счета).

По значению модуля счета:

- 1) двоичные ($K_c = 2^N$);
- 2) двоично-десятичные ($K_c = 10^N$);
- 3) счетчики с переменным модулем счета и др.;
- 4) счетчики с одинарным кодированием (состояние счетчика определяется местом расположения единственной единицы);
- 5) счетчики с унитарным кодированием (состояние счетчика представляется числом единиц в коде).

По способу организации межразрядных связей:

- 1) с последовательным переносом;
- 2) с параллельным переносом;
- 3) с комбинированным переносом.

По принадлежности к тому или иному классу автоматов:

- 1) асинхронные счетчики;

2) синхронные счетчики с асинхронным переносом (или параллельные счетчики с последовательным переносом, синхронно-асинхронные счетчики);

3) синхронные счетчики (или параллельные).

Быстродействие счетчиков характеризуется:

1) временем установления кода, отсчитываемым от начала входного сигнала до момента установления нового состояния;

2) временем распространения переноса (от начала входного сигнала до начала выходного, вызванного данным входным);

3) максимальной частотой входных импульсов $f_{\max}$, тогда $1/f_{\max}$ – минимальное время между двумя соседними импульсами, при котором в счетчике не происходит сбоя;

4) минимальной длительностью единичного и нулевого полутакта входного сигнала.

Для счетчика возможны следующие режимы работы:

1) регистрация числа поступивших на счетчик сигналов;

2) деление частоты.

В первом режиме результат – содержимое счетчика, во втором режиме выходными сигналами являются импульсы переполнения счетчика.

Как и любой автомат, счетчик можно строить на триггерах любого типа, однако удобнее всего использовать для этого триггеры типа T (счетные) и JK , имеющие при $J = K = 1$ счетный режим.

Большинство счетчиков работают в обычном двоичном коде, то есть считают от 0 до $(2N - 1)$, где N – число разрядов выходного кода счетчика. Например, 4-разрядный счетчик в режиме прямого счета будет считать от 0 (код 0000) до 15 (код 1111), а 8-разрядный – от 0 (код 0000 0000) до 255 (код 1111 1111). После максимального значения кода счетчик по следующему входному импульсу переключается опять в 0, то есть работает по кругу. Если же счет инверсный, то счетчик считает до нуля, а дальше переходит к максимальному коду 111...1.

Асинхронные счетчики

Асинхронные счетчики строятся из простой цепочки T -триггеров или JK -триггеров, каждый из которых работает в счетном режиме. Для получения суммирующего счетчика можно взять JK -триггеры с переключением по спаду (рис. 14.1), а для получения вычитающего счетчика – с переключением по фронту.

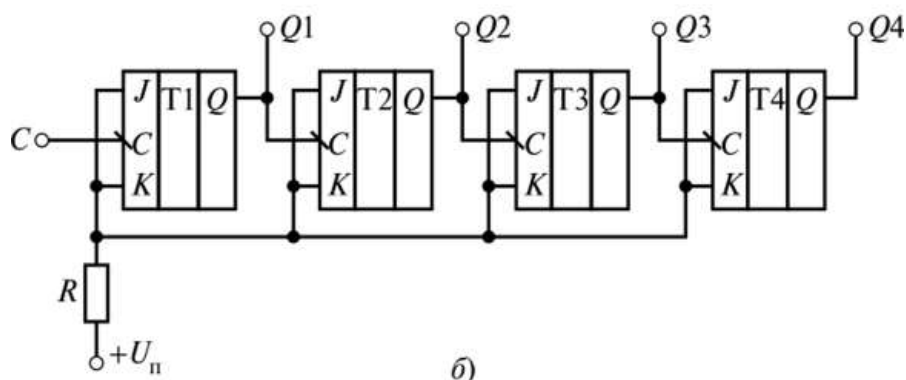


Рисунок 14.1 – Суммирующий счетчик на JK -триггерах

Выходной сигнал каждого триггера служит входным сигналом для следующего триггера. Поэтому все разряды (выходы) асинхронного счетчика переключаются последовательно (отсюда название – последовательные счетчики), один за другим, начиная с младшего и кончая старшим (рис. 14.2).

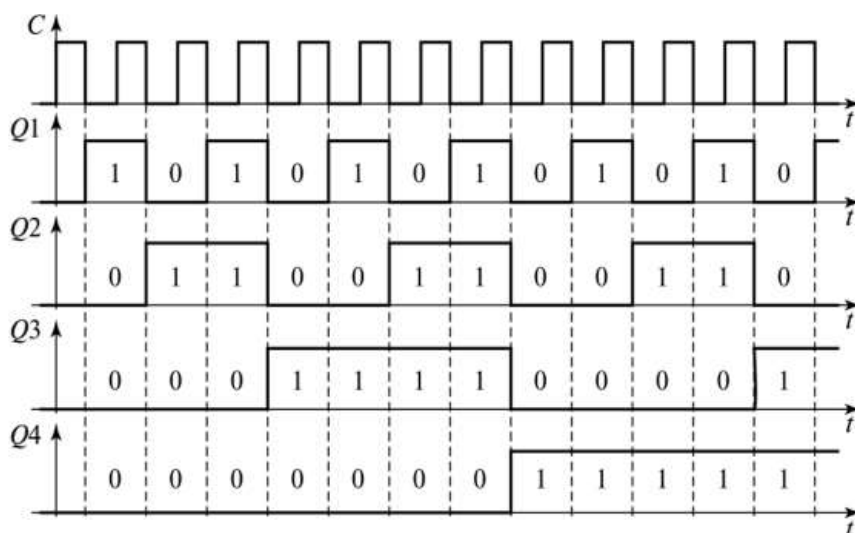


Рисунок 14.2 – Временная диаграмма работы счетчика

Каждый следующий разряд переключается с задержкой относительно предыдущего, то есть, вообще говоря, асинхронно, не одновременно с входным сигналом и с другими разрядами. Чем больше разрядов имеет счетчик, тем большее время ему требуется на полное переключение всех разрядов. Задержка переключения каждого разряда примерно равна задержке триггера, а полная задержка установления кода на выходе счетчика равна задержке одного разряда, умноженной на число разрядов счетчика. Это накладывает жесткие ограничения на период (частоту) входного сигнала, причем увеличение, к примеру, вдвое количества разрядов счетчика автоматически уменьшает вдвое предельно допустимую частоту входного сигнала.

Вычитающий счетчик – это счетчик, выходной двоичный код которого, уменьшается на единицу с приходом каждого счетного входного импульса. Такие счетчики называют еще счетчиками обратного действия. При достижении на выходе нулевого значения на всех разрядах циклический обратный счет продолжается со значения всех единиц на выходе. Вычитающий счетчик можно собрать на базе *JK*-триггеров. Например, схема трехразрядного вычитающего счетчика, составленного из *JK*-триггеров, изображена на рис. 14.3.

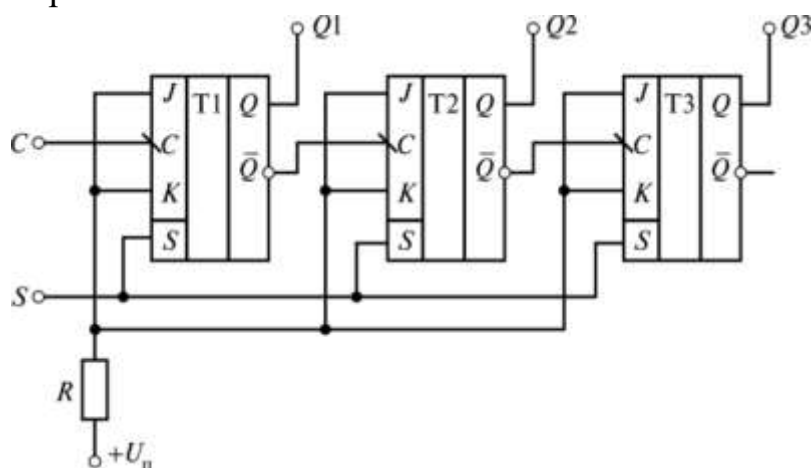


Рисунок 14.3 – Вычитающий счетчик на *JK*-триггерах

На схеме кроме счетного входа *C*, предусмотрен также вход установки счетчика. При $S = 1$ на выходах счетчика устанавливаются логические единицы. Это состояние счетчика является исходным. С приходом заднего фронта счетного импульса на вход *C* будет происходить декремент трехразрядного двоичного кода на выходах $Q1$, $Q2$ и $Q3$.

Основное применение асинхронных счетчиков состоит в построении всевозможных делителей частоты, то есть устройств, выдающих выходной сигнал с частотой, в несколько раз меньшей, чем частота входного сигнала. В данном случае нас интересует не выходной код счетчика, то есть не все его разряды одновременно, а только один разряд, поэтому взаимные задержки отдельных разрядов не играют роли, полная задержка переключения счетчика не имеет значения. Простейший пример делителя частоты на два – это триггер в счетном режиме или счетчик, выходным сигналом которого является выход первого, младшего разряда.

Построение счетчиков с произвольным модулем счета

На практике часто требуется строить счетчики с произвольными модулями счета. Наиболее распространён модуль счета, равный 10. Счётчики с модулем счета 10 называются двоично-десятичными. Построение счетчиков с произвольными модулями счета базируется на исключении лишних состояний двоичного счетчика. Для исключения лишних состояний двоичного счетчика можно воспользоваться дополнительной схемой. Для

этого необходимо взять счётчик со статическим входом C и разрядностью N , чтобы выполнялось условие: $2N - 1 < K_c < 2N$. Счетчик должен иметь вход сброса в нулевое состояние.

Схема строится по следующим правилам:

- 1) находится двоичное число модуля счета;
- 2) берётся элемент «И» с количеством входов, равным количеству единиц в двоичном числе модуля счета;
- 3) к каждому входу элемента «И» подключается тот выход счетчика, который соответствует разряду с логической 1 в двоичном числе модуля счета;
- 4) к выходу элемента «И» подключают вход S триггера с прямыми входами;
- 5) выход триггера подключают на вход сброса счетчика. Если вход сброса активен при логической 1, то к нему подключают прямой выход триггера, если вход сброса инверсный, то к нему подключают инверсный выход триггера;
- 6) вход R триггера соединяют со входом C двоичного счетчика. Если вход C активен при логическом 0, то через инвертор.

Схема счетчика с модулем счета $K_c = 10$ приведена на рис. 14.4.

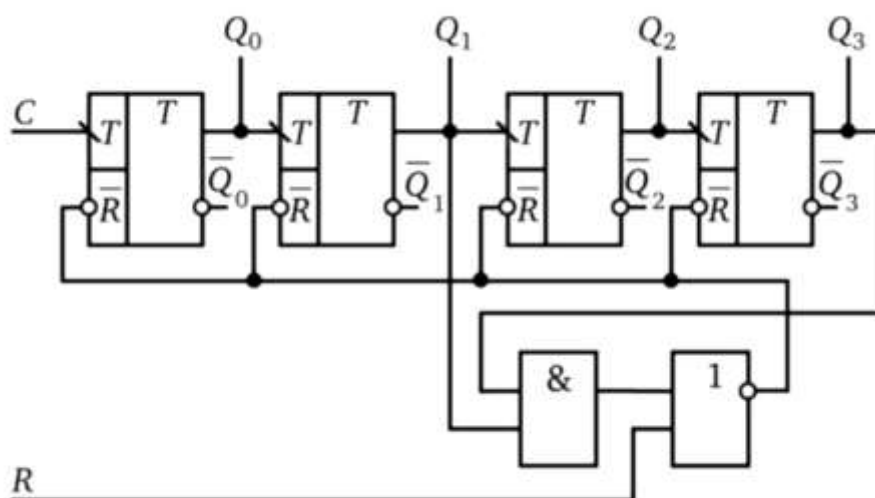


Рисунок 14.4 – Счетчик с модулем счета 10

Если в числе, на которое надо делить частоту, больше двух единиц (например, 15, то есть 1111, или 13, то есть 1101), то для формирования сигнала сброса надо использовать элементы «2И», «3И» или «4И», чтобы объединить все выходы, равные единице. В результате можно построить делитель входной частоты в любое число раз от 2 до $2N$, где N – число разрядов используемого счетчика. Правда, при организации обратных связей надо учитывать ограничение на быстродействие счетчика. Все разряды, используемые для обратной связи, должны успеть переключиться за один

период входного сигнала. Скважность выходного сигнала может принимать в данном случае самые разные значения, например, выходной сигнал может представлять собой очень короткие импульсы.

На асинхронных счетчиках можно строить также управляемые делители частоты, то есть такие делители, выходная частота которых определяется управляющим кодом.

Синхронные счетчики

В синхронных счетчиках тактирование триггеров осуществляется одним и тем же сигналом, поэтому переключение триггеров счетчика происходит синхронно и задержка переключения всего счетчика равна задержке для одного триггера. Такие счетчики обладают наибольшим быстродействием, однако требуют дополнительных схем возбуждения (СВ) входов управления триггеров. В зависимости от способа формирования сигналов возбуждения различают счетчики с параллельным переносом (сигналы на выходах СВ каждого сегмента формируются независимо – только с использованием выходных сигналов $Q_{N-1} \dots Q_0$ счетчика) и последовательным переносом (сигналы возбуждения триггера формируются с использованием сигналов возбуждения других сегментов счетчика, что снижает быстродействие за счет накопления задержек в СВ).

Синтез синхронного счетчика (как и любого синхронного последовательного автомата) на базе заданного типа триггеров можно провести по следующей методике. Исходя из необходимой последовательности смены выходных состояний счетчика (например, по графу переходов), составляется таблица его переключений и для каждого разряда определяются значения функций возбуждения входов управления триггеров. Таким образом, синтез счетчика сводится к синтезу схем возбуждения.

В качестве примера осуществим синтез схем трехразрядного суммирующего двоичного синхронного счетчика с $K_C = 8$, граф переходов которого представлен на рисунке 14.5, на базе синхронных импульсных Т-триггеров.

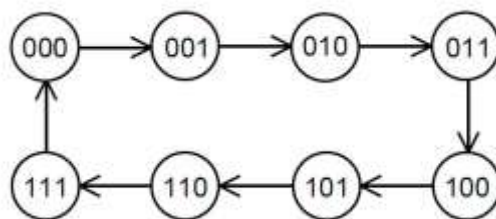


Рисунок 14.5 – Граф переходов

Таблица переключений такого счетчика и требуемые значения функций возбуждения T_2 , T_1 , T_0 входов управления и выходного сигнала переполнения (окончания счета) P представлены в таблице 14.1.

Таблица 14.1 – Таблица переключений трехразрядного суммирующего двоичного счетчика

Q_2	Q_1	Q_0	Q_2^+	Q_1^+	Q_0^+	T_2	T_1	T_0	P
0	0	0	0	0	1	0	0	1	0
0	0	1	0	1	0	0	1	1	0
0	1	0	0	1	1	0	0	1	0
0	1	1	1	0	0	1	1	1	0
1	0	0	1	0	1	0	0	1	0
1	0	1	1	1	0	0	1	1	0
1	1	0	1	1	1	0	0	1	0
1	1	1	0	0	0	1	1	1	1

Проведя минимизацию функций T_0 , T_1 , T_2 и P , получаем

$$T_0 = 1; T_1 = Q_0; T_2 = Q_1 \cdot Q_0; P = Q_2 \cdot Q_1 \cdot Q_0 \quad (14.1)$$

Схема спроектированного счетчика и временные диаграммы его работы представлены на рисунке 14.6. В схеме функция возбуждения T_2 триггера D4 реализуется элементом D3, а сигнал переполнения P – элементом D5.

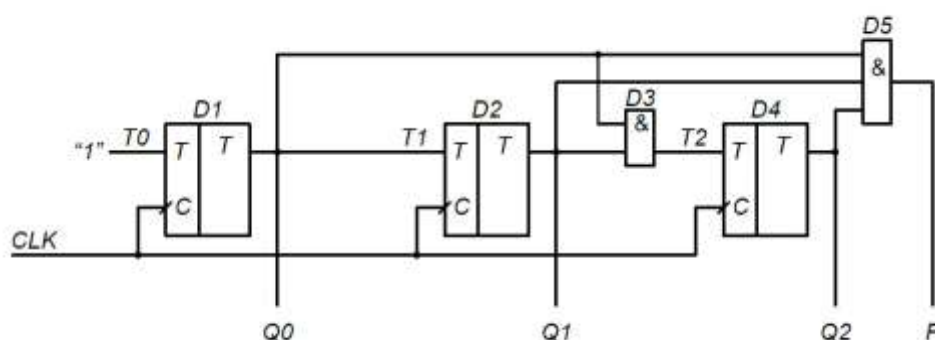


Рисунок 14.6 – Синхронный счетчик

ОПИСАНИЕ ЛАБОРАТОРНОЙ УСТАНОВКИ

В состав лабораторной установки входят: лабораторная макетная плата, блок питания и контактные перемычки.

ПОРЯДОК ВЫПОЛНЕНИЯ ТЕОРЕТИЧЕСКИХ РАСЧЕТОВ

Изучить принцип работы, схемы включения и возможности применения асинхронных счетчиков. Разработать принципиальную схему счетчика с заданным модулем счета на основе JK-триггеров. Данные взять из таблицы 14.2.

Таблица 14.2 – Индивидуальное задание

Последняя цифра номера зачетной книжки	Счетчик	Модуль счета
0	Суммирующий	5
1	Вычитающий	6
2	Суммирующий	9
3	Вычитающий	11
4	Суммирующий	13
5	Вычитающий	14
6	Суммирующий	6
7	Вычитающий	5
8	Суммирующий	11
9	Вычитающий	12

ПОРЯДОК ВЫПОЛНЕНИЯ ЭКСПЕРИМЕНТАЛЬНЫХ ИССЛЕДОВАНИЙ

1. На лабораторном стенде собрать с помощью контактных перемычек схему для исследования суммирующего счетчика на трёх *JK*-триггерах. Составить таблицу переходов.
2. На лабораторном стенде собрать с помощью контактных перемычек схему для исследования вычитающего счетчика на четырёх *JK*-триггерах. Составить таблицу переходов.
3. На лабораторном стенде собрать с помощью контактных перемычек схему для исследования счетчика с заданным коэффициентом счета. Составить таблицу переходов.
4. Рекомендуется сброс и установку триггеров организовать от отдельных кнопок.

СОДЕРЖАНИЕ ОТЧЕТА

1. Цель работы.
2. Таблица переходов для суммирующего счетчика.
3. Таблица переходов для вычитающего счетчика.
4. Схема счетчика для заданного коэффициента счета.
5. Таблица переходов для счетчика с заданным коэффициентом счета.
6. Выводы.

КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Дайте определение счетчика и счетчика-делителя.
2. Какие триггеры могут быть использованы для построения счетчика?
3. Каково отличие асинхронных и синхронных счетчиков?
4. Каковы функциональные особенности счетчиков с параллельным переносом?
5. Каково назначение информационных входов счетчика?

ЛИТЕРАТУРА

1. Горошков Б. И. Радиоэлектронные устройства / Б. И. Горошков. – М. : Радио и связь, 1984. – 400 с.
2. Кофлин Р., Дрискол Ф. Операционные усилители и линейные интегральные схемы / Р. Кофлин, Ф. Дрискол. – М. : Мир, 1979. – 360 с.
3. Искусство схемотехники / П. Хоровиц, У. Хилл; пер. с англ. Б. Н. Бронина [и др.]. – 7-е изд. – Москва : Бином ; М. : Мир, 2009. – 704 с.
4. Токхейм, Р. Основы цифровой электроники : учебное пособие / Р. Токхейм ; пер. с англ. В. А. Курочкина, В. М. Матвеева ; под ред. Е. К. Масловского. – М. : Мир, 1988. – 391 с.
5. Виблый, С. Г. Элементы электронных схем и основы технологии, конструирования и расчёта радиоэлектронных устройств : учебное пособие / С. Г. Виблый. — Чита : ЗабГУ, 2020. — 139 с. — ISBN 978-5-9293-2663-9. — Текст : электронный // Лань : электронно-библиотечная система. — URL: <https://e.lanbook.com/book/173613> (дата обращения: 27.04.2023). — Режим доступа: для авториз. пользователей.
6. Миловзоров, О. В. Электроника : учебник для вузов / О. В. Миловзоров, И. Г. Панков. — 6-е изд., перераб. и доп. — Москва : Юрайт, 2023. — 344 с. — (Высшее образование). — ISBN 978-5-534-00077-1. — Текст : электронный // Образовательная платформа Юрайт [сайт]. — URL: <https://urait.ru/bcode/510731> (дата обращения: 27.04.2023).

АНАЛИЗ И СИНТЕЗ ЭЛЕКТРОННЫХ УЗЛОВ ТЕХНИЧЕСКИХ СИСТЕМ

*Методические указания
к выполнению лабораторных работ*

Составители: **Карташов** Леонид Евгеньевич,
Чаленков Никита Игоревич

В авторской редакции

Изд. № 106/2023. Объем 6,5 п.л. Усл. печ. л. 6,04. Уч.-изд. л. 6,37.
РИИЦМ ФГАОУ ВО «Севастопольский государственный университет»