

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ
РОССИЙСКОЙ ФЕДЕРАЦИИ

Федеральное государственное автономное образовательное
учреждение высшего образования
«СЕВАСТОПОЛЬСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ»

КОМПЬЮТЕРНАЯ СХЕМОТЕХНИКА

Методические указания
к лабораторному практикуму по дисциплине
для студентов, обучающихся по направлениям
09.03.02 «Информационные системы и технологии»
09.03.03 «Прикладная информатика»
очной и заочной форм обучения

Севастополь
СевГУ
2023

УДК 004.2:621.3.049.77(076.5)
ББК 32.973-04я73
К637

Р е ц е н з е н т :

К. В. Кротов - доцент кафедры «Информационные системы»,
д-р техн. наук, доцент

Составитель: В. С. Чернега

К637 Компьютерная схемотехника : методические указания к лабораторному практикуму по дисциплине для студентов, обучающихся по направлению 09.03.02 «Информационные системы и технологии» и 09.03.03 «Прикладная информатика» очной и заочной форм обучения / Севастопольский государственный университет ; сост. В. С. Чернега. – Севастополь : СевГУ, 2023. – 79 с. – Текст : электронный.

Предназначены для оказания методической поддержки при проведения лабораторных работ по дисциплине «Компьютерная схемотехника». Целью указаний является методическая помощь студентам в выполнении и защите лабораторных работ. Излагаются теоретические и практические сведения о типовых элементах и функциональных узлах электронной техники, используемых в вычислительных и информационных системах, а также методические рекомендации, необходимые для выполнения лабораторных работ. В пособии содержатся программы исследований и требования к содержанию отчета.

УДК 004.2:621.3.049.77(076.5)
ББК 32.973-04я73

Методические указания рассмотрены и рекомендованы к изданию на заседании кафедры «Информационные системы», протокол № 9 от 26 апреля 2023 г.

© Чернега В. С., сост., 2023
© ФГАОУ ВО «Севастопольский
государственный университет», 2023

СОДЕРЖАНИЕ

Введение	4
Лабораторная работа № 1. Исследование цепей постоянного и переменного тока.....	5
Лабораторная работа № 2. Исследование полупроводниковых диодов и диодных схем.....	19
Лабораторная работа № 3. Исследование транзисторов и ключевых схем на биполярных и униполярных транзисторах.....	27
Лабораторная работа № 4. Исследование логических элементов и функциональных узлов на их основе.....	36
Лабораторная работа № 5. Исследование комбинационных цифровых устройств.....	45
Лабораторная работа № 6. Исследование триггерных устройств.....	52
Лабораторная работа № 7. Исследование двоичных счетчиков импульсов.....	61
Лабораторная работа № 8. Исследование способов построения и функционирования регистров.....	72
Список рекомендованной литературы.....	79

ВВЕДЕНИЕ

В процессе изучения дисциплины «Компьютерная схемотехника» студенты должны изучить основы электроники, приобрести знания о конструкциях, принципах действия, параметрах и характеристиках различных полупроводниковых приборов и электронных функциональных узлов, применяемых в информационно-вычислительной технике и прикладной информатике.

Целью лабораторных работ по данной дисциплине является углубление теоретических знаний в области компьютерной цифровой схемотехники, а также приобретение практических навыков создания цифровых электронных функциональных узлов и исследования их функционирования с помощью специализированного электро- и радиоизмерительного оборудования.

Лабораторные работы проводятся в виртуальной среде моделирования электронных и микропроцессорных систем Proteus. Выполнение лабораторных работ по дисциплине «Компьютерная схемотехника» предполагает знание дисциплин «Дискретные структуры» и «Физики», в частности, раздела «Электричество и магнетизм» которые входят в учебные планы подготовки бакалавров по направлениям «Информационные системы и технологии» и «Прикладная информатика». Для ознакомления студентов с системой Proteus предусмотрено выполнение лабораторной работы по изучению этой среды и приобретению практических навыков исследования полупроводниковых приборов и цифровых функциональных узлов в данной среде.

ИССЛЕДОВАНИЕ ЦЕПЕЙ ПОСТОЯННОГО И ПЕРЕМЕННОГО ТОКА

1. Цель работы

Экспериментальные исследования цепей постоянного и переменного тока. Приобретение практических навыков измерения электрических параметров с помощью электро- и радиоизмерительных приборов.

2. Основные теоретические положения

В электронных устройствах информационно-вычислительной техники широко используются делители напряжения на резисторах (рис.2.1). Они применяются для уменьшения значения входного (питающего) напряжения, задания требуемых напряжений в некоторых точках схемы, установки смещений в усилительных каскадах.

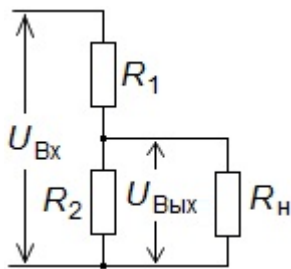


Рисунок 2.1 Схема делителя напряжения

Выходное напряжение делителя $U_{\text{Вых}}$ зависит от значения входного (питающего) напряжения $U_{\text{Вх}}$ и значения сопротивления резисторов. Чтобы уменьшить влияние сопротивления нагрузки на выходное напряжение $U_{\text{Вых}}$ делителя и обеспечения точности делителя напряжения, необходимо выполнять сопротивление резистора R_2 должно быть приблизительно на два порядка меньше (в 100 раз) сопротивления нагрузки $R_{\text{н}}$ подключаемой к выходу делителя. Если высокая точность не нужна, то эту разницу можно снизить до 10 раз.

Выходное напряжение $U_{\text{Вых}}$ по известным значениям входного напряжения $U_{\text{Вх}}$ и сопротивлений резисторов R_1 , R_2 , с учетом большого сопротивления нагрузки вычисляется на основании закона Ома по формуле:

$$U_{\text{Вых}} = \frac{U_{\text{Вх}} R_2}{R_1 + R_2}. \quad (2.1)$$

Пример: Рассчитать параметры делителя при входном напряжении 12В, если напряжение на сопротивлении нагрузки величиной 1 кОм должно быть 3В.

Решение: Так как сопротивление нагрузки $R_{\text{н}}=1$ кОм, то сопротивление R_2 выбираем равным 10 Ом. R_1 находим из формулы 2.1.

$$R_1 = \frac{(U_{\text{Вх}} - U_{\text{Вых}}) R_2}{U_{\text{Вых}}}.$$

Подставив значения входного $U_{Вх}$ и выходного $U_{Вых}$ напряжений и резистора R_2 , получим $R_1 = 30$ Ом.

Определим рассеиваемую мощность резисторов по формуле $P=I^2R$. Здесь I – ток делителя, равный $U_{Вх}/(R_1+R_2)=12/40=0,3$ А.

Для резистора R_1 : $P_1 = 0,3^2 \cdot 30 = 2,7$ Вт. Выбираем резистор с ближайшей большей стандартной рассеиваемой мощностью 3 Вт. Для резистора R_2 : $P_1 = 0,3^2 \cdot 10 = 0,9$ Вт. Выбираем резистор со стандартной мощностью $P_2=1$ Вт.

В качестве R_2 делителя напряжения также может применяться сама нагрузка с её внутренним сопротивлением R_n . В таком случае, R_2 приравнивается к сопротивлению нагрузки R_n , и используются те же формулы, которые применимы к двум независимым резисторам.

Очень широко в электронных схемах применяются также RC-цепочки (рис.2.2). Они выполняют функции фильтров, элементов задержки, а также интегрирующих и дифференцирующих цепочек в цифровых схемах.



Рисунок 2.2 – Дифференцирующая (а) и интегрирующая (б) цепочки

RC-цепочки представляют собой четырехполюсник (2 провода на входе и два на выходе). Важнейшей характеристикой четырехполюсника является его комплексный коэффициент передачи $K(j\omega)$, т.е. зависимость напряжения (или тока) на выходе четырехполюсника от напряжения (тока) на его входе от частоты входного сигнала. Эта зависимость носит комплексный характер, т.е., изменяется не только напряжение или ток на выходе, но и фаза выходного напряжения (тока) по отношению к фазе входного сигнала. Математически эта зависимость выражается с помощью комплексных чисел (действительно и мнимой частей).

$$\dot{K}_U(j\omega) = \frac{\dot{U}_{вых}(j\omega)}{\dot{U}_{вх}(j\omega)}; \quad \dot{K}_I(j\omega) = \frac{\dot{I}_{вых}(j\omega)}{\dot{I}_{вх}(j\omega)}.$$

Коэффициент передачи можно представить в комплексной форме в виде:

$$\dot{K}(j\omega) = K(\omega)e^{j\varphi(\omega)}.$$

где $K(\omega)$ – модуль коэффициента передачи; $\varphi(\omega)$ – аргумент (фаза) коэффициента передачи.

Зависимость $K(\omega)$ называют амплитудно-частотной характеристикой (АЧХ) четырехполюсника, а зависимость $\varphi(\omega)$ – фазо-частотной характеристикой (ФЧХ).

Коэффициент передачи для цепочки (рис.2.2,б) можно рассчитать на основании закона Ома. Он равен

$$K(j\omega) = \frac{U_{\text{вых}}}{U_{\text{вх}}} = \frac{\frac{1}{j\omega C}}{R + \frac{1}{j\omega C}} = \frac{1}{1 + j\omega\tau},$$

где $\tau = RC$ – постоянная времени цепочки, это время, в течение которого напряжение на конденсаторе изменяется в $e \approx 2,7$ раз ($\approx$ на 37% от исходного значения).

Дифференцирующая цепочка отличается от интегрирующей тем, что выходное напряжение снимается с резистора, а не с конденсатора. Выражение для коэффициента передачи такой цепи определяется по формуле

$$K(j\omega) = \frac{U_{\text{вых}}}{U_{\text{вх}}} = \frac{R}{R + \frac{1}{j\omega C}} = \frac{j\omega\tau}{1 + j\omega\tau}.$$

Амплитудно-частотные и фазо-частотные характеристики интегрирующей и дифференцирующей цепей показаны соответственно на рисунках 2.3а и б. Как видно из графиков, интегрирующая цепочка является фильтром нижних частот (ФНЧ), а дифференцирующая – фильтром верхних частот (ФВЧ).

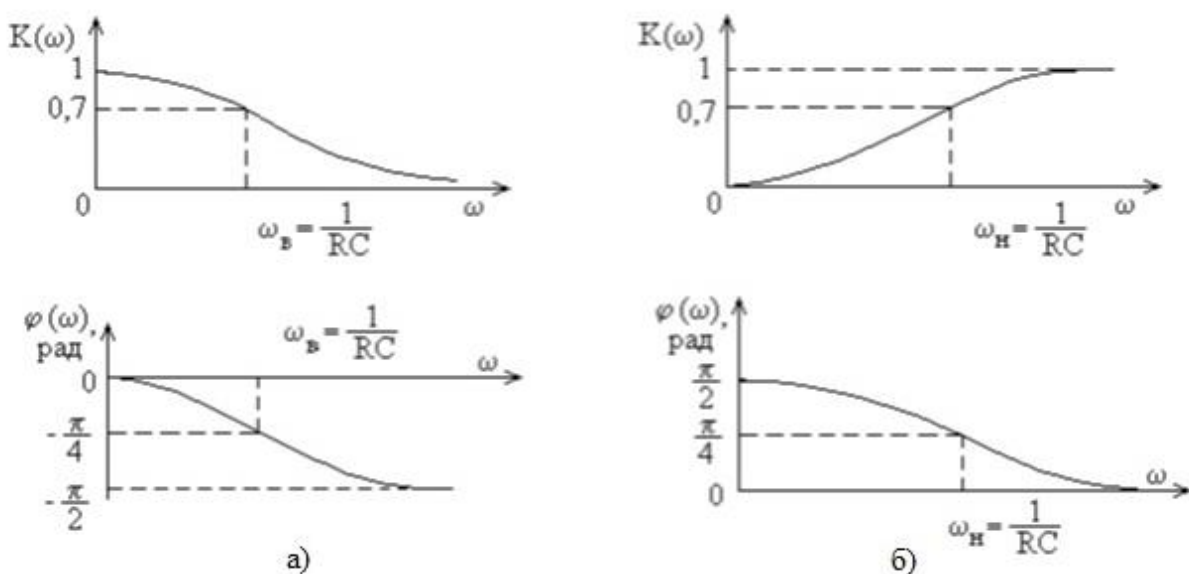


Рисунок 2.3 – АЧХ и ФЧХ интегрирующей (а) и дифференцирующей (б) RC-цепочек

Вид АЧХ интегрирующей и дифференцирующих цепочек в логарифмическом масштабе показан на рис.2.4 а и б.

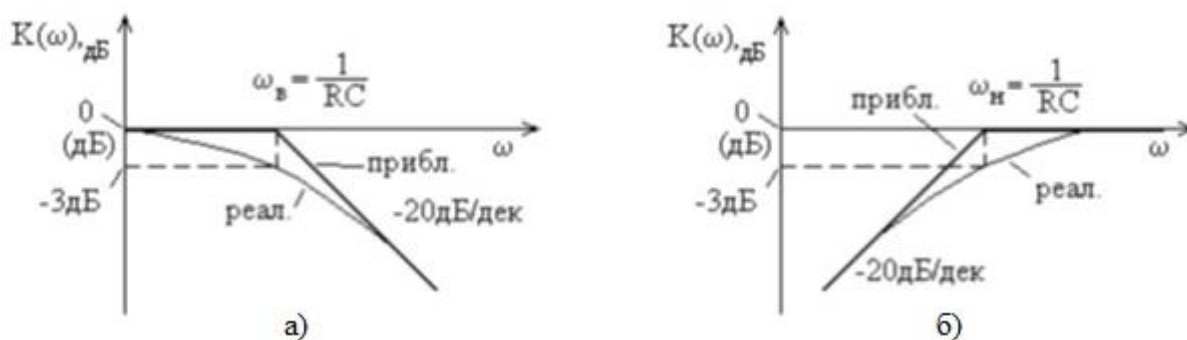


Рисунок 2.4 – Логарифмические АЧХ и ФЧХ интегрирующей (а) и дифференцирующей (б) цепочек

На рисунках 2.5 изображены временные диаграммы сигналов на выходах дифференцирующей (а) и интегрирующей (б) цепочек при подаче на их входы последовательности прямоугольных импульсов.

При анализе процессов заряда и разряда конденсатора следует учитывать **второй закон коммутации**: напряжение на конденсаторе в момент коммутации сохраняет свое докоммутационное значение и в дальнейшем начинает изменяться с него: $U_C = (0+) = U_C(0-)$.

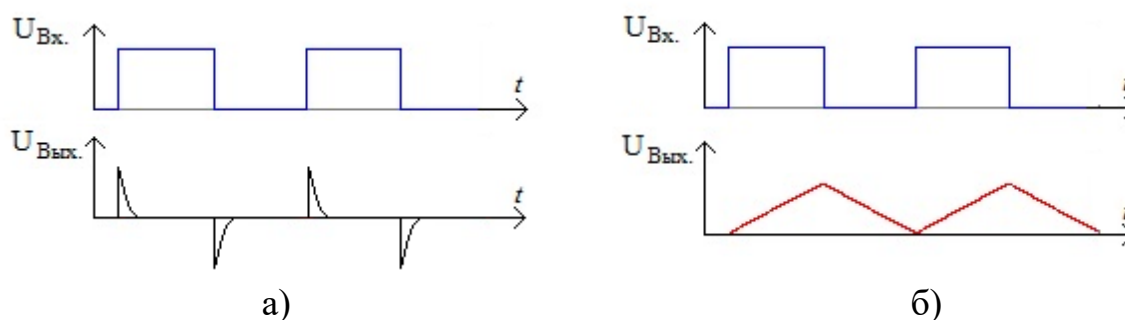


Рисунок 2.5 – Временные диаграммы дифференцирующей (а) и интегрирующей (б) RC-цепочек

При построении практических схем дифференцирующих и интегрирующих цепочек требуется выдерживать соотношение между величиной постоянной времени цепочки τ и длительностью импульса $t_{\text{имп}}$:

для дифференцирующей цепочки требуется $\tau \ll t_{\text{имп}}$;

для интегрирующей цепочки $\tau \gg t_{\text{имп}}$.

3. Описание лабораторной установки и методика создания и исследования схем

Лабораторная установка состоит из персонального компьютера, на котором установлены система моделирования электронных и микропроцессорных систем Proteus VSM. Proteus VSM по умолчанию устанавливается в папку C:\Program\Files\ Labcenter Electronics\Proteus. При запуске программы **ISIS.exe**

появляется основное окно (Рисунок 3.1). Оно в свою очередь состоит из нескольких окон.

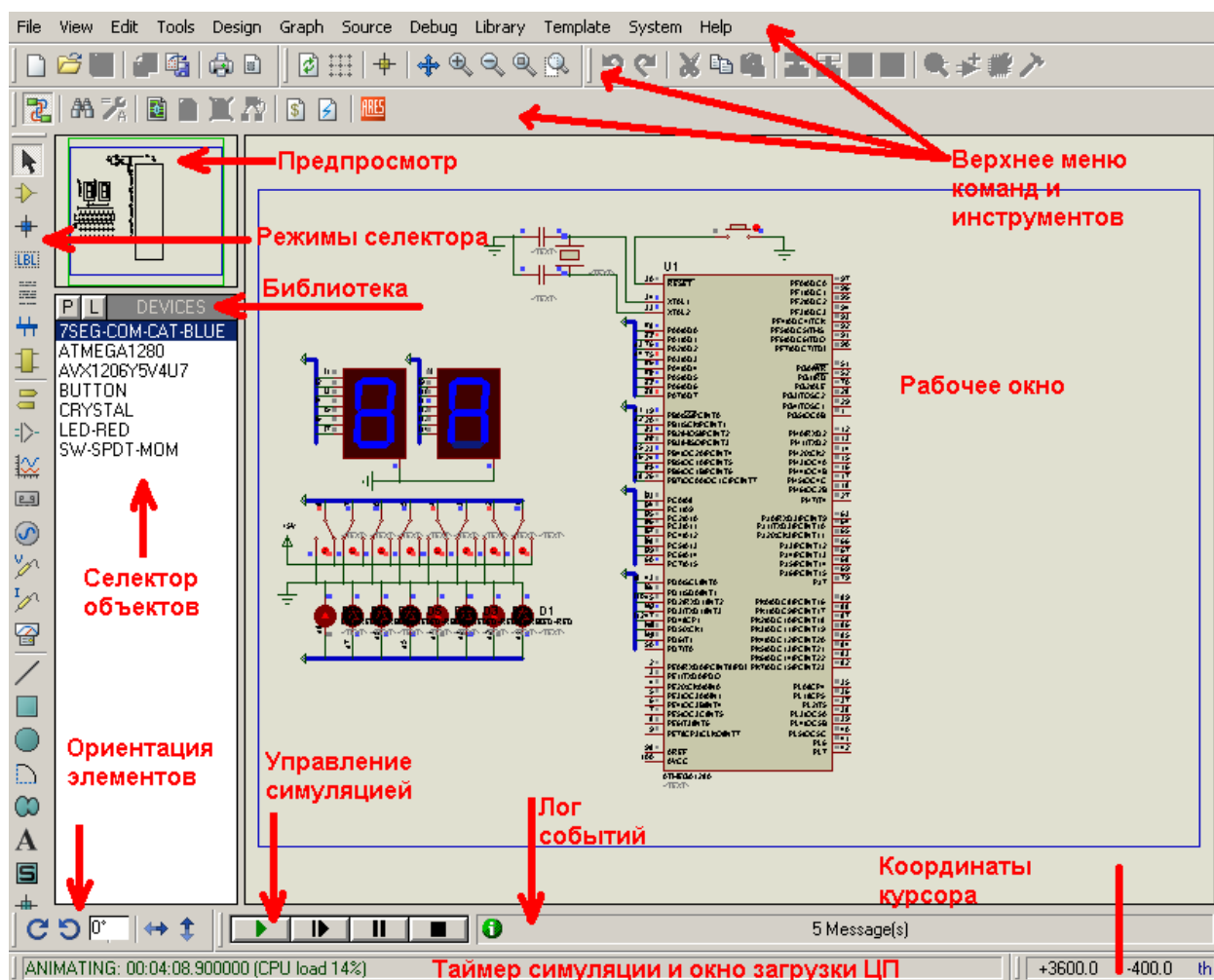


Рисунок 3.1 – Главное окно системы Proteus VSM

Самое большое пространство отведено под Рабочее окно, в котором выполняются все основные процессы создания, редактирования и отладки схемы устройства. Слева вверху маленькое окно предварительного просмотра (Overview Window) с его помощью можно перемещаться по окну редактирования (щелкая левой кнопкой мыши по окну предварительного просмотра, можно перемещать окно редактирования по схеме, если схема не вмещается в окно).

Все возможные функции и инструменты Proteus VSM доступны через меню, расположенное в самом верху основного окна программы, через пиктограммы находящиеся под меню и в левом углу основного окна, а также через горячие клавиши, которые могут переназначаться пользователем.

В самом низу основного окна расположены: слева направо кнопки вращения и разворота объекта вокруг своей оси, панель управления интерактивной симуляцией (функции: ПУСК-ПОШАГОВЫЙ РЕЖИМ-ПАУЗА-СТОП). В строке журнала событий отображаются ошибки, подсказки, теку-

щее состояние процесса симуляции и т.д., а также координаты курсора, которые отображаются в дюймах.

Перед созданием и моделированием исследуемой схемы необходимо сначала на бумаге начертить эту схему, затем выполнить следующие действия:

1. Создать новый проект, для чего в меню Файл выбрать соответствующую опцию (при запуске ISIS.exe он создается по умолчанию, как и в любой другой программе).

2. Зайти в библиотеку компонентов через клавиши меню «Библиотека-Выбор устройства» или нажав кнопку «P» в окне DEVICES (Рисунок 3.2).

3. Выбрать нужные компоненты. При выборе элементов можно воспользоваться группами элементов (в библиотеке элементы сгруппированы по классам), а можно поиском, для чего в строку keywords (Маска) необходимо ввести имя требуемого элемента, после выбора каждого элемента нажать ОК, после чего снова можно зайти в библиотеку. Компоненты набираются по одному экземпляру, размножить их можно уже потом просто выбирая в списке Object Selector.

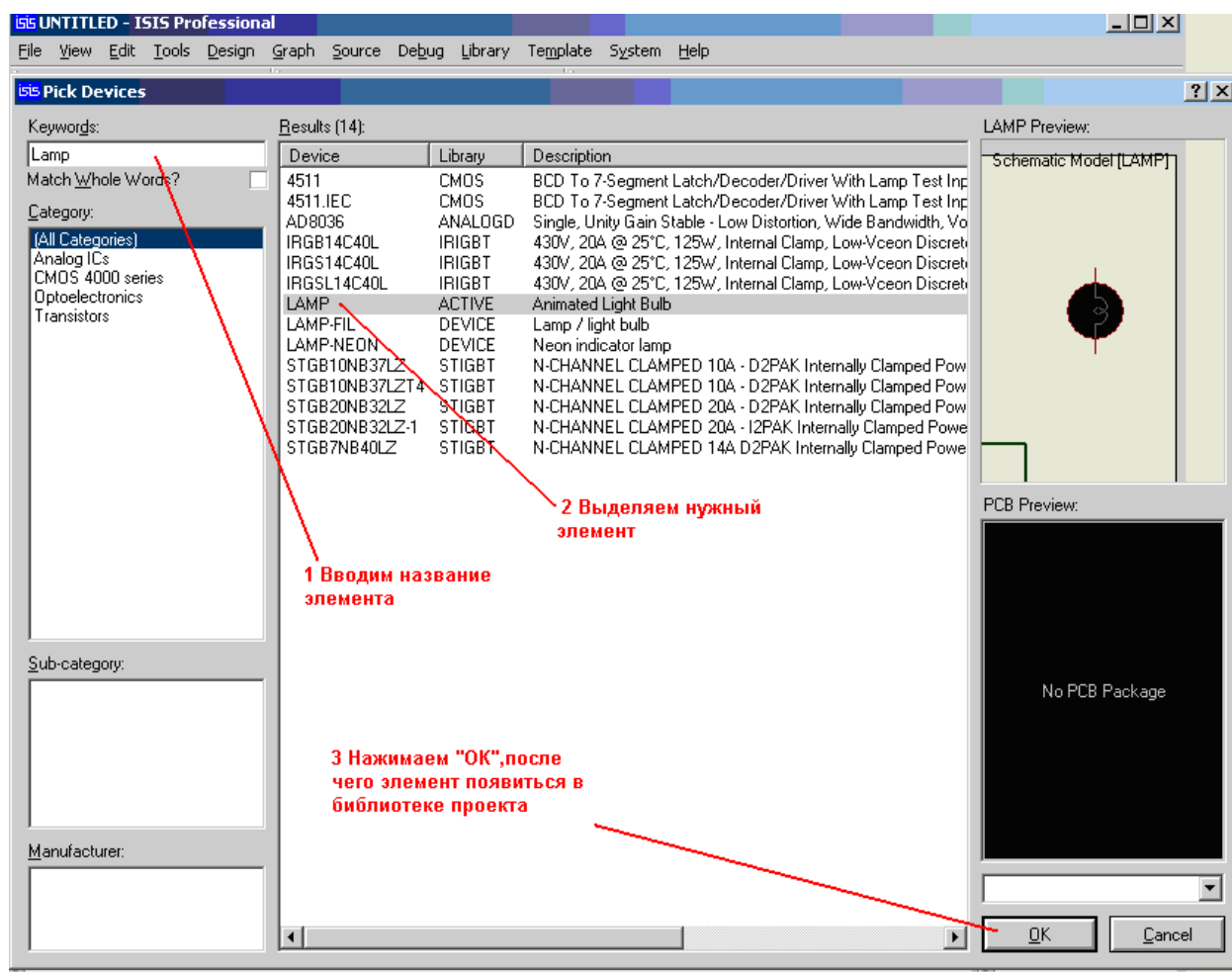


Рисунок 3.2 – Выбор элементов из библиотеки

Для того чтобы изменять параметры объектов, их нужно сначала выделить, что

можно сделать только на остановленном проекте. Для выделения одного объекта надо щелкнуть по нему правой кнопкой мыши. Для выделения группы выделить первый элемент, затем нажать CTRL и последовательно щелкать левой кнопкой мыши по всем необходимым объектам. Выделять объекты надо осторожно, повторный щелчок правой кнопкой мыши по выделенному объекту удалит его, (удалить выделенные объекты можно еще, нажав кнопку DELETE) . После выбора всех элементов схемы осуществляется переход к следующему пункту.

4. Добавить терминальные элементы питания и сигнальной земли. В окне выбора режима селектора нажать на кнопку «Терминалы» (terminals), выделить Ground (земля) и поместить её на рабочее поле также, как и предыдущие элементы. Аналогично выделить терминал Power (источник питания) и поместить на поле схемы.

5. Задать параметры терминалу Power. Двойным щелчком левой кнопки мыши по элементу Power (источник питания) открыть окно его свойств (рисунок 3.3), в появившемся окне во вкладке Label в графе string задать «+5V» или другое требуемое напряжение и нажать «ОК».

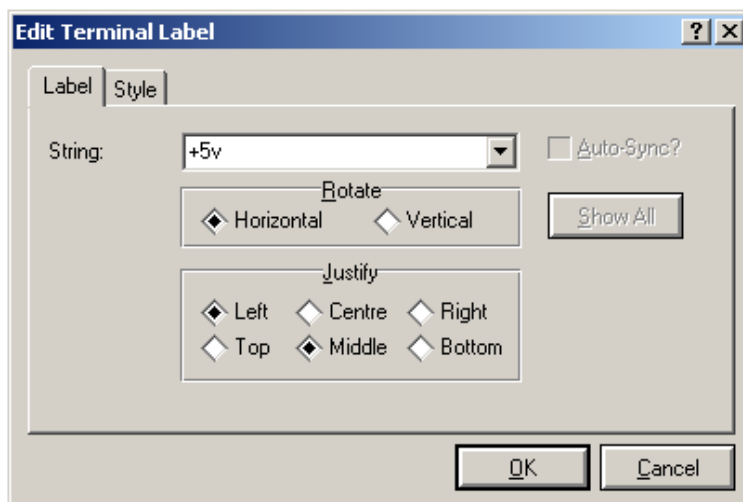


Рисунок 3.3 – Пример задания требуемого напряжения источника питания

6. Соединить элементы согласно разработанной схеме. Подвести курсор мыши к проводнику, выходящему из элемента (курсор меняет цвет на зелёный), нажать левой кнопкой мыши и подвести проводник к элементу, с которым нам необходимо его соединить, после чего нажать левую кнопку мыши ещё раз.

Пример подключения генератора сигналов и измерительных устройств (вольтметра, осциллографа и анализатора частотных характеристик показан на рисунке 3.4. Следует учесть, что в процессе выполнения лабораторной работы при моделировании на рабочем поле должна быть только одна из схем: либо для измерения временных характеристик с помощью осциллографа, либо частотных характеристик с помощью частотного анализатора.

7. Запустить процесс симуляции. Для этого в меню Отладка (DEBUG) вы-

брать опцию «Запуск» или нажать внизу на кнопку «Воспроизвести».

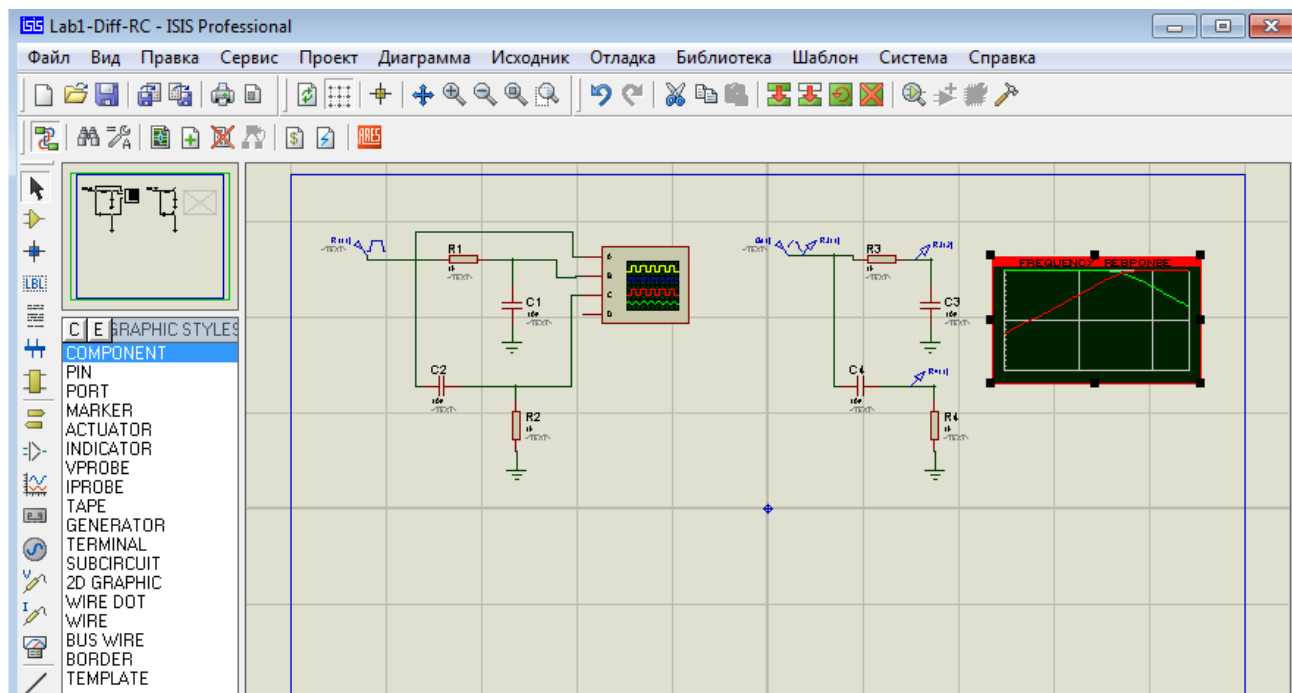


Рисунок 3.4 – Пример изображения схем исследования импульсных и частотных характеристик RC -цепей

8. Затем, в зависимости от вида проводимого эксперимента, записать показания измерительных приборов, зарисовать осциллограммы сигналов либо АЧХ и ФЧХ исследуемых схем.

Примечание:

а) источники питания выбираются в библиотеке в категории Miscellaneous, подкатегории BATTERY;

б) переключатели выбираются в библиотеке в категории Switches&Relais, элемент BUTTON;

в) регулируемый резистор выбирается в библиотеке в категории Resistors, подкатегории VARIABLE, элемент POT-HG;

г) трансформаторы и катушки индуктивности выбираются в категории Inductors, для трансформатора – элемент TRAN;

д) измерительные приборы, щупы и другие виртуальные инструменты выбирается в левом крайнем столбце селекторов, в частности, анализатор частотных характеристик выбирается в селекторе Диаграмма, элемент FREQUENCY.

Для измерения АЧХ и ФЧХ цепи в программе Proteus необходимо использовать инструменты:

- генератор (режим Generator Mode, выбрать “sine”);
- диаграмма (режим Graph Mode, выбрать “Frequency”);
- пробник (режим Probe Mode, выбрать щуп напряжения).

На первом скриншоте (Рисунок 3.5) эти инструменты отмечены красными стрелками.

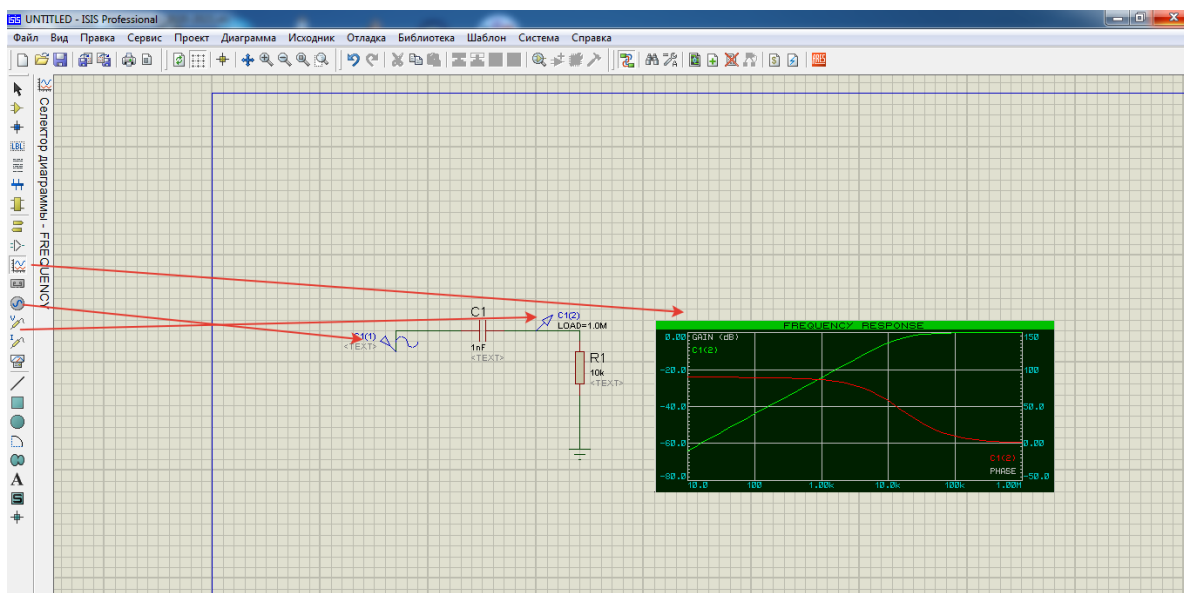


Рисунок 3.5 – Общий вид рабочего окна программы в режиме измерения АЧХ и ФЧХ

Прежде чем приступить к измерениям, необходимо собрать исследуемую схему, подключив к ее входу генератор (источник сигнала). Его настройки по умолчанию показаны на рисунке 3.6.

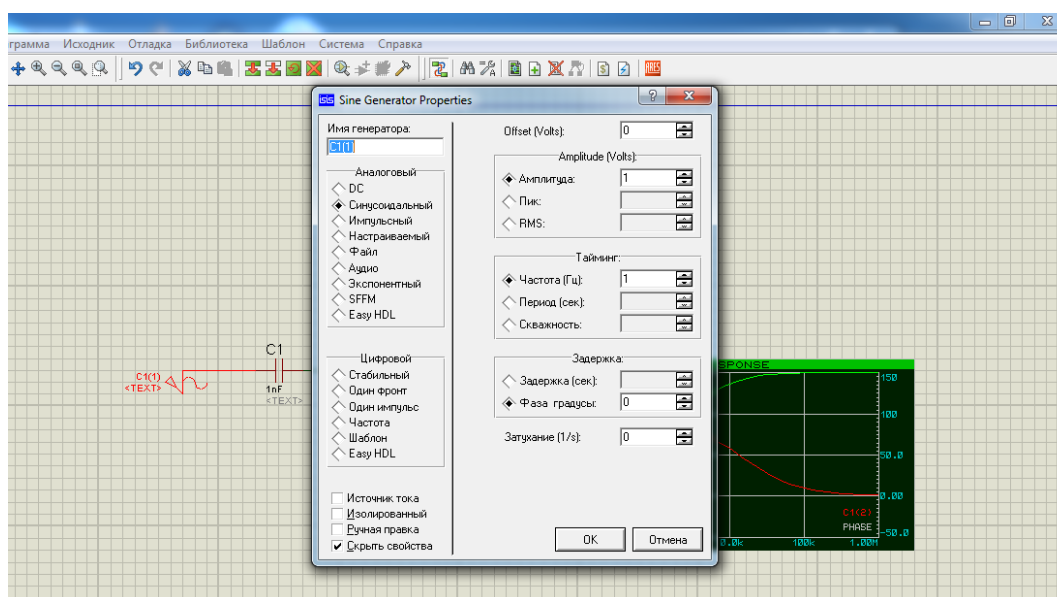


Рисунок 3.6 – Стандартные настройки генератора

Вместо осциллографа следует использовать графический анализатор (инструмент «Диаграмма» в режиме «Frequency». Чтобы разместить анализатор АЧХ на рабочем столе, нужно выделить пиктограмму «Graph Mode» и выбрать, устройство «Frequency», перевести курсор на свободное место и щелкнуть левой кнопкой мыши (ЛКМ). Затем следует растянуть экран анализатора до максимально возможного размера.

Чтобы анализатор показывал сигналы в требуемых точках цепи, следует применить пробник (щуп напряжения). Количество пробников зависит от того, в каких точках схемы необходимо измерить сигнал. В данном примере нам достаточно выполнить измерение на выходе схемы (точка между правой обкладкой конденсатора C1 и верхним выводом резистора R1). Щелчком ЛКМ установить пробник в данной точке схемы.

Чтобы активировать анализатор, нужно выделить щуп напряжения (появится крестик рядом с изображением) и, удерживая ЛКМ, перетащить его на экран анализатора. Если бросить изображение пробника возле левой вертикальной границы экрана анализатора, то это позволит измерять коэффициент передачи (усиления) схемы. Если возле правой, то можно будет измерять сдвиг фазы выходного сигнала по отношению к фазе входного. Так как в этой работе нужны и АЧХ (коэффициент передачи) и ФЧХ (фаза), то выполняем данную процедуру пробником дважды.

И, наконец, чтобы все заработало, необходимо указать анализатору элемент, который будет являться источником сигнала. В нашем случае – это генератор, обозначенный C1(1).

По аналогии со щупом выделяем его (должен появиться крестик) и перетаскиваем выделенное изображение на диаграмму.

Если все сделано правильно, то для запуска режима симуляции достаточно навести курсор на прямоугольник диаграммы и нажать на клавиатуре клавишу «пробел». Запускается программа симуляции и в установленном частотном диапазоне можно наблюдать результат ее работы. В примере на рисунке 3.7 частотный диапазон составляет 10 Гц – 1 МГц. Этот диапазон можно изменить указания желаемого диапазона в настройках анализатора.

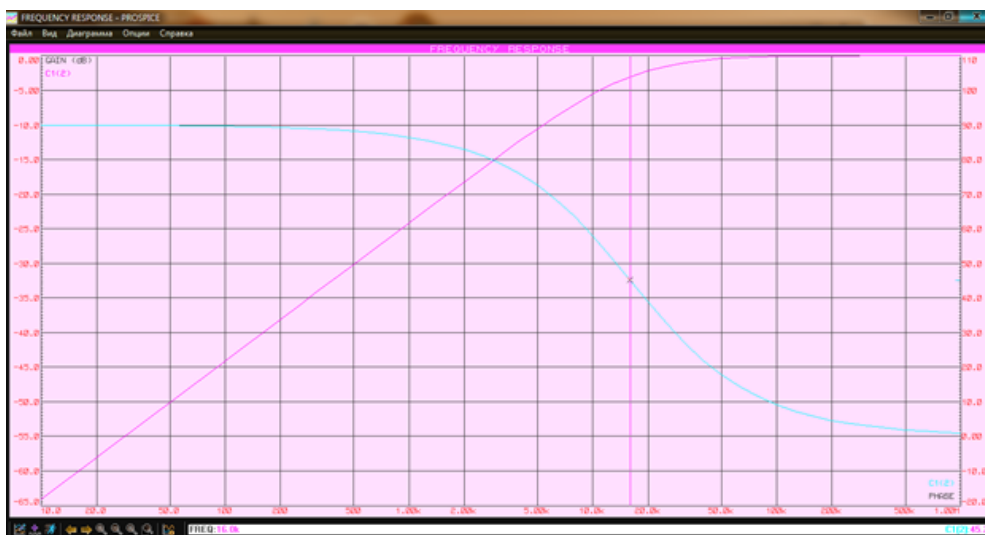


Рисунок 3.7 – Пример построения АЧХ и ФЧХ исследуемой цепи

Вид скриншота на рисунке 3.7 для большей наглядности показан в инверсном виде. В системе Proteus графики функций отображаются на черном фоне. Данная картинка содержит достаточно полную информацию об АЧХ и ФЧХ цепи. Обратите внимание на вертикальную линию, установленную вруч-

ную на значении фазы 45° . Ему соответствует частота 16 кГц, которая в рассматриваемом примере является частотой среза цепи ($f_0=1/(2\pi RC)$). Хорошо видно, что данная цепь представляет собой фильтр верхних частот.

4. Программа выполнения лабораторной работы

- 4.1. Рассчитать параметры делителя напряжения на резисторах для заданных входного и выходного напряжений и сопротивления нагрузки в соответствии с заданным вариантом (Приложение А). Номер варианта соответствует дате вашего дня рождения.
- 4.2. Составить в среде моделирования Proteus схему делителя с заданными параметрами и экспериментально измерить выходное напряжение делителя.
- 4.3. Исследовать зависимость выходного напряжения делителя при изменении сопротивления нагрузки от максимального значения до 0,1% от R_n .
- 4.4. Составить в среде моделирования дифференцирующие и интегрирующие RC -цепи при заданных значениях сопротивления и емкости (Приложение Б).
- 4.5. Исследовать временные диаграммы сигналов на выходах дифференцирующих и интегрирующих цепочек при подачи на вход последовательности прямоугольных импульсов типа меандр с частотой и амплитудой импульсов, заданной соответствующим вариантом (Приложение Б).
- 4.6. Исследовать АЧХ и ФЧХ дифференцирующей и интегрирующей цепей в диапазоне частот от 0 до 1 МГц в линейном и логарифмическом масштабах.

5. Содержание отчета

- 5.1. Цель и программа работы.
- 5.2. Расчетные соотношения для исследуемых схем.
- 5.3. Принципиальные электрические схемы исследуемых устройств.
- 5.4. Таблицы и графики экспериментальных исследований.
- 5.5. Выводы по результатам экспериментов.

6. Контрольные вопросы

- 6.1. Чем отличаются между собой проводники, диэлектрики и полупроводники?
- 6.2. Объясните, как и почему влияет сопротивление нагрузки на выходное напряжение делителя?
- 6.3. Какими основными параметрами характеризуются типовые пассивные элементы электронных схем (сопротивление, проводимость, емкость и ин-

дуктивность) и как они изменяются от геометрических размеров, температуры, частоты сигналов?

- 6.4. Выберите из предлагаемого набора электрических компонентов элементы различных типов и охарактеризуйте их параметры.
- 6.5. Назовите основные параметры импульсов и периодической импульсной последовательности. Покажите, как на практике измерить такие параметры.
- 6.6. Начертите схемы дифференцирующей и интегрирующей цепочек и временные диаграммы изменения сигналов на выходах этих цепочек при подаче на их вход периодической последовательности импульсов.
- 6.7. Как будет изменяться форма импульсов на выходе дифференцирующей цепочки при увеличении емкости конденсатора?
- 6.8. Поясните, как будет изменяться АЧХ интегрирующей цепочки при увеличении емкости конденсатора и с чем это изменение связано.
- 6.9. Каким образом с помощью осциллографа можно измерить амплитуду и частоту импульсной последовательности?
- 6.10. Какими тремя способами в системе Proteus можно измерить напряжение в заданной точке схемы?

ПРИЛОЖЕНИЕ А

Параметры делителя напряжения

Вариант	Входное напряжение, В	Выходное напряжение, В	Сопротивление нагрузки, кОм	Примечание
1	6	3	1	
2	9	5	1,2	
3	8	5	1,4	
4	12	8	2	
5	14	9	2,2	
6	15	10	0,8	
7	18	12	1,1	
10	7	5	3	
11	11	6	5	
12	16	12	4	
13	18	10	3,3	
14	20	15	1,7	
15	22	12	2,7	
16	9	6	3,1	
17	12	5	2	
18	15	9	3	
19	11	3	1	
20	13	6	2	
21	17	12	1,6	
22	19	10	2,2	
23	21	17	1,7	
24	16	5	1,4	
25	18	12	2,6	

ПРИЛОЖЕНИЕ Б

Параметры дифференцирующей и интегрирующей цепей

Вариант	Частота импульсов, Гц	Амплитуда импульсов, В	Дифцепочка		Интегрирующая	
			R, кОм	C, пФ	R, кОм	C, нФ
1	1000	2	10	100	100	10
2	1000	4	12	2000	150	8
3	1200	5	15	2000	100	12
4	1500	6	16	1000	51	20
5	10000	3	9,1	80	20	30
6	8000	7	5	150	47	22
7	1000	2	8	120	100	10
8	9000	5	5	150	47	22
9	1200	3	18	1500	120	10
10	1000	4	14	2200	150	8
11	1200	5	13	1000	100	12
12	1500	6	16	2000	51	20
13	10000	3	9,1	80	20	30
14	8000	7	5	150	47	22
15	1300	9	18	1500	120	10
16	2500	3	15	3000	33	47
17	1000	2	10	100	100	10
18	1000	4	12	2000	150	8
19	1200	5	15	2000	100	12
20	1500	6	16	1000	51	20
21	10000	3	9,1	80	20	30
22	8000	7	5	150	47	22
23	1000	2	8	120	100	10
24	1000	4	14	2200	150	8
25	1200	5	13	1000	100	12
26	1500	6	16	2000	51	20
27	10000	3	9,1	80	20	30
28	8000	7	5	150	47	22
29	1200	4	12	2000	150	8
30	1000	5	15	2000	100	12
31	1600	6	16	1000	51	20

ИССЛЕДОВАНИЕ ПОЛУПРОВОДНИКОВЫХ ДИОДОВ И ДИОДНЫХ СХЕМ

3. Цель работы

Экспериментальные исследования характеристик полупроводниковых диодов и схем преобразования переменного тока в постоянный и схем стабилизации напряжений. Приобретение практических навыков измерения электрических параметров и регистрации временных диаграмм с помощью электро- и радиоизмерительных приборов.

4. Основные теоретические положения

Полупроводниковым диодом называют полупроводниковый прибор с одним или несколькими p - n -переходами и двумя выводами. В зависимости от основного назначения и вида используемого явления в p - n -переходе различают шесть основных функциональных типов полупроводниковых диодов: выпрямительные, высокочастотные, импульсные, туннельные, стабилитроны и варикапы. Каждый тип диода содержит ряд типоминалов, регламентированных соответствующим стандартом. По виду используемого полупроводникового материала различают диоды, выполненные на основе германия, кремния или арсенида галлия.

Полупроводниковые диоды характеризуются рядом параметров, основными из которых являются следующие.

Максимально допустимый выпрямленный ток I_{max} — средний за период ток через диод (постоянная составляющая), при котором обеспечивается его надежная длительная работа.

Среднее прямое напряжение $U_{пр.}$ — среднее за период прямое напряжение на диоде при протекании через него максимально допустимого выпрямленного тока.

Средний обратный ток I_o — средний за период обратный ток, измеряемый при максимальном обратном напряжении.

Максимально допустимое обратное напряжение $U_{o\ max}$ — наибольшее постоянное (или импульсное) обратное напряжение, при котором диод может длительно и надежно работать.

Дифференциальное сопротивление — отношение приращения напряжения на диоде к вызванному им приращению тока $r_{диф} = dU/dI$.

Максимальная частота f_{max} — наибольшая частота подводимого напряжения, при которой выпрямитель на данном диоде работает достаточно эффективно, а нагрев диода не превышает допустимой величины.

Превышение максимально допустимых величин ведет к резкому сокращению срока службы или пробоем диода.

Для стабилизации напряжения на нагрузке при изменении питающего напряжения или сопротивления нагрузки применяются стабилитроны. Полупроводниковый стабилитрон представляет собой плоскостной диод, выполненный из сильно легированного кремния. Для стабилитронов рабочим является участок электрического пробоя ВАХ в области обратных напряжений.

Основными параметрами стабилитронов являются следующие.

Номинальное напряжение стабилизации $U_{ст.ном}$ — напряжение на стабилитроне в рабочем режиме (при заданном токе стабилизации).

Минимальный ток стабилизации $I_{ст.мин}$ — наименьшее значение тока стабилизации, при котором режим пробоя устойчив.

Максимально допустимый ток стабилизации $I_{ст.мах}$ — наибольший ток стабилизации, при котором нагрев стабилитронов не выходит за допустимые пределы.

Дифференциальное сопротивление $r_{диф}$ — отношение приращения напряжения стабилизации к вызывающему его приращению тока стабилизации: $r_{диф} = \Delta U_{ст} / \Delta I_{ст}$.

Температурный коэффициент напряжения стабилизации — отношение относительного изменения напряжения стабилизации к абсолютному изменению температуры окружающей среды: $\alpha_{ст} = \Delta U_{ст} / (U_{ст} \Delta T)$.

К параметрам стабилитронов также относят максимально допустимый прямой ток $I_{мах}$, максимально допустимый импульсный ток $I_{и мах}$, максимально допустимую рассеиваемую мощность $P_{мах}$.

Основной характеристикой полупроводниковых диодов служит вольт-амперная характеристика (ВАХ), представляющая собой зависимость тока через диод от напряжения на электродах диода. Для снятия ВАХ диода используется схема, изображенная на рисунке 2.1.

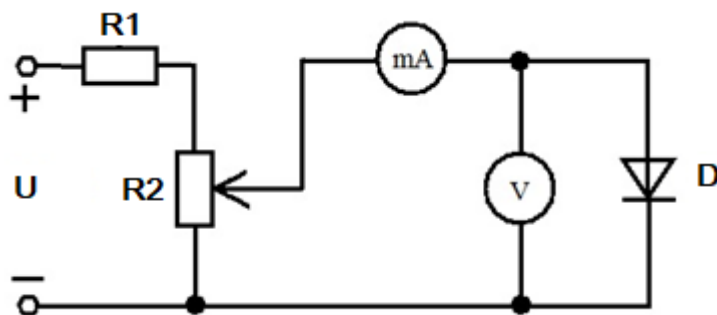


Рисунок 2.1 – Схема снятия ВАХ диода

Схемы диодных выпрямителей, используемых в электронных устройствах информационной техники, показаны на рисунке 2.2. На рисунке 2.2а изображена схема однополупериодного выпрямителя с фильтрующим конденсатором С. Недостатком таких выпрямителей является существенная пульсация напряжения на выходе. На рисунках 2.2б и 2.2в показаны схемы двухполупериодных выпрямителей с фильтрующими конденсаторами. В схеме на рисунке 2.2б используется всего два диода, однако требуется более сложный трансформатор со средней точкой в выходной обмотке. В схеме 2.2в для двухполупериодного вы-

прямления используется диодный мост D_1-D_4 . В одну диагональ моста подается переменное напряжение U_2 , а со второй диагонали снимается выпрямленное напряжение.

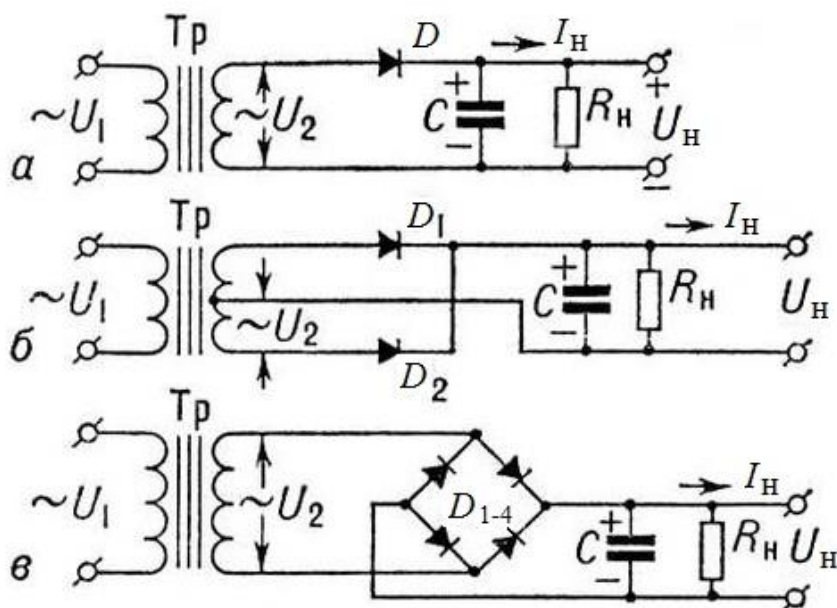


Рисунок 2.2 – Схемы преобразователей переменного напряжения в постоянное

Среднее значение U_{cp} за полупериод составляет примерно 30% от амплитуды входного переменного напряжения, т.е.

$$U_{cp} = U_{max} / \pi = 0,318 U_{max}.$$

Оно получило название «постоянная составляющая» выпрямленного напряжения.

Для поддержания постоянства напряжения в цепях питания электронной аппаратуры широко используются стабилитроны. Стабилитрон (диод Зенера) является разновидность полупроводникового диода, работающего при напряжении обратного смещении в режиме пробоя. До момента наступления электрического пробоя $p-n$ перехода через стабилитрон течет очень малый ток утечки, а его сопротивление достаточно высокое. В момент пробоя ток через него резко увеличивается, а дифференциальное сопротивление стабилитрона снижается до малых величин. За счет этого в режиме пробоя напряжение на стабилитроне поддерживается с удовлетворительной точностью в большом диапазоне обратных токов.

Схема стабилизатора напряжения на стабилитроне изображена на рисунке 2.3. В приведенной схеме, при изменении входного напряжения или тока нагрузки, напряжение на нагрузке R_H практически не меняется (оно остаётся таким же, как и на стабилитроне), вместо этого изменяется ток через стабилитрон (в случае изменения входного напряжения и ток через балластный резистор R тоже). То есть, излишки входного напряжения гасятся балластным резистором

R , величина падения напряжения на этом резисторе зависит от тока через него, а ток через него зависит в том числе от тока через стабилитрон $I_{ст}$. Таким образом, получается, что изменение тока через стабилитрон регулирует величину падения напряжения на балластном резисторе.

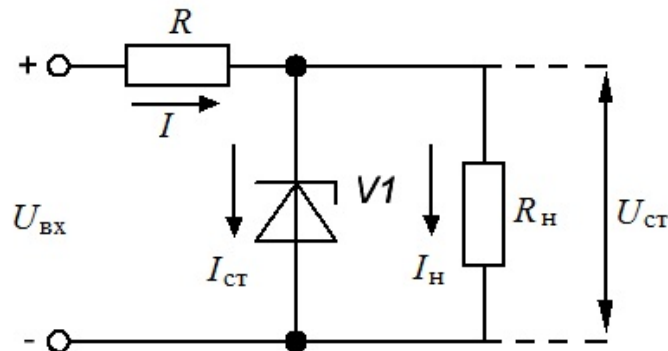


Рисунок 2.3 – Схема стабилизатора напряжения

Одним из важнейших параметров стабилизатора является коэффициентом стабилизации ($K_{ст}$), количественно равный отношению относительного изменения напряжения на входе стабилизатора ($\Delta U_{BX}/U_{BX}$) к относительному изменению напряжения на его выходе ($\Delta U_{ВЫХ}/U_{ВЫХ}$)

$$K_{ст} = \frac{\Delta U_{BX}}{U_{BX}} : \frac{\Delta U_{ВЫХ}}{U_{ВЫХ}} = \frac{\Delta U_{BX} U_{ВЫХ}}{\Delta U_{ВЫХ} U_{BX}} = \frac{\Delta U_{BX} U_{CT}}{\Delta U_{ВЫХ} U_{BX}}$$

Для нормальной работы стабилизатора (чтобы напряжение на нагрузке всегда было в пределах от $U_{CT \min}$ до $U_{CT \max}$) необходимо, чтобы ток через стабилитрон всегда был в пределах от $I_{CT \min}$ до $I_{CT \max}$. Минимальный ток через стабилитрон будет течь при минимальном входном напряжении и максимальном токе нагрузки. Зная это, можно вычислить сопротивление балластного резистора по следующей формуле:

$$R = (U_{BX \min} - U_{CT \min}) / (I_{H \max} + I_{CT \min}) .$$

3. Описание лабораторной установки

Лабораторная установка состоит из персонального компьютера, на котором установлены система моделирования электронных и микропроцессорных систем Proteus VSM. Proteus VSM по умолчанию устанавливается в папку C:\Program\Files\Labcenter Electronics\Proteus. Особенности работы с данной системой описаны в методических указаниях к лабораторной работе №1. Схема установки для снятия ВАХ диода изображена на рисунке А1 Приложения А.

4. Программа выполнения лабораторной работы

- 4.1. Используя конспект и рекомендованную литературу, изучить теоретический материал, относящийся к теме работы.
- 4.2. Нарисовать схему снятия ВАХ диода в рабочем окне симулятора Proteus. Исследовать характеристику выпрямительного диода (англ. Rectifiers Diode) типа 1N4001 при прямом и обратном включении. В качестве задатчика напряжения на диоде использовать потенциометр RV1 сопротивлением 100 Ом. Величину ограничительного резистора R1 установить равным 20 Ом. Входное напряжение для прямой ветви характеристики 9 В, при измерении зависимости обратного тока входное напряжение 100 В.
- 4.3. Изменяя напряжение на диоде снять зависимость I_D от U_D . Количество точек должно быть не менее 10. При нулевых показаниях миллиамперметра переконфигурировать его на измерения микроампер.
- 4.4. Начертить в рабочем окне симулятора схему однополупериодного выпрямителя. В выпрямителе использовать диоды типа 1N4002. Входное напряжение установить равным 50 В. Используемый трансформатор TRAN-2P2S.
- 4.5. Снять осциллограммы входного и выходного напряжений без емкостного фильтра и при наличии фильтрующего конденсатора и определить величину пульсаций выходного напряжения.
- 4.6. Снять осциллограммы напряжений при изменении фильтрующей емкости от 0,1 мкФ до 10 мкФ.
- 4.7. Начертить в рабочем окне симулятора схему двухполупериодного выпрямителя (Приложение Б). Используемый трансформатор TRAN-1P2S, остальные параметры элементов указаны на схеме.
- 4.8. Снять осциллограммы входного и выходного напряжений без емкостного фильтра и при наличии фильтрующего конденсатора.
- 4.9. Снять осциллограммы напряжений при изменении фильтрующей емкости от 1 мкФ до 100 мкФ.
- 4.10. Составить в области рабочего окна симулятора схему стабилизатора напряжения на основе стабилитрона (англ. Zener Diode). Схема установки приведена в Приложение В. Напряжение стабилизации задается преподавателем.
- 4.11. Снять зависимость выходного напряжения стабилизатора при изменении входного напряжения на $\pm 20\%$ при неизменном сопротивлении нагрузки и рассчитать коэффициент стабилизации напряжения.
- 4.12. Снять зависимость выходного напряжения при изменении нагрузки на $\pm 20\%$ при неизменном входном напряжении.

5. Содержание отчета

- 5.1. Цель и программа работы.
- 5.2. Расчетные соотношения для исследуемых схем.
- 5.3. Принципиальные электрические схемы исследуемых устройств.
- 5.4. Таблицы, графики и временные диаграммы экспериментальных исследований.
- 5.5. Выводы по результатам экспериментов.

6. Контрольные вопросы

- 6.1. Расскажите об устройстве p - n -перехода и поясните физику процессов, происходящих в p - n -переходе при приложении напряжения в прямом и обратном направлении.
- 6.2. Расскажите о типах полупроводниковых диодов и проведите на практике сортировку диодов по типам.
- 6.3. В чем состоит отличие выпрямительных диодов от импульсных? Покажите на практике выпрямительные и импульсные диоды.
- 6.4. Начертите условные графические обозначения различных типов диодов.
- 6.5. Какими основными параметрами характеризуются полупроводниковые выпрямительные диоды?
- 6.6. Что произойдет с диодом, если обратное напряжение превысит допустимое?
- 6.7. Нарисуйте вольт-амперную характеристику диода. Как по этой характеристике определить параметры диода?
- 6.8. С какой целью в схеме снятия ВАХ диода установлен резистор R1?
- 6.9. Как на практике определить динамическое сопротивление диода?
- 6.10. Поясните с указанием путей токов работу однополупериодного выпрямителя с фильтрующим конденсатором и без него и проиллюстрируйте этот процесс с помощью временных диаграмм.
- 6.11. Поясните с указанием путей токов работу двухполупериодного выпрямителя на основе трансформатора со средней точкой с фильтрующим конденсатором и без него и проиллюстрируйте этот процесс с помощью временных диаграмм.
- 6.12. Поясните с указанием путей токов работу двухполупериодного выпрямителя на основе диодного моста с фильтрующим конденсатором и без него и проиллюстрируйте этот процесс с помощью временных диаграмм.
- 6.13. Поясните работу параметрического стабилизатора напряжения на основе стабилитрона.

ПРИЛОЖЕНИЕ А

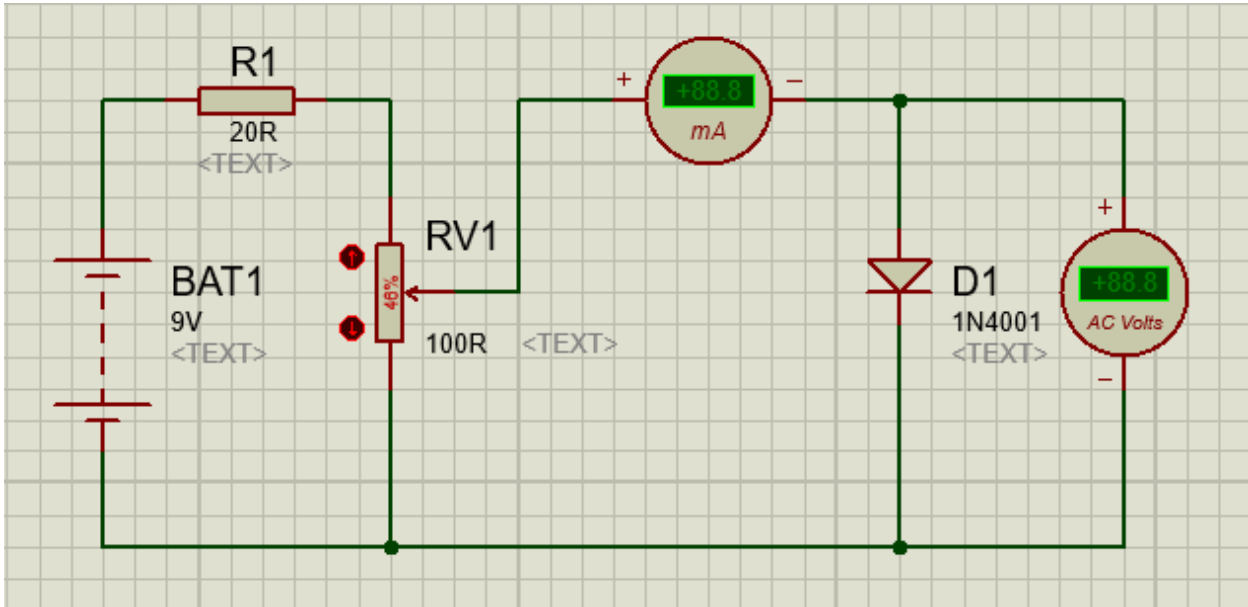


Рисунок А1 - Схема лабораторной установки для снятия ВАХ диода

ПРИЛОЖЕНИЕ Б

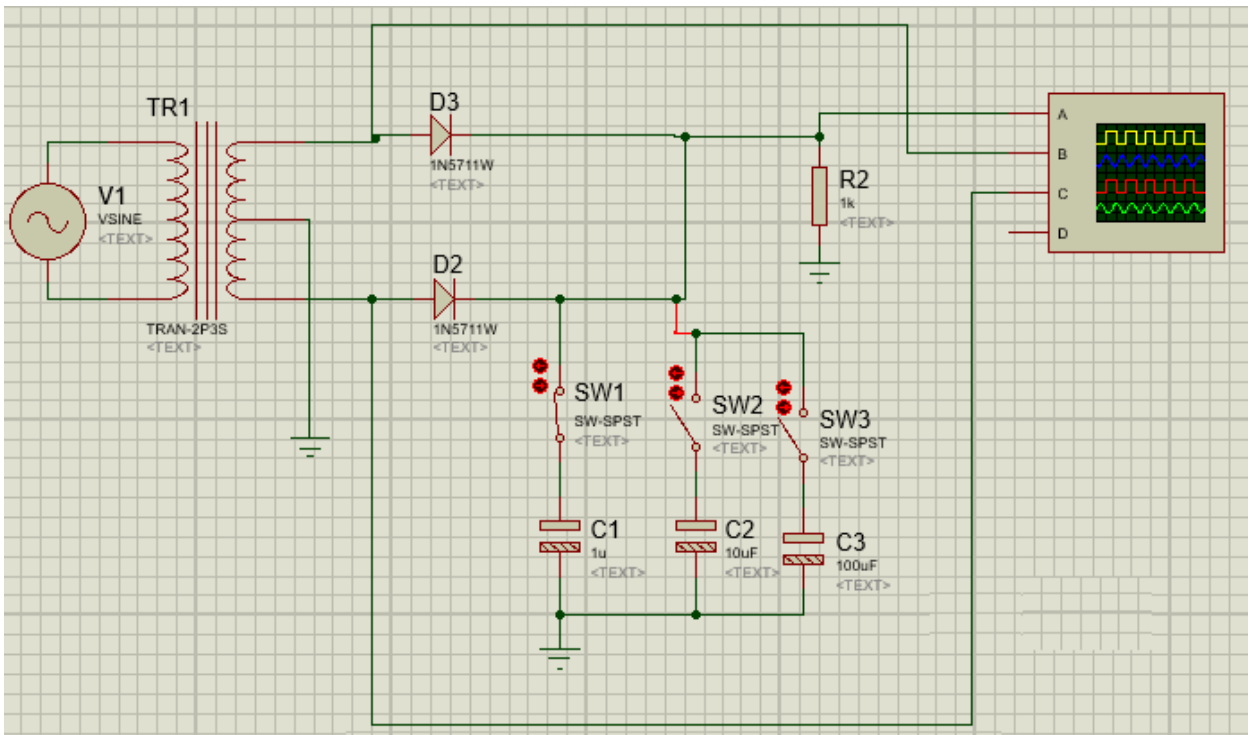


Рисунок Б.1 - Схема лабораторной установки для исследования двухполупериодного выпрямителя.

Приложение В

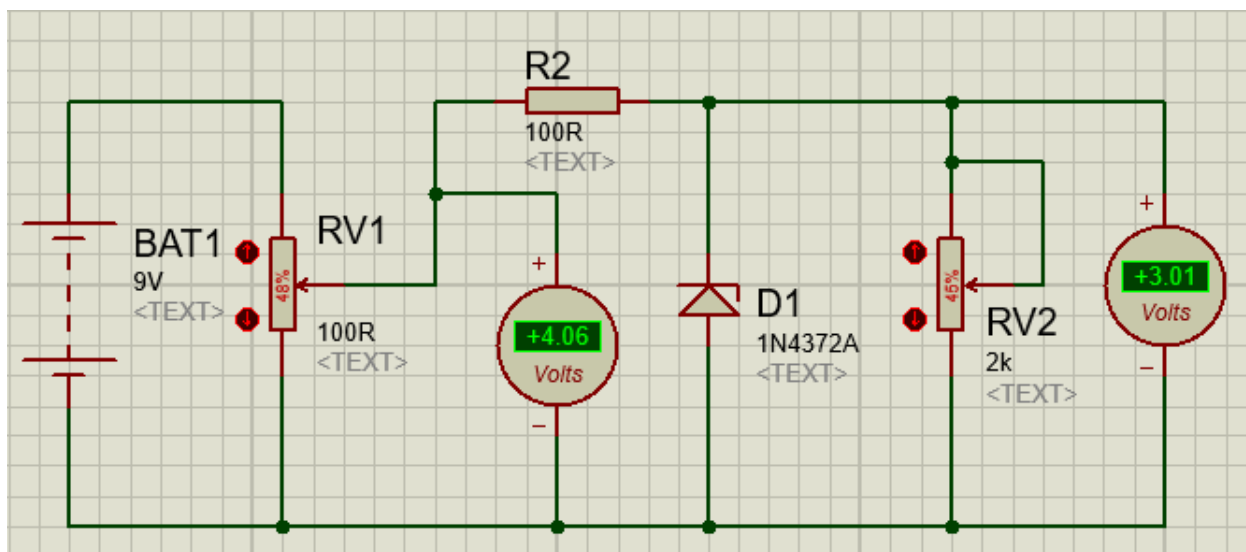


Рисунок В1 – Схема лабораторной установки для исследования стабилизатора напряжения на основе стабилитрона

ИССЛЕДОВАНИЕ ТРАНЗИСТОРОВ И КЛЮЧЕВЫХ СХЕМ НА БИПОЛЯРНЫХ И УНИПОЛЯРНЫХ ТРАНЗИСТОРАХ

1. Цель работы

Экспериментальные исследования характеристик биполярных и униполярных транзисторов и ключевых схем. Приобретение практических навыков измерения электрических параметров и регистрации временных диаграмм с помощью электро- и радиоизмерительных приборов.

2. Основные теоретические положения

Транзистор — трехэлектродный полупроводниковый прибор, позволяющий входным сигналом управлять током в электрической цепи. В зависимости от используемых носителей заряда различают биполярные и полевые транзисторы.

В биполярных транзисторах одновременно используются два типа носителей заряда — *электроны* и *дырки*. Этим он отличается от *униполярного* (полевого) транзистора, в работе которого участвует только один тип носителей заряда.

В биполярных транзисторах используется два *p-n* перехода от которых выводятся три электрода. Управляющим электродом в биполярных транзисторах обычно является база, а основной ток протекает между эмиттером и коллектором. Носители заряда движутся от эмиттера через тонкую базу к коллектору. База отделена от эмиттера и коллектора *p-n* переходами. Ток протекает через транзистор лишь тогда, когда носители заряда инжектируются из эмиттера в базу через *p-n* переход. В базе они являются неосновными носителями заряда и легко проникают через другой *p-n* переход между базой и коллектором, ускоряясь при этом. Управление выходным током транзистора осуществляется за счет изменения тока базы.

Униполярный транзистор имеет три электрода: исток, сток и затвор. В таком транзисторе ток протекает от истока до стока через канал под затвором. Канал образуется в легированном полупроводнике в промежутке между затвором и нелегированной подложкой, в которой нет носителей заряда, и она не может проводить ток. Управление выходным током униполярного транзистора осуществляется за счет изменения напряжения (электрического поля) на затворе, в связи с чем униполярный транзистор называют полевым.

В зависимости от того, какой электрод является общим для входной и выходной цепей, различают три схемы включения транзисторов:

с общей базой (ОБ), общим эмиттером (ОЭ) и общим коллектором (ОК) — для биполярных транзисторов;

с общим истоком, с общим затвором и с общим стоком — для униполярных транзисторов.

На практике чаще всего используются схемы включения с общим эмиттером и общим истоком, в которых наблюдается максимальное усиление сигналов.

Основными параметрами биполярных транзисторов являются коэффициенты передачи токов:

$\alpha = I_K / I_E$ – коэффициент передачи эмиттерного тока в коллектор, равный от 0,9 до 0,99;

$\beta = I_K / I_B$ – коэффициент передачи базового тока в коллектор, принимающий значения от 10 до 1000.

Для оценки максимально допустимых режимов работы транзисторов используют следующие параметры:

максимально допустимое напряжение коллектор–эмиттер (для различных транзисторов $U_{КЭ \text{ макс}} = 10 - 2000 \text{ В}$);

максимально допустимая мощность рассеяния коллектора $P_{К \text{ макс}}$ – по ней транзисторы делят на транзисторы малой мощности (до 0,3 Вт), средней мощности (0,3 - 1,5 Вт) и большой мощности (более 1,5 Вт), транзисторы средней и большой мощности часто снабжаются специальным теплоотводящим устройством – радиатором;

максимально допустимый ток коллектора $I_{К \text{ макс}}$ – до 100 А и более;

границная частота передачи тока $f_{гр}$ (частота, на которой коэффициент усиления по току становится равным единице).

Важнейшими характеристиками биполярных транзисторов являются входные $I_K = \varphi(U_{бэ})$ и выходные $I_K = \psi(U_{КЭ})$ при $I_B = \text{const}$ вольт-амперные характеристики.

Основными параметрами униполярных транзисторов являются следующие:

коэффициент усиления — отношение изменения напряжения исток-сток к изменению напряжения затвор-исток при постоянном токе стока;

крутизна стоко-затворной характеристики, чем она больше, тем «острее» реакция транзистора на изменение напряжения на затворе;

входное сопротивление $R_{вх}$, определяется сопротивлением обратного смещенного р-п перехода и обычно достигает единиц и десятков МОм (что выгодно отличает полевые транзисторы от биполярных «родственников»);

максимальный ток стока $I_{с \text{ макс}}$ при фиксированном напряжении затвор-исток;

максимальное напряжение сток-исток $U_{си}$, после которого уже наступает пробой;

внутреннее (выходное) сопротивление $R_{вых}$. Оно представляет собой сопротивление канала для переменного тока (напряжение затвор-исток — константа).

Основными характеристиками униполярных транзисторов являются:

выходная (стоковая) — зависимость тока стока I_c от напряжения исток-сток $U_{ис}$ при постоянном напряжении затвор-исток $U_{зи}$;

стоко-затворная — зависимость тока стока I_c от напряжения затвор-исток $U_{зи}$ при постоянном напряжении между истоком и стоком $U_{си}$.

Практически все цифровые элементы информационной и вычислительной техники построены на транзисторах (биполярных или чаще на КМОП), работающих в ключевом режиме.

Биполярные транзисторы, работающие в режиме ключа обычно включаются по схеме с общим эмиттером. На рисунке 2.1 изображены схема транзисторного ключа (а), его эквивалентная схема контактного ключа (б) и временная диаграмма входного и выходного сигналов (в).

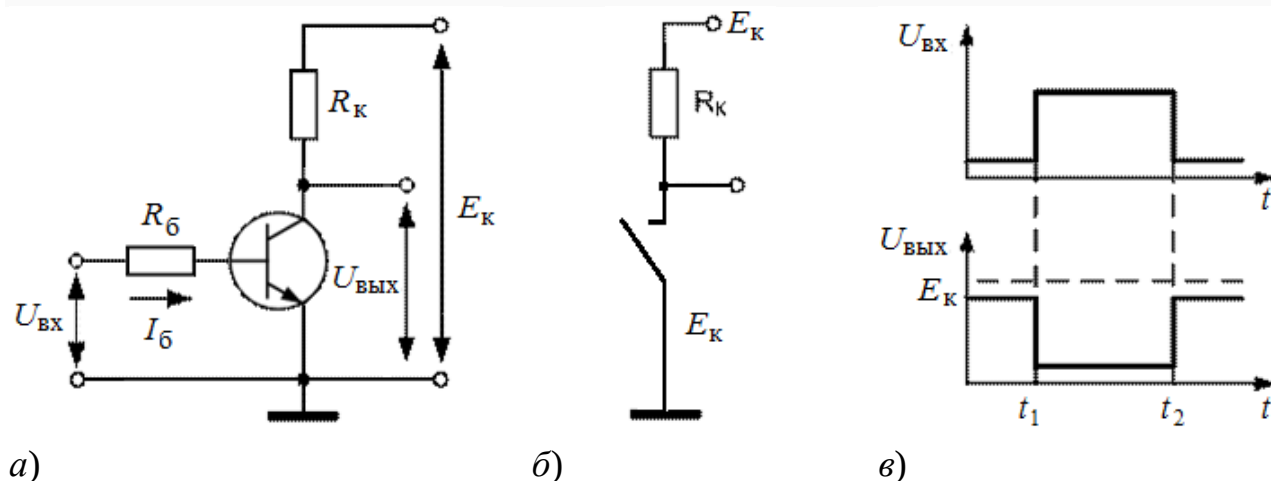


Рисунок 2.1 – Схема ключа на биполярном транзисторе (а), эквивалентная схема (б) и временная диаграмма (в)

Резистор R_6 предназначен для ограничения тока базы транзистора I_6 , чтобы он не превышал максимально допустимого значения. В промежуток времени от 0 до t_1 входное напряжение и ток базы близки к нулю, и транзистор находится в режиме отсечки. Напряжение $U_{КЭ}$, является выходным и будет близко к E_K . В промежуток времени от t_1 до t_2 входное напряжение и ток базы транзистора становятся максимальными, и транзистор перейдет в режим насыщения. После момента времени t_2 транзистор переходит в режим отсечки. Следовательно, можно сделать вывод, что транзисторный ключ является инвертором, т. е. изменяет фазу сигнала на 180° .

На рисунке 2.2а изображена схема КМОП ключа (вентиль) на основе униполярных транзисторов с индуцированным каналом, который осуществляет инверсию входного сигнала (элемент НЕ). То есть если на вход подается высокий уровень напряжения (логическая единица), то с выхода снимается логический ноль и наоборот. Эквивалентные схемы КМОП ключа на контактных ключах при двух значениях сигналов управления показаны на рис. 2.2б и рис.2.2в. Как видно из эквивалентных схем, выход инвертора соединен либо с шиной сигнального заземления (на выходе логический 0), либо с шиной источника питания (на выходе логическая 1). В схеме КМОП инвертора, в отличие от схем с резистором, сквозной ток отсутствует при любом состоянии вентиля. Это озна-

чает, что при идеальных ключах схема не потребляет энергии. В реальных условиях закрытый транзистор имеет очень большое, но конечное сопротивление и в устройстве протекает очень маленький (доли микроампер) ток. В момент переключения, когда оба транзистора находятся в полукотрытом состоянии, сквозной ток существенно возрастает.

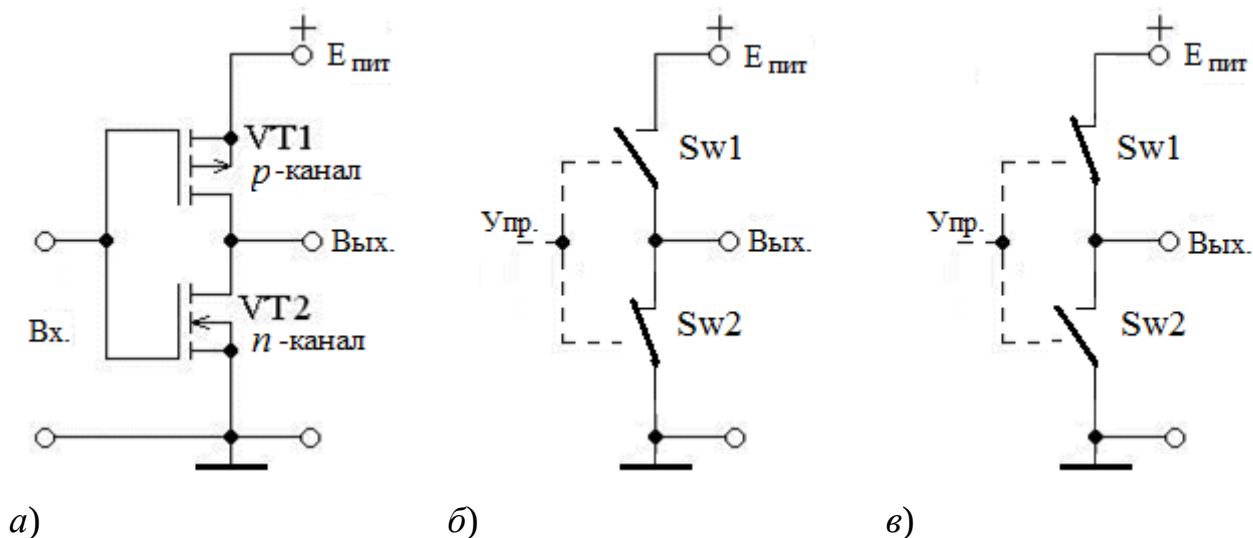


Рисунок 2.2 – Схема КМОП-ключа (а), эквивалентные схемы при различных сигналах управления на входе (б,в)

Это приводит к тому, что при увеличении частоты переключения средний ток, потребляемый схемой, увеличивается, что приводит к разогреву ключевых элементов.

Для снятия вольт-амперных характеристик биполярного транзистора применяется схема, изображенная на рисунке 2.3. Для снятия ВАХ униполярных транзисторов схема аналогичная, только вместо биполярного используется униполярный транзистор. Входной сигнал подается на затвор, а общим электродом является сток транзистора.

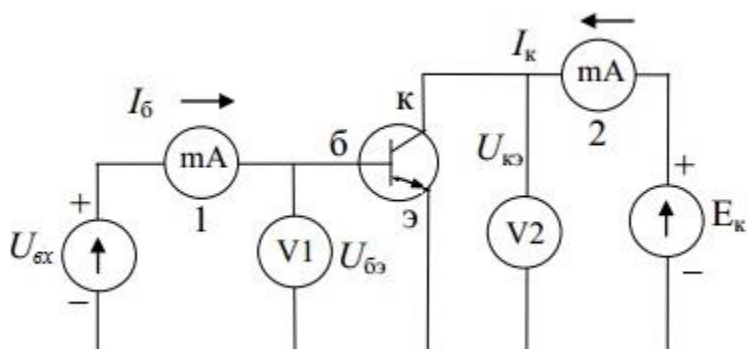


Рисунок 2.3 – Схема снятия ВАХ транзисторов

3. Описание лабораторной установки

Лабораторная установка состоит из персонального компьютера, на котором установлены система моделирования электронных и микропроцессорных систем Proteus VSM. Proteus VSM по умолчанию устанавливается в папку C:\Program\Files\Labcenter Electronics\Proteus. Особенности работы с данной системой описаны в методических указаниях к лабораторной работе №1. Схемы лабораторных установок изображены в приложениях А-В.

4. Программа выполнения лабораторной работы

- 4.1. Создать на рабочем поле симулятора схему для измерения ВАХ биполярного n - p - n транзистора (Приложение А). Тип транзистора выбирается согласно варианту. В качестве источника входного сигнала использовать источник напряжения 1,5 В и потенциометр. Напряжение источника задается преподавателем согласно варианту (Приложение Б). Номер варианта соответствует дате вашего дня рождения.
- 4.2. Снять зависимость тока I_b базы от напряжения $U_{бэ}$ база-эмиттер. Входной ток изменять от 0 до 500 мкА.
- 4.3. Снять зависимость тока коллектора I_k от тока базы I_b и определить коэффициент усиления транзистора по току β .
- 4.4. Создать на рабочем поле симулятора схему транзисторного ключа (инвертора) на n - p - n транзисторе.
- 4.5. Подключить на вход ключа генератор прямоугольных импульсов, а выход ключа соединить со входом 2-го канала осциллографа. Первый вход осциллографа подключить к генератору прямоугольных импульсов. Амплитуду импульсов установить равной 3В, форма импульсов – меандр. Длительности передних и задних фронтов – 1 мкс.
- 4.6. Снять осциллограммы входных и выходных импульсов при частотах прямоугольной последовательности 10, 50 и 100 кГц. Измерить время задержки переключения ключа при переходе из режима отсечки в насыщение и обратно.
- 4.7. Создать на рабочем поле симулятора схему транзисторного ключа (инвертора) на КМОП-транзисторах (см. рис. Приложения В). Для этой цели использовать транзисторную пару 2SJ118 и 2SK1058.
- 4.8. Повторить пп. 4.5 и 4.6 для инвертора на КМОП-транзисторах.
- 4.9. Измерить величину потребляемого тока при изменении частоты переключения инвертора от 10 до 100 кГц.

5. Содержание отчета

- 5.1. Цель и программа работы.
- 5.2. Расчетные соотношения для исследуемых схем.
- 5.3. Принципиальные электрические схемы исследуемых устройств.
- 5.4. Измеренные параметры исследуемых устройств.

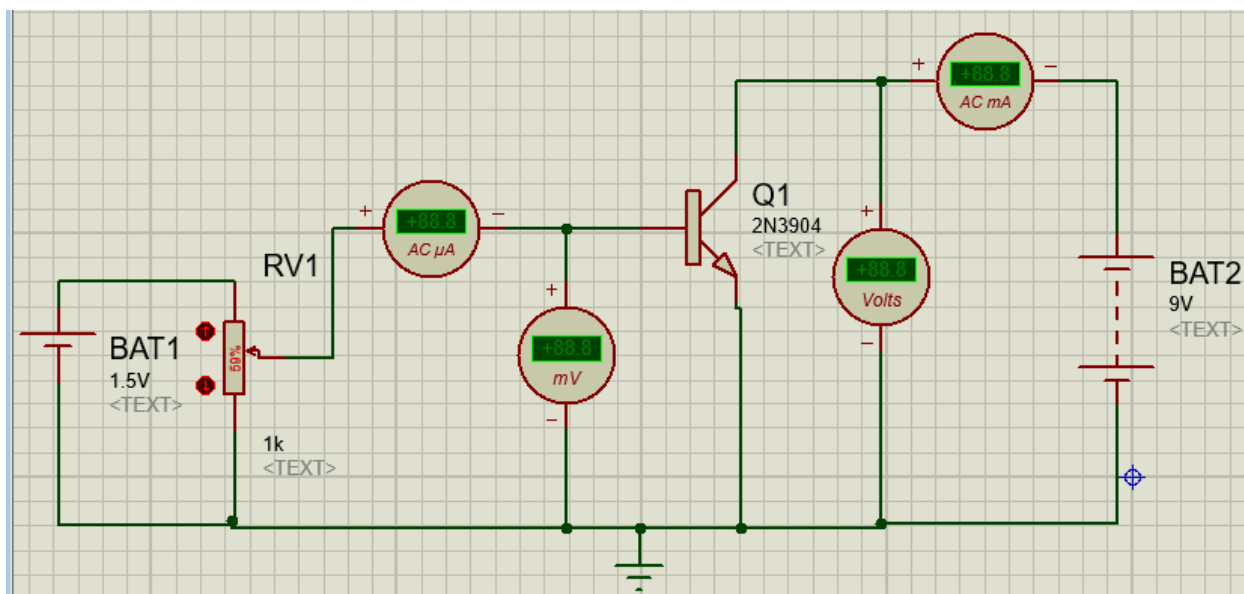
- 5.5. Таблицы, графики и временные диаграммы экспериментальных исследований.
- 5.6. Выводы по результатам экспериментов.

6. Контрольные вопросы

- 6.1. Расскажите о принципе функционирования биполярного транзистора.
- 6.2. Начертите схемы включения биполярного транзистора.
- 6.3. Назовите основные параметры транзисторов и расскажите, как на практике определить эти параметры.
- 6.4. Начертите схемы снятия вольт-амперных характеристик биполярных и униполярных транзисторов.
- 6.5. Расскажите о принципе функционирования униполярного транзистора.
- 6.6. Начертите схемы включения полевого транзистора.
- 6.7. Начертите схему транзисторного ключа на n - p - n -транзисторе, поясните назначение резисторов в схеме и работу устройства.
- 6.8. Начертите схему транзисторного ключа на КМОП-транзисторе и поясните работу устройства.
- 6.9. Каковы преимущества КМОП-инвертора по сравнению с инвертором на биполярных транзисторах?
- 6.10. Поясните, почему возрастает потребляемая мощность КМОП-инвертором с ростом частоты переключения.
- 6.11. Поясните, каким образом на практике можно определить задержку переключения транзисторного ключа.

ПРИЛОЖЕНИЕ А

Схема стенда для измерения вольт-амперных характеристик биполярного транзистора



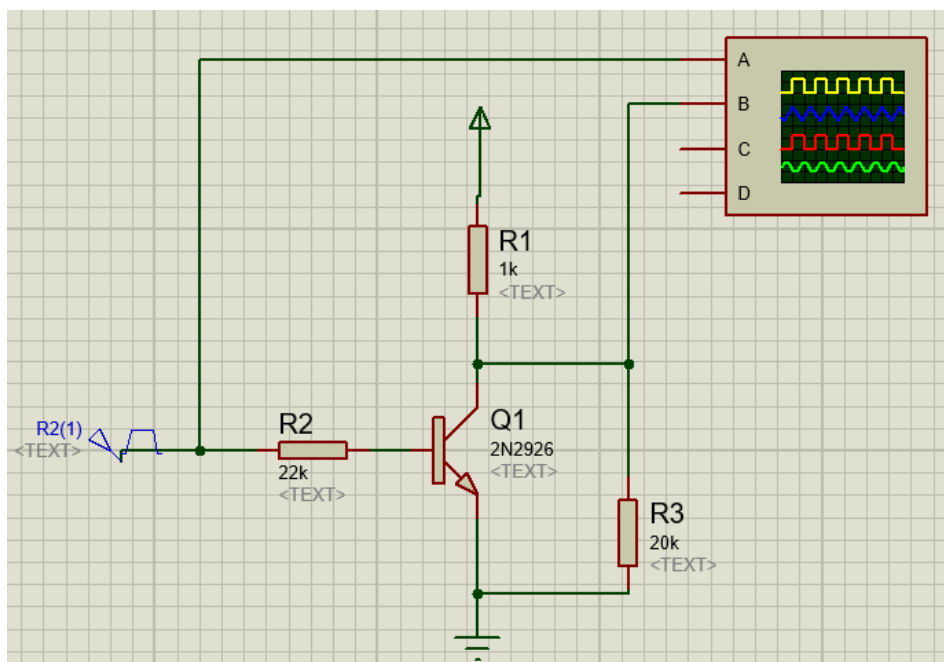
ПРИЛОЖЕНИЕ Б

Варианты заданий

Номер варианта	Напряжение источника питания (ВАТ2), В	Тип транзистора	Примечание
1	9	2N1711	
2	10	2N1893	
3	12	2N2219	
4	15	2N3019	
5	8	2N3053	
7	6	2N3054	
8	7	2N3055	
9	13	2N3390	
10	14	2N3705	
11	20	2N3707	
12	16	2N3392	
13	18	2N3415	
14	9	2N1711	
15	10	2N1893	
16	12	2N2219	
17	14	2N3019	
18	8	2N3053	
19	6	2N3054	
20	7	2N3055	
21	11	2N3390	
22	14	2N3705	
23	20	2N3707	
24	16	2N3392	
25	18	2N3415	
26	16	2N3019	
27	8	2N3053	
28	9	2N3054	
29	7	2N3055	
30	12	2N3390	
31	10	2N3705	

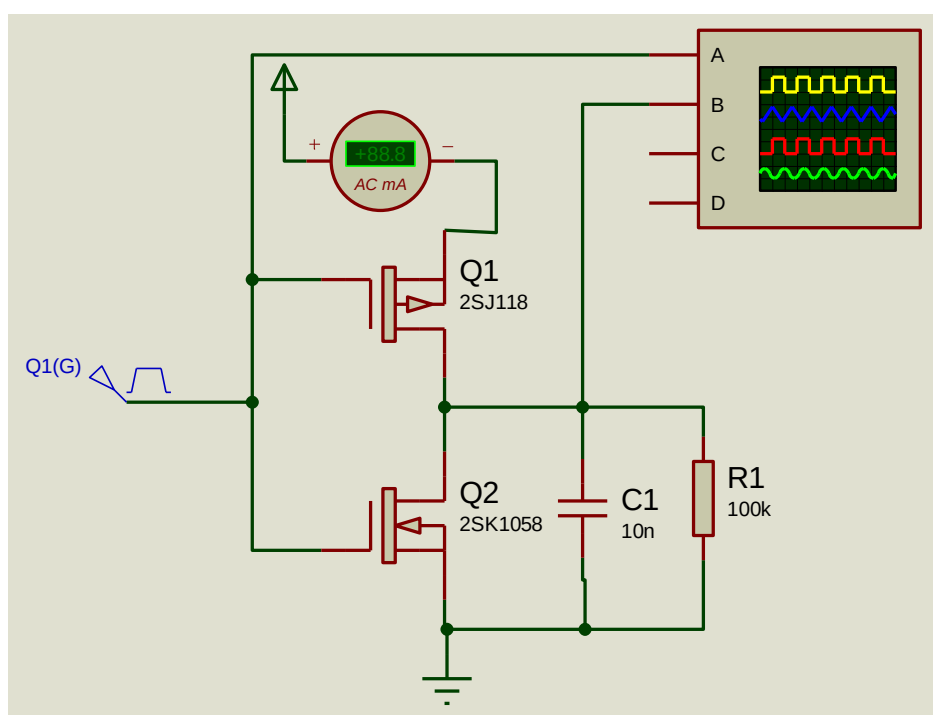
ПРИЛОЖЕНИЕ В

Схема стенда для исследования транзисторного ключа



ПРИЛОЖЕНИЕ Г

Схема стенда для исследования ключа на основе комплементарных МОП транзисторов



ИССЛЕДОВАНИЕ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ И ФУНКЦИОНАЛЬНЫХ УЗЛОВ НА ИХ ОСНОВЕ

1. Цель работы

Экспериментальные исследования функционирования и параметров логических элементов на базе КМОП-транзисторов и элементов задержки и генераторов прямоугольных импульсов. Приобретение практических навыков измерения электрических параметров и регистрации временных диаграмм с помощью электро- и радиоизмерительных приборов.

2. Основные теоретические положения

Основными операциями, осуществляемыми в информационных и вычислительных системах, являются арифметические и логические операции. К арифметическим операциям относится сложение, вычитание, умножение и деление. К наиболее широко используемым логическим операциям относятся:

- инверсия (отрицание, логическое НЕ);
- конъюнкция (логическое И);
- дизъюнкция (логическое ИЛИ);
- эквивалентность (исключающее ИЛИ).

В электронных устройствах реализация арифметических операций осуществляется с помощью сумматоров, а логические – с помощью инверторов, схем ИЛИ и И. Остальные логические функции могут быть реализованы с помощью комбинации этих трех элементов. Поэтому набор элементов НЕ, И и ИЛИ называют функционально полным. К функционально полным относятся элементы И-НЕ, а также ИЛИ-НЕ.

Логические элементы могут работать в режимах положительной и отрицательной логики. Для электронных логических элементов в режиме положительной логики логической единице соответствует высокий уровень напряжения, а логическому нулю - низкий уровень напряжения. В режиме отрицательной логики логической единице соответствует низкий уровень напряжения, а логическому нулю - высокий. Как правило, паспортное обозначение логического элемента соответствует функции, реализуемой "положительной логикой".

Логические элементы И и ИЛИ могут быть реализованы с помощью диодов, транзисторов, либо комбинацией диодов и транзисторов. Элементы НЕ, И-НЕ и ИЛИ-НЕ могут быть построены только с использованием транзисторов. Условные графические обозначения основных логических элементов по национальному стандарту (ГОСТ) и американскому стандарту (ANSI) приведены в приложении А.

Для описания логики функционирования используются функции логики и таблицы истинности.

Логический элемент НЕ (Инвертор) описывается функцией $Y = \bar{X}$ или $y = \bar{x}$.

Логический элемент ИЛИ (конъюнктор): $Y = X_1 \cup X_2$ или $y = x_1 \cup x_2$.

Логический элемент И (дизъюнктор): $Y = X_1 \cap X_2$ или $y = x_1 \cap x_2$.

Исключающее ИЛИ (сумматор по модулю 2): $Y = \overline{X_1 \cap X_2}$ или $y = \overline{x_1 \cap x_2}$.

Часто для упрощения записи вместо знаков логического сложения и умножения используют обычные арифметические знаки сложения и умножения, а операцию исключающего ИЛИ обозначают знаком суммирования по модулю 2 ($\oplus$). Условное обозначение логических элементов, их таблицы истинности и запись логической операции приведены в таблице 2.1.

Таблица 2.1 –Графическое обозначение и таблицы истинности

Название элемента	Условное обозначение элемента	Таблица истинности			Условное обозначение логической операции	Контактно-релейная схема
		X2	X1	Y		
2И		0	0	0	$X1 * X2$ $X1 \wedge X2$	
		0	1	0		
		1	0	0		
		1	1	1		
2ИЛИ		0	0	0	$X1 + X2$ $X1 \vee X2$	
		0	1	1		
		1	0	1		
		1	1	1		
НЕ			0	1	$\bar{X}$ $\neg X$	
			1	0		
2И-НЕ		0	0	1	$\overline{X1 * X2}$ $\neg(X1 \wedge X2)$	
		0	1	1		
		1	0	1		
		1	1	0		
2ИЛИ-НЕ		0	0	1	$\overline{X1 + X2}$ $\neg(X1 \vee X2)$	
		0	1	0		
		1	0	0		
		1	1	0		
Исключающее ИЛИ		0	0	0	$X1 \oplus X2$	
		0	1	1		
		1	0	1		
		1	1	0		

На рисунке 2.1 показаны простейшие схемы ИЛИ и И на диодах.

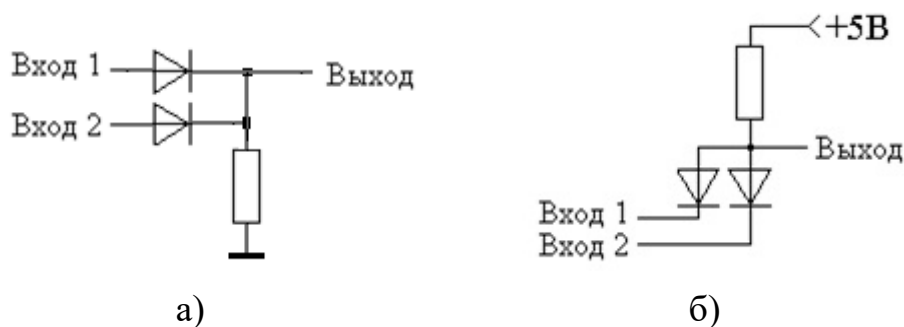


Рисунок 2.1 – Логические элементы ИЛИ (а) и И (б) на диодах

В настоящее время логические элементы выпускаются в виде микросхем. Наиболее распространенной является логика на основе КМОП-транзисторов, благодаря очень малому потреблению энергии, малыми габаритами и низкой стоимости. На рисунках 2.2 а и б изображены схемы базовых элементов И-НЕ и ИЛИ-НЕ на комплементарных МОП-транзисторах.

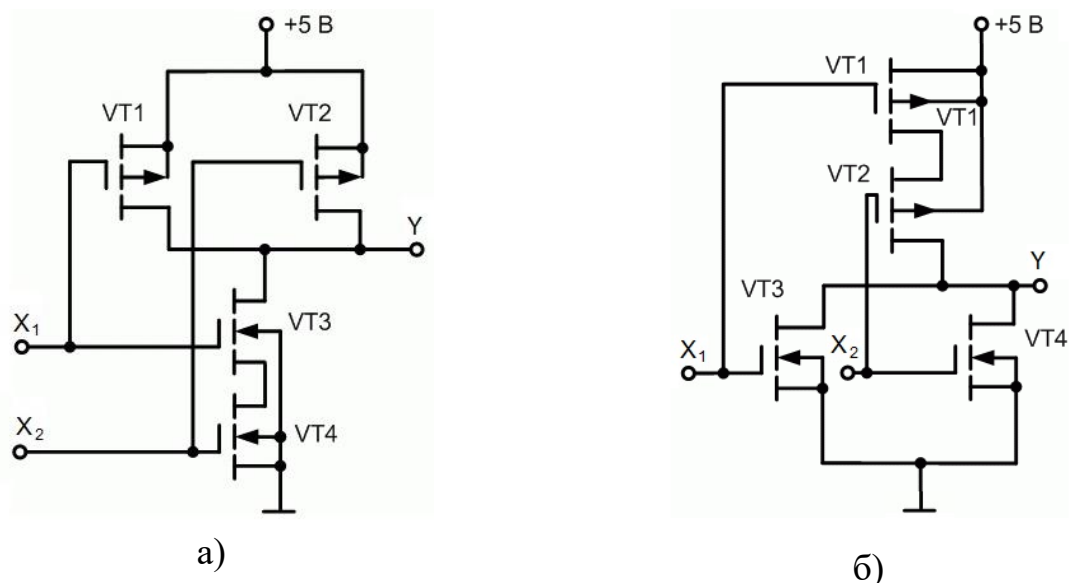


Рисунок 2.2 – Логические элементы И-НЕ (а) и ИЛИ-НЕ (б) на КМОП-транзисторах

В приведённой на рисунке 2.2а схеме логического элемента "И-НЕ", ток от источника питания на выход КМОП-микросхемы будет поступать через один из транзисторов (VT1, VT2), если хотя бы на одном из входов (или на обоих сразу) будет присутствовать низкий потенциал (уровень логического нуля). При этом выход элемента будет отсоединен от сигнальной земли. Если же на обоих входах логического КМОП-элемента "И-НЕ" будет присутствовать уровень логической единицы, то транзисторы VT1 и VT2 будут закрыты, а VT3 и VT4 – открыты и на выходе КМОП микросхемы сформируется низкий потенциал.

В схеме логического элемента "2ИЛИ-НЕ" (рисунок 2.2б) в качестве нагрузки вместо резисторов используются последовательно включенные р-МОП транзисторы VT1и VT2. Ток от источника питания на выход КМОП микросхемы будет поступать только если оба транзистора VT1и VT2 будут открыты, т.е. если сразу на их входах будет присутствовать низкий потенциал (уровень логического нуля). Если же хотя бы на одном из входов будет присутствовать уровень логической единицы, то один или оба транзистора будут закрыты и ток от источника питания поступать на выход КМОП-микросхемы не будет.

На рисунке 2.3 приведены схемы задержки на время t_2-t_1 и временные диаграммы, поясняющие работу схем.

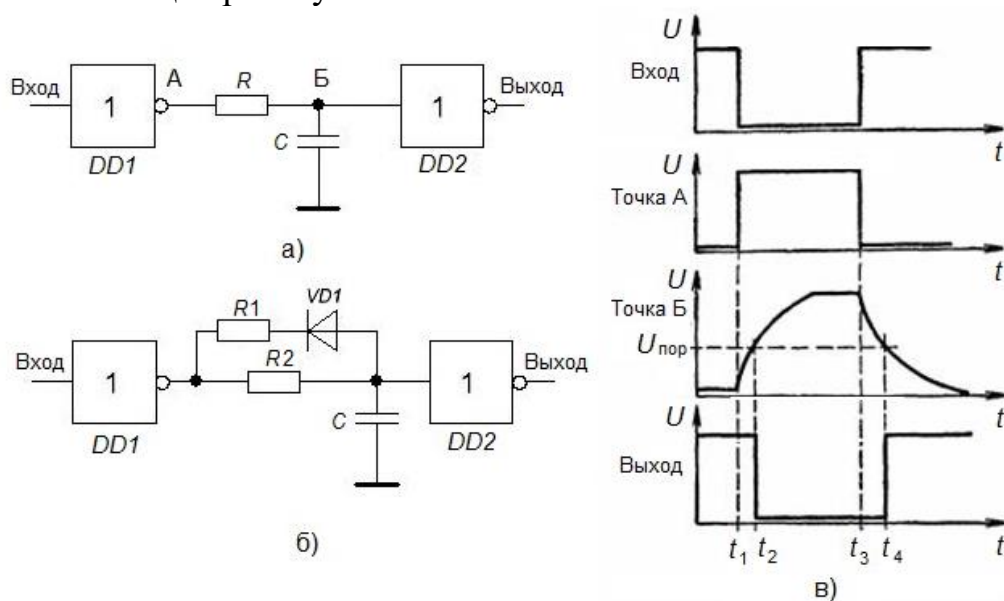


Рисунок 2.3 – Схемы задержки на инверторах

Введение диода VD1 и резистора $R1 \ll R2$ способствуют быстрому разряду конденсатора и уменьшению задержки заднего фронта выходного импульса.

Логические элементы используются также для построения генераторов тактовых импульсов. На рисунке 2.4,а изображена схема генератора прямоугольных импульсов на основе RC-времязадающей цепочки и двух инверторов, функции которых выполняют элементы 2И-НЕ путем соединения их входов. В процессе заряда конденсатора C1 по цепи: выход DD1.2 - C1 - R1 - DD1.1 - сигнальная земля, на сопротивлении R1 создается напряжение, равное уровню логической 1. Пока это напряжение превышает пороговое, на выходе DD1.1 будет «0», а на выходе DD1.2 – «1». По мере заряда конденсатора при уменьшении напряжения на R1 инверторы переключаются в противоположные состояния и происходит разряд конденсатора. Инвертор DD1.3 служит для улучшения формы прямоугольных импульсов.

Недостатком такой схеме является низкая стабильность частоты за счет изменения параметров резистора и конденсатора при изменении температуры окружающей среды. Намного более высокой стабильностью обладает схема, в которой последовательно с конденсатором включается кварцевый резонатор Qz

(рисунок 2.4,б). Частота колебаний генератора определяется резонансной частотой кварцевого резонатора.

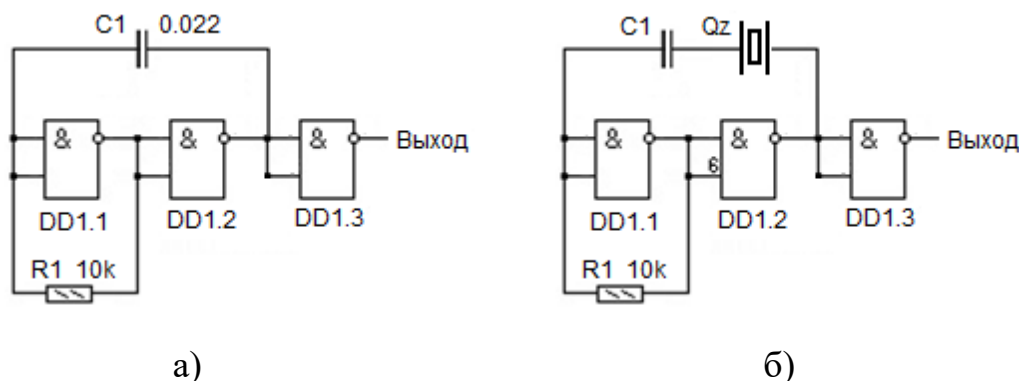


Рисунок 2.4 – Схемы генераторов прямоугольных импульсов на интегральных схемах

3. Описание лабораторной установки

Лабораторная установка состоит из персонального компьютера, на котором установлены система симулирования электронных и микропроцессорных систем Proteus VSM. Proteus VSM по умолчанию устанавливается в папку C:\Program\Files\Labcenter Electronics\Proteus. Особенности работы с данной системой описаны в методических указаниях к лабораторной работе №1.

5. Программа выполнения лабораторной работы

4.1. Используя конспект и рекомендованную литературу, изучить теоретический материал, относящийся к теме работы.

4.2. Создать на рабочем поле симулятора схемы логических элементов ИЛИ и И на диодах. В качестве источника сигналов использовать гальванические элементы (в Протеусе элемент CELL). Выходное напряжение контролировать с помощью вольтметра.

4.3. Задавая с помощью переключателей (SW-SPDT) на вход схем уровни 0 или 1 составить таблицу истинности исследуемых логических элементов.

4.4. Создать на рабочем поле симулятора схемы для исследования логических элементов ИЛИ-НЕ и И-НЕ на интегральных микросхемах, выполненных на КМОП-транзисторах. Исследуемые микросхемы выбираются из категории CMOS 4000 согласно заданному варианту (Приложение Б).

4.5. Задавая с помощью переключателей (SW-SPDT) на вход схем уровни 0 или 1 составить таблицу истинности исследуемых логических элементов. Уровень сигнала на выходе контролировать вольтметром.

4.6. Создать в рабочем поле симулятора схемы задержки импульсов, изображенных на рисунках 2.3а и б. Резистор R2 сделать варьлируемым от 1 до 20 кОм.

4.7. Подать на вход последовательность прямоугольных импульсов с частотой, указанной в таблице вариантов, измерить время задержки выходного импульса. Зарисовать осциллограммы сигналов на входах и выходах обоих инверторов.

4.8. Составить схему генератора прямоугольных импульсов с параметрами RC-цепочки, указанной в таблице вариантов. Исследовать с помощью виртуального осциллографа формы импульсов на входах и выходах инверторов и измерить частоту генерируемых импульсов.

Примечание: С целью обеспечения возникновения колебаний в генераторе необходимо осуществить предзаряд конденсатора, как показано на рисунке приложения В. Для этого необходимо активировать на левой вертикальной панели инструментов иконку LBR, щелкнуть ЛКМ на проводнике рядом с конденсатором и в открывшемся окне ввести $IC=5V$.

6. Содержание отчета

- 5.1. Цель и программа работы.
- 5.2. Расчетные соотношения для исследуемых схем.
- 5.3. Принципиальные электрические схемы исследуемых устройств.
- 5.4. Таблицы, графики и временные диаграммы экспериментальных исследований.
- 5.5. Выводы по результатам экспериментов.

6. Контрольные вопросы

6.1. Расскажите об основных логических элементах, применяемых в цифровых электронных устройствах, запишите их логические выражения, составьте их таблицы истинности и начертите условные графические обозначения этих элементов по ГОСТ и ANSI.

6.2. Начертите схемы логических элементов ИЛИ и И на диодах и объясните их работу.

6.3. Начертите схемы ИЛИ и И на транзисторах и объясните их работу.

6.4. Начертите схемы ИЛИ-НЕ и И-НЕ на КМОП-транзисторах и объясните их работу.

6.5. Как изменяется ток, потребляемый КМОП логическим элементом с ростом частоты его переключения?

6.6. Начертите схему задержки импульсов на основе логических элементов и поясните ее работу с использованием временных диаграмм.

6.7. Поясните, как можно уменьшить задержку заднего фронта импульса на выходе элемента задержки?

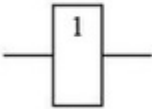
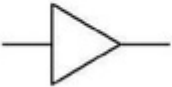
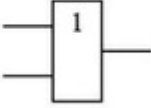
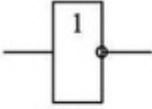
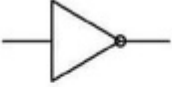
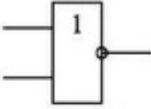
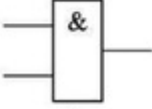
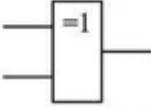
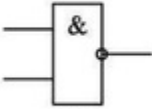
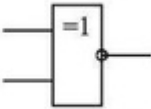
6.8. Зачем в схеме, изображенной на рис.2.4б установлен диод?

6.9. Начертите схему генератора прямоугольных импульсов и поясните его принцип действия.

6.10. Зачем в генераторах используется кварцевый резонатор? Покажите, как он выглядит на практике.

ПРИЛОЖЕНИЕ А

Условные графические обозначения логических элементов отечественного
и американского стандартов

ГОСТ	ANSI	ГОСТ	ANSI
 Буфер	 BUF	 ИЛИ	 OR
 Инвертор	 INV	 ИЛИ-НЕ	 NOR
 И	 AND	 Исключающее ИЛИ	 XOR
 И-НЕ	 NAND	 Исключающее ИЛИ-НЕ	 XNOR

ПРИЛОЖЕНИЕ Б

Таблица вариантов

Вариант	Параметры			Примечание
	Используемые ИМС	Частота ГТИ, кГц	Параметры R и C элементов генератора	
1	4011, 4025	1	10 к; 22н	
2	4023, 4001	10	5к; 20н	
3	4012, 4001	20	20к; 10н	
4	4023, 4002	50	15к; 15н	
5	4012, 4025	80	12к; 2н	
6	4023, 4025	100	6к; 30н	
7	4011, 4025	2	10 к; 22н	
8	4023, 4001	12	5к; 20н	
9	4012, 4001	18	20к; 10н	
10	4023, 4002	40	15к; 15н	
11	4012, 4025	50	12к; 2н	
12	4023, 4025	80	6к; 30н	
13	4011, 4025	4	10 к; 22н	
14	4023, 4001	12	5к; 20н	
15	4012, 4001	18	20к; 10н	
16	4023, 4002	16	15к; 15н	
17	4012, 4025	80	12к; 2н	
18	4023, 4025	40	6к; 30н	
19	4011, 4025	2	10 к; 22н	
20	4023, 4001	12	5к; 20н	
21	4012, 4001	20	20к; 10н	
22	4023, 4002	16	15к; 15н	
23	4012, 4025	50	12к; 2н	
24	4023, 4025	60	6к; 30н	
25	4023, 4002	40	15к; 15н	
26	4012, 4025	50	12к; 2н	
27	4023, 4025	80	6к; 30н	
28	4011, 4025	4	10 к; 22н	
29	4023, 4001	12	5к; 20н	
30	4012, 4001	18	20к; 10н	
31	4023, 4002	16	15к; 15н	

ИССЛЕДОВАНИЕ КОМБИНАЦИОННЫХ ЦИФРОВЫХ УСТРОЙСТВ

1. Цель работы

Экспериментальные исследования функционирования шифраторов, дешифраторов и преобразователей кодов. Приобретение практических навыков измерения электрических параметров комбинационных устройств и регистрации временных диаграмм с помощью электро- и радио-измерительных приборов.

2. Основные теоретические положения

2.1 Дешифратор

Дешифратор (декодер) служит для преобразования n -разрядного позиционного двоичного кода в единичный выходной сигнал на одном из 2^n выходов. При каждой входной комбинации сигналов на одном из выходов появляется 1, а на остальных выходах – 0. В дешифраторах с инверсными выходами каждой входной комбинации соответствует 0 только на одном из выходов, а на остальных выходах – 1. Таким образом, по единичному сигналу на одном из выходов можно судить о входной кодовой комбинации. Таблица истинности для декодера с двумя входами изображена в таблице 2.1.

Таблица 2.1 – Таблица истинности двухразрядного дешифратора

x_1	x_2	y_0	y_1	y_2	y_3
0	0	1	0	0	0
1	0	0	1	0	0
0	1	0	0	1	0
1	1	0	0	0	1

Для реализации ДШ необходимо составить логические уравнения для каждого его выхода. Логическое выражение составляется в совершенной дизъюнктивной нормальной форме (СДНФ), при которой логическая функция записывается в виде дизъюнкции (логической суммы) слагаемых (термов), каждое из которых есть конъюнкция всех аргументов (прямых и инверсных). Причем учи-

тываются только значения логической функции, равной единице, а в произведениях записывают инверсии тех аргументов, значения которых в этом случае равны нулю. Так как в дешифраторе логическая единица на выходе появляется только при одной входной комбинации переменных, то СДНФ дешифратора состоит только из одного терма. Исходя из этих положений система логических выражений для двухразрядного дешифратора имеет вид:

$$y_0 = \bar{x}_1 \bar{x}_0; y_1 = \bar{x}_1 x_0; y_2 = x_1 \bar{x}_0; y_3 = x_1 x_0. \quad (2.1)$$

Схема полного дешифратора, составленная на основе уравнений (2.1), показана на рисунке 2.1.

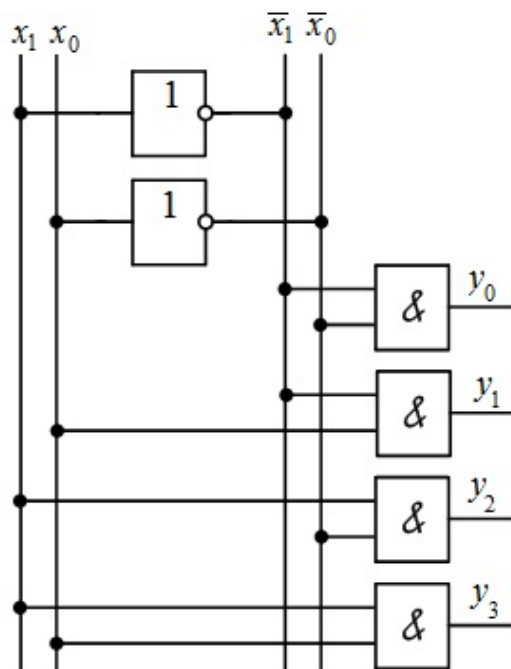


Рисунок 2.1 – Схема двухразрядного дешифратора

В настоящее время промышленность выпускает дешифраторы в интегральном исполнении на основе ТТЛ-, КМОП- и другого типа логики.

Условное графическое обозначение полного дешифратора, выполненного в виде интегральной схемы, показано на рисунке 2.2.

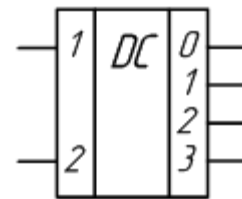


Рисунок 2.2 – Условное графическое обозначение дешифратора

2.2. Шифратор

Шифратор (кодер) выполняет функцию, обратную декодеру (дешифратору), то есть преобразует унитарный двоичный 2^n разрядный код в n разрядный позиционный код. При подаче на один из входов единичного сигнала на выходе формируется соответствующий двоичный код. Условное графическое изображение шифратора показано на рисунке 2.3а.

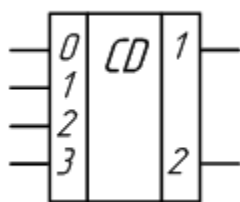
Составим таблицу неполного шифратора при количестве входных линий (количестве разрядов унитарного кода) равным 9. Для кодирования такого количества унитарных комбинаций шифратор должен иметь количество разрядов $n = 4$. Очевидно, что полный шифратор при $n = 4$ мог бы закодировать 16 комбинаций, включая нулевую.

Таблица истинности неполного шифратора на 9 входных линий приведена в таблице 2.2.

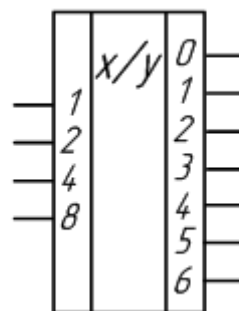
Таблица 2.2 - Таблица истинности неполного шифратора

x_1	x_2	x_3	x_4	x_5	x_6	x_7	x_8	x_9	y_3	y_2	y_1	y_0
1	0	0	0	0	0	0	0	0	0	0	0	1
0	1	0	0	0	0	0	0	0	0	0	1	0
0	0	1	0	0	0	0	0	0	0	0	1	1
0	0	0	1	0	0	0	0	0	0	1	0	0
0	0	0	0	1	0	0	0	0	0	1	0	1
0	0	0	0	0	1	0	0	0	0	1	1	0
0	0	0	0	0	0	1	0	0	0	1	1	1
0	0	0	0	0	0	0	1	0	1	0	0	0
0	0	0	0	0	0	0	0	1	1	0	0	1

Одной из разновидностей шифраторов являются преобразователи кодов (ПК). Преобразователь кода – это комбинационное устройство, в котором каждой входной бинарной комбинации (входному слову) соответствует другая комбинация (выходное слово), причем, разрядности входной и выходной комбинации могут различаться. Условное обозначение ПК в схемах показано на рис.2.3,б.



а)



б)

Рисунок 2.3 – Условные графические обозначения шифратора (а) и преобразователя кода (б)

Рассмотрим в качестве примера преобразователь кода для семисегментного индикатора. В индикаторе (рисунок 2.4) имеется 7 светодиодных сегментов,

которые обозначены буквенными символами a,b,c,d,e,f,g. Диоды имеют общий электрод, с которым соединены их катоды. На аноды диодов подаются сигналы высокого положительного уровня (логические 1), а катод подключается к линии нулевого потенциала. Индикатор может отображать все символы 16-ричной системы счисления. Так, например, для высвечивания цифры 5, на аноды a,c,d,f,g индикатора следует подать единичные уровни.

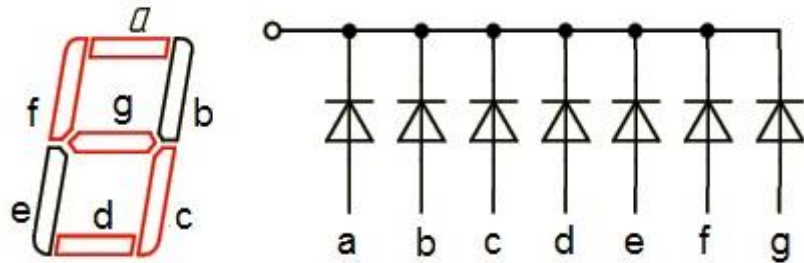


Рисунок 2.4 – Семисегментный индикатор

Очевидно, что входной двоичный код преобразователя кода должен иметь не менее 4-х разрядов ($2^4 = 16$). Составим таблицу истинности работы преобразователя для отображения десятичных символов (таблица 2.3).

Таблица 2.3 – Таблица истинности преобразователя кода

Цифра	Двоичный код 8-4-2-1				Сегменты индикатора						
					а	б	в	г	д	е	ж
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1

По таблице истинности несложно составить систему логических функций для всех выходов, т.е. СДНФ, минимизировать её и составить принципиальную схему.

В вычислительных устройствах информационной техники широко используются двоичные сумматоры. Не зависимо от разрядности используемых сумматоров, все они строятся на основе одноразрядного двоичного сумматора. Существуют два вида двоичных сумматоров: неполный и полный. Условное обозначение этих сумматоров показано на рисунке 2.5.



Рисунок 2.5 – Условные графические обозначения неполного (а) и полного (б) сумматоров

Неполный сумматор формирует сумму двух операндов А и В и сигнал переноса РО в старший разряд. Однако он не учитывает перенос из предыдущего разряда, поэтому он и называется полусумматором. В полном сумматоре в операции суммирования операндов текущего разряда учитывает и значение переноса РІ из предыдущего разряда.

Таблицы истинности двоичных неполного и полного одноразрядных сумматоров можно получить на основании правил суммирования двоичных чисел. Для описания любого сумматора достаточно иметь два логических уравнения. Для полусумматора на основе таблицы истинности получим систему уравнений следующего вида:

$$S = \bar{A}B + A\bar{B} = A \oplus B ; \quad PO = AB . \quad (2.1)$$

Для полного сумматора система логических уравнений принимает вид:

$$S = \bar{PI}(\bar{A}B + A\bar{B}) + PI(\bar{A}\bar{B} + AB) = PI \oplus (A \oplus B) . \quad (2.2)$$

$$PO = AB + PI(\bar{A}B + A\bar{B}) = AB + PI(A \oplus B) . \quad (2.3)$$

Как видно из уравнений, основной логической операцией в двоичных сумматорах является суммирование по модулю 2, которую реализует логический элемент исключающего ИЛИ типа 2И-ИЛИ-НЕ.

Для построения многоразрядного сумматора, необходимо соединить входы и выходы переносов соответствующих двоичных разрядов. Одноразрядные сумматоры практически никогда не использовались, так как почти сразу же были выпущены микросхемы многоразрядных сумматоров. Приме-

ром четырехразрядных сумматоров является микросхема К561ИМ1 (зарубежный аналог 4008).

3. Описание лабораторной установки

Лабораторная установка состоит из персонального компьютера, на котором установлены система моделирования электронных и микропроцессорных систем Proteus VSM. Proteus VSM по умолчанию устанавливается в папку C:\Program\Files\Labcenter Electronics\Proteus. Особенности работы с данной системой описаны в методических указаниях к лабораторной работе №1.

3. Программа выполнения лабораторной работы

3.1. Используя конспект и рекомендованную литературу, изучить теоретический материал, относящийся к теме работы.

3.2. Создать на рабочем поле симулятора схему исследования 4-разрядного дешифратора. В качестве исследуемого дешифратора использовать интегральную микросхему CMOS 4028. Для индикации выходных сигналов использовать светодиоды LED-YELLOW, а для задания входного кода — двухпозиционные ключи SW-SPDT, подключаемые к источнику питания или к сигнальной земле. Предусмотреть включение ограничительных резисторов, чтобы ток сегмента не превышал 20 мА.

3.3. Задавая на входе дешифратора все возможные комбинации, исследовать состояние его выходов.

3.4. Измерить с помощью вольтметра напряжение на выходах дешифратора при подключенном и отключенном светодиоде.

3.5. Создать на рабочем поле симулятора схему исследования преобразователя двоично-десятичного кода в семисегментный. В качестве исследуемого дешифратора использовать интегральную микросхему CMOS 4511. Для индикации выходных сигналов использовать семисегментный индикатор типа 7SEG-COM-CAT, а для задания входного кода — двухпозиционные ключи SW-SPDT, подключаемые к источнику питания или к сигнальной земле. Предусмотреть включение ограничительных резисторов, чтобы ток сегмента не превышал 15 мА.

Примечание: Входы **LT** ((*Lamp test*) – тест индикатора) и **BI** (*Blanking* – гашение) преобразователя кода подключаются к источнику питания, а вход **LE** (*Latch enable* – разрешение защелкивания) – к сигнальной земле.

3.6. Задавая на входе преобразователя кода двоично-десятичные комбинации от 0 до 9, исследовать состояние выходов ПК и индикатора.

3.7. Создать на рабочем поле симулятора схему исследования двоичного сумматора. В качестве исследуемого сумматора использовать интегральную микросхему CMOS 4008. Для индикации выходных сигналов использовать светодиоды LED-YELLOW, а для задания входного кода — двухпозиционные

ключи SW-SPDT, подключаемые к источнику питания или к сигнальной земле. Предусмотреть включение ограничительных резисторов, чтобы ток сегмента не превышал 20 мА.

Примечание: Вход **CI** (Carry-IN – вход переноса) сумматора следует подключить к сигнальному заземлению. Выход **CO** (Carry-Out – перенос в старшую тетраду) оставить свободным.

3.8. Задавая на входе сумматора произвольные числа, исследовать состояние его выходов, т.е. проверить правильность операции суммирования.

3.9. Проверить возможность реализации с помощью данного сумматора операции вычитания двоичных чисел.

Примечание: Для реализации операции вычитания следует число второго операнда представить в дополнительном коде.

5. Содержание отчета

5.6. Цель и программа работы.

5.7. Расчетные соотношения для исследуемых схем.

5.8. Принципиальные электрические схемы исследуемых устройств.

5.9. Таблицы, графики и временные диаграммы экспериментальных исследований.

5.10. Выводы по результатам экспериментов.

6. Контрольные вопросы

6.1. Составьте таблицу истинности для произвольной логической функции с тремя переменными и запишите логическое выражение для этой функции.

6.2. Начертите условное обозначение дешифратора и запишите логические выражения для первых шести выходов 4-разрядного дешифратора.

6.3. Начертите логическую схему полного 3-разрядного дешифратора с прямыми выходами.

6.4. Начертите логическую схему полного 2-разрядного дешифратора с инверсными выходами.

6.5. Составьте таблицу истинности и логическую схему 7-входового шифратора.

6.6. Чем преобразователь кода отличается от шифратора и дешифратора?

6.7. Запишите таблицу истинности для сумматора по модулю 2 и изобразите его условное графическое обозначение в схемах.

6.8. Запишите таблицу истинности для одноразрядного полусумматора и изобразите его условное графическое обозначение в схемах.

6.9. Запишите таблицу истинности для полного одноразрядного сумматора и изобразите его условное графическое обозначение в схемах.

6.10. Начертите схему 5-разрядного сумматора, выполненного на базе одноразрядных сумматоров.

ИССЛЕДОВАНИЕ ТРИГГЕРНЫХ УСТРОЙСТВ

5. Цель работы

Экспериментальные исследования функционирования различных типов триггеров. Приобретение практических навыков исследования последовательностных устройств и регистрации временных диаграмм с помощью электро- и радио-измерительных приборов.

6. Основные теоретические положения

2.1 Триггеры

Триггеры – устройства, имеющие два устойчивых состояния, служащие для запоминания двоичной информации. Состояния триггера определяются по логическим уровням на его выходах. В триггере имеется два выхода: прямой и инверсный. Прямой выход обычно обозначают символом Q, а инверсный Q с чертой. Состояние триггера определяют по логическому уровню на выходе Q. Говорят, что триггер находится в состоянии логической единицы, если на выходе Q имеется высокий уровень напряжения, соответствующий логической единице. Обычно это 2,4 - 6 В.

Входы триггера разделяются на информационные и управляющие. *Информационные* входы обозначаются следующим образом:

S (от англ. SET) — вход для установки триггера в состояние «1»;

R (от англ. RESET) — вход для установки триггера в состояние «0»;

J (*Jump* –прыжок) — вход для установки в состояние «1» в универсальном триггере;

K (*Kill* –отключение) — вход для установки в состоянии «0» в универсальном триггере;

T (*Toggle* – переключатель) — счётный (общий) вход;

D (*Data*) — вход для установки в состояние «1» или состояние «0».

Управляющие входы обозначаются:

V — для разрешения приёма информации (иногда обозначается буквой E);

C (*Clock*)— Вход синхронизации;

OE(*Output Enable*) – разрешение выхода.

Обычно название триггера связано с имеющимися у него входами:

RS-триггер, JK-триггер, D-триггер и др.

По способу записи информации триггеры подразделяются на асинхронные и синхронные. В *асинхронных триггерах* состояние на выходе изменяется сразу же после изменения сигнала на информационных входах. В *синхронных триггерах* для передачи сигнала с информационных входов на выходы требуется специальный синхронизирующий (стробирующий) импульс. Синхронные триг-

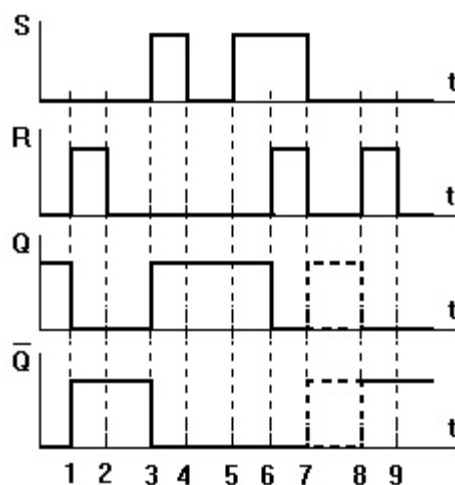
ггеры подразделяются на триггеры со статическим управлением и триггеры с динамическим управлением. В триггерах с динамическим управлением передача сигнала с информационных входов на выходы осуществляется по фронту или по спаду синхронизирующего импульса.

RS-триггер – это устройство с двумя устойчивыми состояниями «1» и «0», имеющего два информационных сигнала R (Reset) – установка триггера в нулевое состояние и S (Set) – установка в единичное состояние. Состояние триггера определяется уровнем сигнала на его выходе Q. Высокий уровень напряжения (2,4...6 В) на выходе Q соответствует состоянию триггера «1», а низкий (0,1...0,4 В) – состоянию «0». В некоторых случаях в триггере имеется также вывод инверсного сигнала – не Q..

Работу RS-триггера можно описать различными способами: аналитически с помощью логической формулы; с помощью таблицы истинности (рисунок 2.1,а), в которой записываются состояния на входах и выходах триггера в различные моменты времени; с помощью временных диаграмм (рисунок 2.1,б).

R	S	Q	$\bar{Q}$
0	0	исх.	исх.
0	1	1	0
1	0	0	1
1	1	неопр.	неопр.

а)



б)

Рисунок 2.1 - Таблица истинности (а) и временная диаграмма (б) RS-триггера

RS-триггеры обычно строятся на основе логических элементов 2И-НЕ или 2ИЛИ-НЕ. На рисунке 2.2,а приведена функциональная схема асинхронного RS-триггера с инверсными входами на двух логических элементах 2И-НЕ, а на рисунке 2.2,б – его условное обозначение на принципиальных схемах. Активными информационными сигналами у этого триггера являются сигналы низкого уровня (инверсные входы).

Функциональная схема асинхронного RS-триггера с прямыми входами на двух логических элементах 2ИЛИ-НЕ и его условное обозначение на принципиальных схемах приведены соответственно на рисунках 2.2,в и г. В этой схеме активными входными сигналами являются сигналы высокого уровня.

На рисунках 2.3,а,в изображены функциональные схемы синхронных RS-триггеров с прямыми входами, а условное обозначение этих триггеров на принци-

пиальных схемах показано на рисунке 2.3,б,г. Схема состоит из асинхронного триггера DD1.1, DD1.2 и ключевых элементов DD2.1 DD2.2.

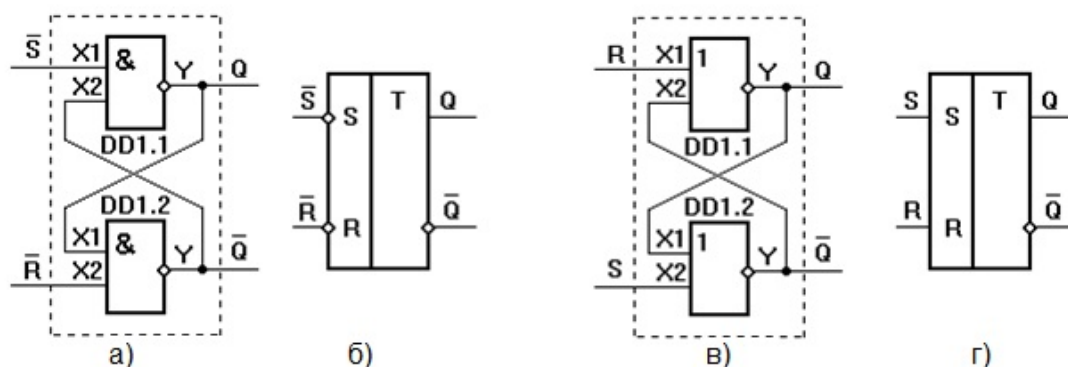


Рисунок 2.2 – Асинхронные RS-триггеры с инверсными и прямыми информационными входами

Переключения синхронного RS-триггера в одно из устойчивых состояний (0 или 1) происходит при подаче информационных сигналов R или S в момент подачи управляющего (синхронизирующего) сигнала C (Clock). Одновременная подача двух активных сигналов не допускается ни в асинхронных, ни в синхронных RS-триггерах..

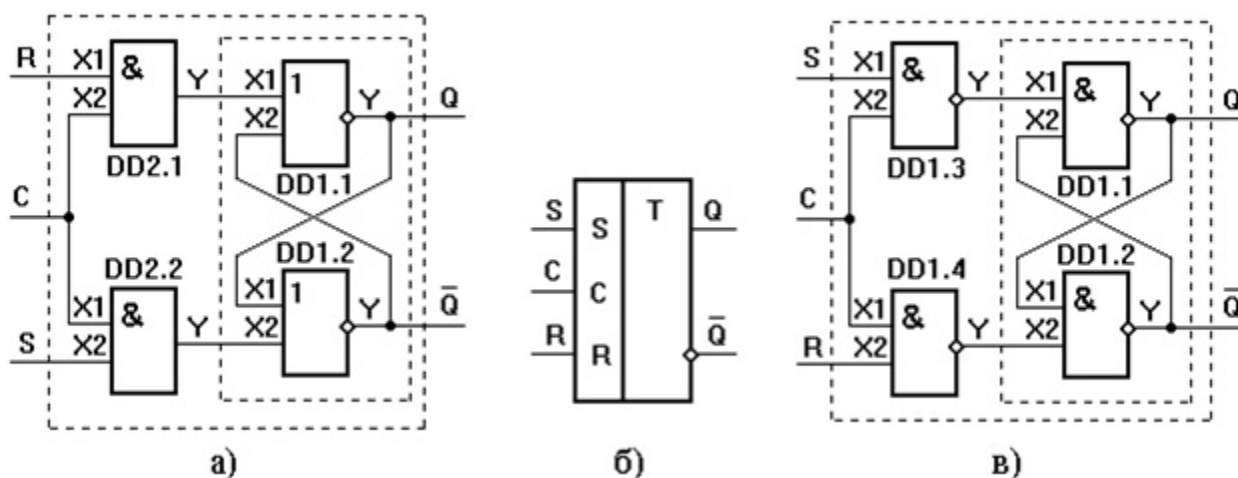


Рисунок 2.3 – Синхронные RS-триггеры на элементах ИЛИ-НЕ и И-НЕ

D-триггер строится на базе RS-триггера. Он может быть только синхронного типа. Выходное состояние Q соответствует значению сигнала на информационном входе D в момент единичного значения синхронизирующего сигнала C. На рисунке 2.4 показаны функциональная схема D-триггера (а), временная диаграмма его работы (в) и условное графическое изображение D-триггера в схемах (б).

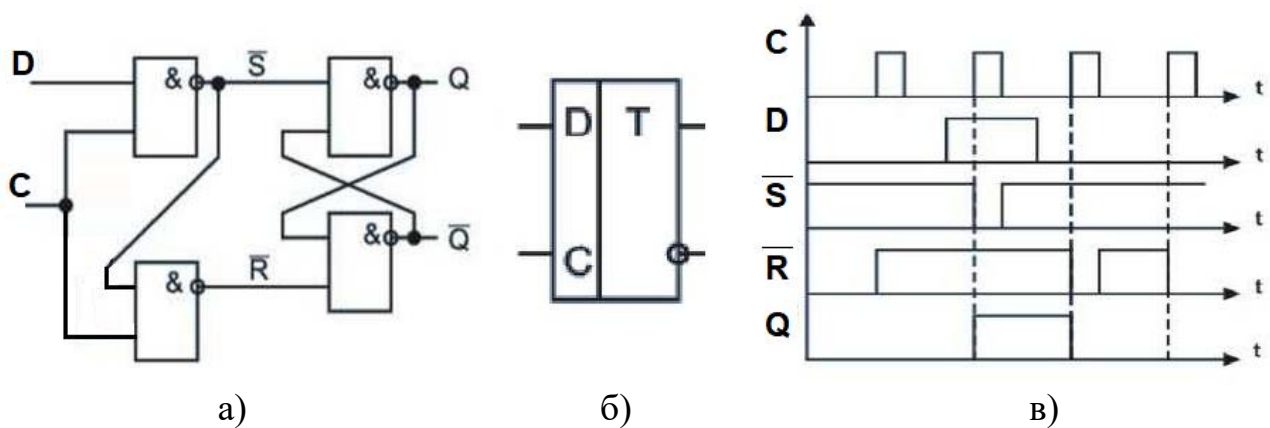


Рисунок 2.4 – Функциональная схема (а), условное графическое обозначение в схемах (б) и временная диаграмма (в) D-триггера

Т-триггер (счетный триггер) имеет один информационный сигнал. При поступлении очередного единичного импульса на вход Т его состояние изменяется на противоположное. С логической точки зрения он является последовательным сумматором по модулю 2. Он также строится на основе RS-триггера. Условное обозначение Т-триггера в схемах и его таблица истинности показаны соответственно на рисунках

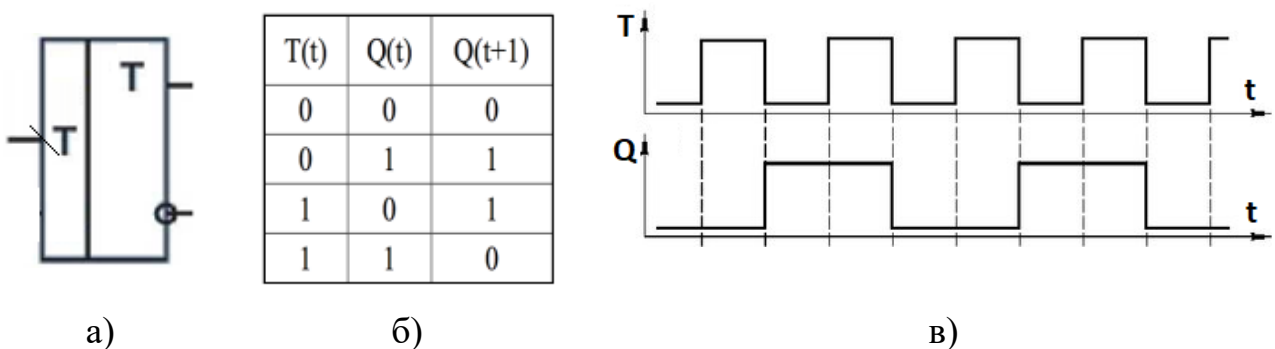


Рисунок 2.5 – Условное обозначение (а), таблица истинности (б) и временная диаграмма (в) Т-триггера

JK-триггер функционирует аналогично RS-триггеру, но отличие от последнего, не имеет запрещенных состояний. Так, информационный J вход JK-триггера соответствует информационному S входу RS-триггера, а вход информационный вход К — входу R. Но, если в RS-триггере одновременная подача логической единицы на оба входа (R и S) запрещена, то в JK-триггере при подаче на оба входа единиц, триггер меняет свое состояние на противоположное. При подаче на вход J логической единицы триггер переключается в единичное состояние, а при подаче на вход К логической единицы триггер переключается в нулевое состояние.

JK-триггеры также строятся на основе RS-триггеров по двухступенчатой схеме. Двухступенчатый JK-Триггер состоит из двух синхронных RS-триггеров

(рисунок 2.6). Первый триггер (первая ступень) является ведущим (Master), а второй (вторая ступень) – ведомый (Slave).

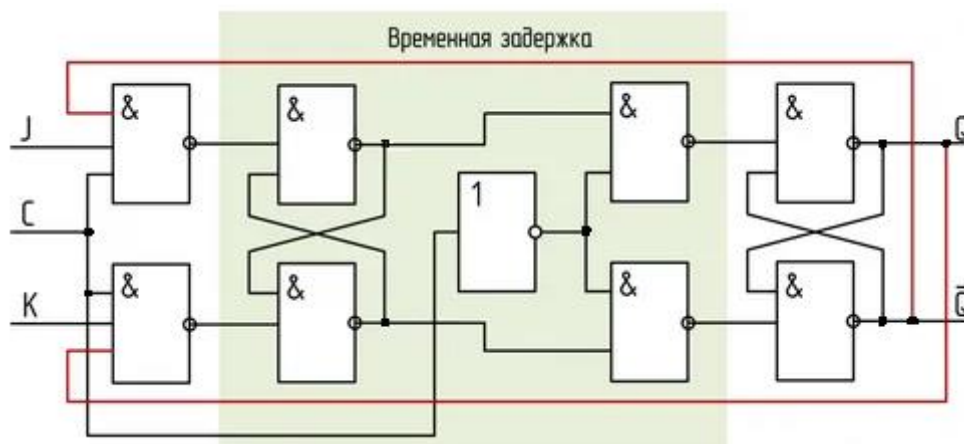
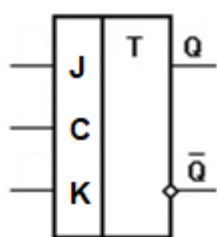


Рисунок 2.6 – Двухтактный JK-триггер на основе RS-триггеров

Сигналы на синхронизирующие входы RS-триггеров подаются в противо-фазе: ведущий триггер переключается при $C = 1$, а ведомый, за счет инвертора, переключается при $C = 0$. Таким образом, происходит поэтапная запись информации в каскады JK-триггера. Благодаря этому в двухступенчатом триггере устраняется противоречие между процессами хранения старой и приема новой информации и исключается опасность возникновения режима генерации.

Условное графическое обозначение в схемах и таблица истинности JK-триггера представлены на рисунке 2.7.



$C(t)$	$J(t)$	$K(t)$	$Q(t+1)$
1	0	0	$Q(t)$
1	1	0	1
1	0	1	0
1	1	1	$\overline{Q}(t)$

Рисунок 2.7 – Условное графическое обозначение и таблица истинности JK-триггера

На рисунке 2.8 изображены условные графические обозначения асинхронного статического RS-триггера (а), синхронного статического RS-триггера, динамического D-триггера с переключением по переднему фронту (в), JK-триггера с переключением по заднему фронту (г), динамического T-триггера с переключением по заднему фронту (д) и универсального статического JK-триггера (е).

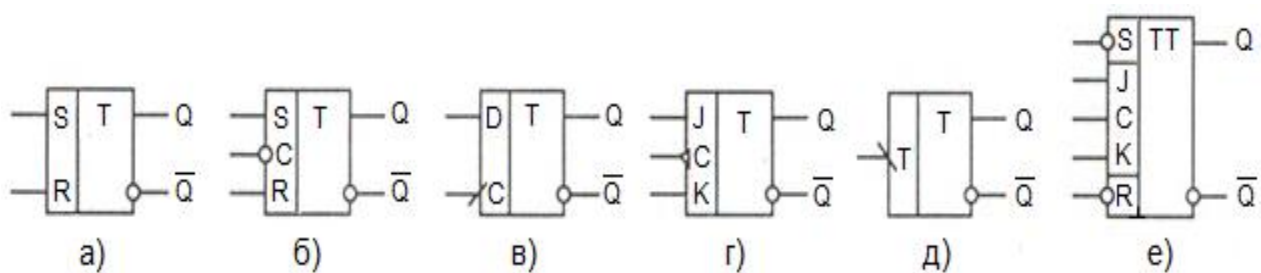


Рисунок 2.8 – Условные графические обозначения различных типов триггеров

Стрелка или черточка на входе показывает, по переднему (► или /) либо заднему (◄ или \) фронту переключается триггер.

3. Описание лабораторной установки

Лабораторная установка состоит из персонального компьютера, на котором установлены система моделирования электронных и микропроцессорных систем Proteus VSM. Proteus VSM по умолчанию устанавливается в папку C:\Program\Files\Labcenter Electronics\Proteus. Особенности работы с данной системой описаны в методических указаниях к лабораторной работе №1.

4. Программа выполнения лабораторной работы

4.1. Используя конспект и рекомендованную литературу, изучить теоретический материал, относящийся к теме работы.

4.2. Составить на рабочем поле схему асинхронного RS-триггера (Приложение А, рисунок А1) и провести исследование ее функционирования.

4.3. Составить на рабочем поле схему синхронного RS-триггера (Приложение А, рисунок А2) и провести исследование ее функционирования.

4.4. Составить на рабочем поле схему исследования синхронного D-триггера (рисунок 2.4) и провести исследование ее функционирования.

4.5. Составить на рабочем поле схему исследования универсального синхронного D-триггера (микросхема ТТЛ 7474) с асинхронной установкой S и сбросом R (Приложение Б, рисунок Б1). Установить тактовую частоту генератора импульсов 1 Гц и амплитуду импульсов 3 В.

4.6. Подавая активные сигналы на входы R и S, исследовать изменение состояния триггера. Измерить амплитуду сигнала логической 1 и логического нуля.

4.7. Замкнуть цепь обратной связи (с инверсного выхода триггера на его информационный вход) и подключить генератор импульсов ко входу синхронизации. Исследовать состояние триггера.

4.8. Увеличить частоту генератора до 10 кГц и зарисовать сигналы генератора и триггера. Измерить частоту импульсов на выходе триггера.

4.9. Составить на рабочем поле схему для исследования универсального синхронного JK-триггера (микросхема ТТЛ 74107) с асинхронным сбросом R (Приложение Б, рисунок Б2). Установить тактовую частоту генератора импульсов 1Гц и амплитуду импульсов 3В.

4.10. Подавая активные сигналы в различной комбинации на входы JK триггера и подавая путем кратковременного нажатия соответствующей кнопки импульсы синхронизации с генератора тактовых импульсов, исследовать состояние триггера. Измерить уровни сигналов 1 и 0.

4.11. Установить частоту генератора 1000 Гц. Подать на входы JK единичные уровни сигналов и исследовать с помощью осциллографа форму импульсов на выходах генератора и триггера, а также измерить частоты сигналов.

5. Содержание отчета

5.1. Цель и программа работы.

5.2. Расчетные соотношения для исследуемых схем.

5.3. Принципиальные электрические схемы исследуемых устройств.

5.4. Таблицы, графики и временные диаграммы экспериментальных исследований.

5.5. Выводы по результатам экспериментов.

6. Контрольные вопросы

6.1. Расскажите о типах триггеров, приведите их условные обозначения и таблицы истинности.

6.2. В чем состоит отличие асинхронных триггеров от синхронных, статических от динамических?

6.3. Поясните функционирование асинхронного RS-триггера, построенного на логических элементах И-НЕ.

6.4. Проанализируйте функционирование синхронного RS-триггера, построенного на логических элементах И-НЕ.

6.5. Поясните функционирование асинхронного RS-триггера, построенного на логических элементах ИЛИ-НЕ.

6.6. Проанализируйте функционирование синхронного RS-триггера, построенного на логических элементах ИЛИ-НЕ.

6.7. Расскажите о функционировании синхронного D-триггера, построенного на логических элементов И-НЕ.

6.8. Проанализируйте работу двухтактного синхронного JK-триггера и начертите временную диаграмму его работы.

6.9. Как можно образовать триггер со счетным входом из универсальных триггеров D- и JK-типов?

6.10. Как можно построить синхронный T-триггер на основе синхронного JK-триггера?

ПРИЛОЖЕНИЕ А

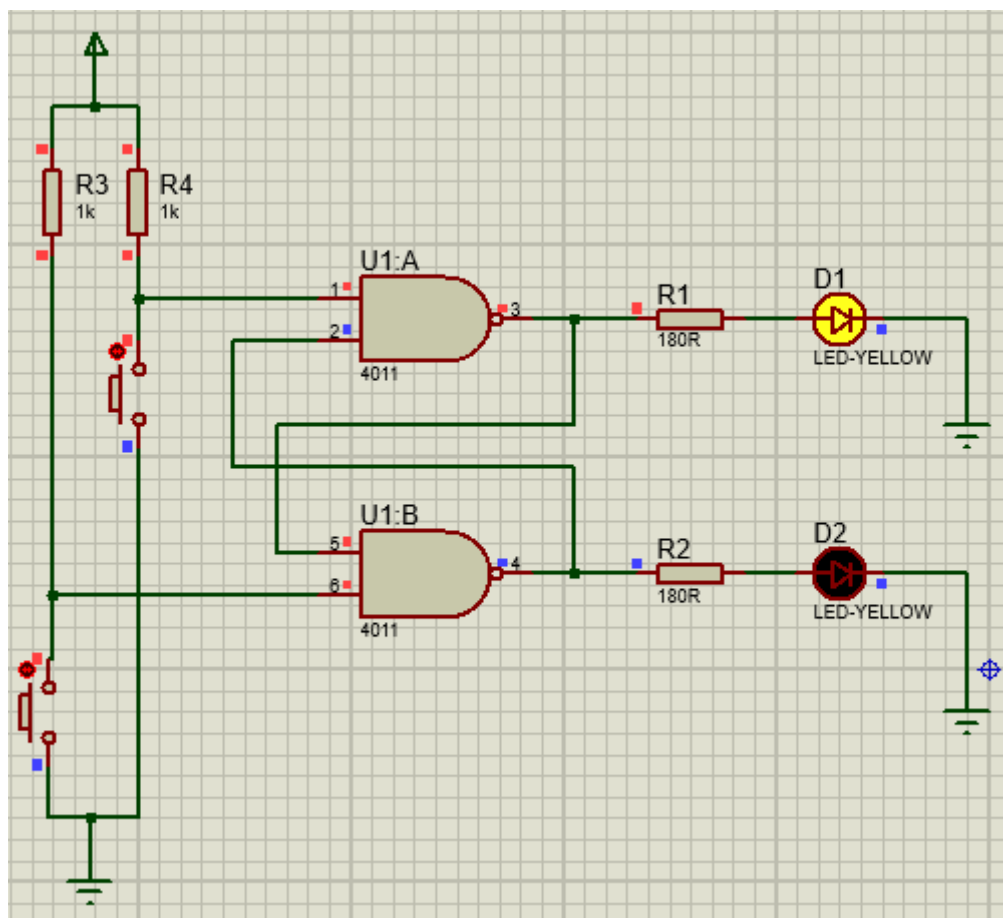


Рисунок А1 – Схема исследования асинхронного RS-триггера

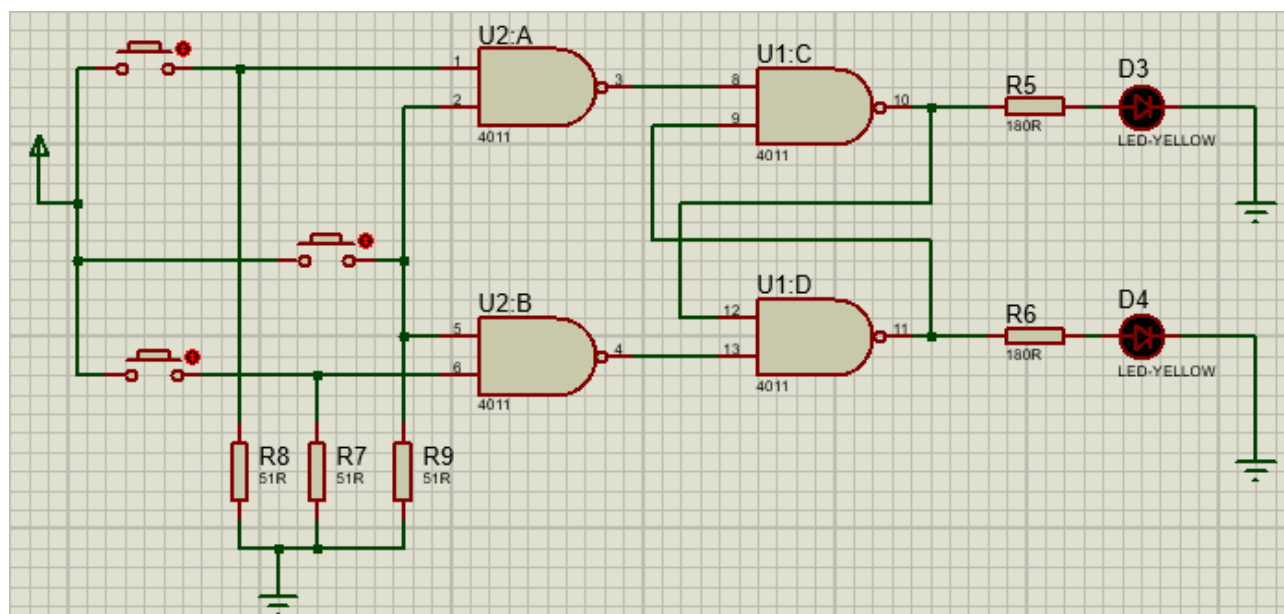


Рисунок А2 – Схема исследования синхронного RS-триггера

ПРИЛОЖЕНИЕ Б

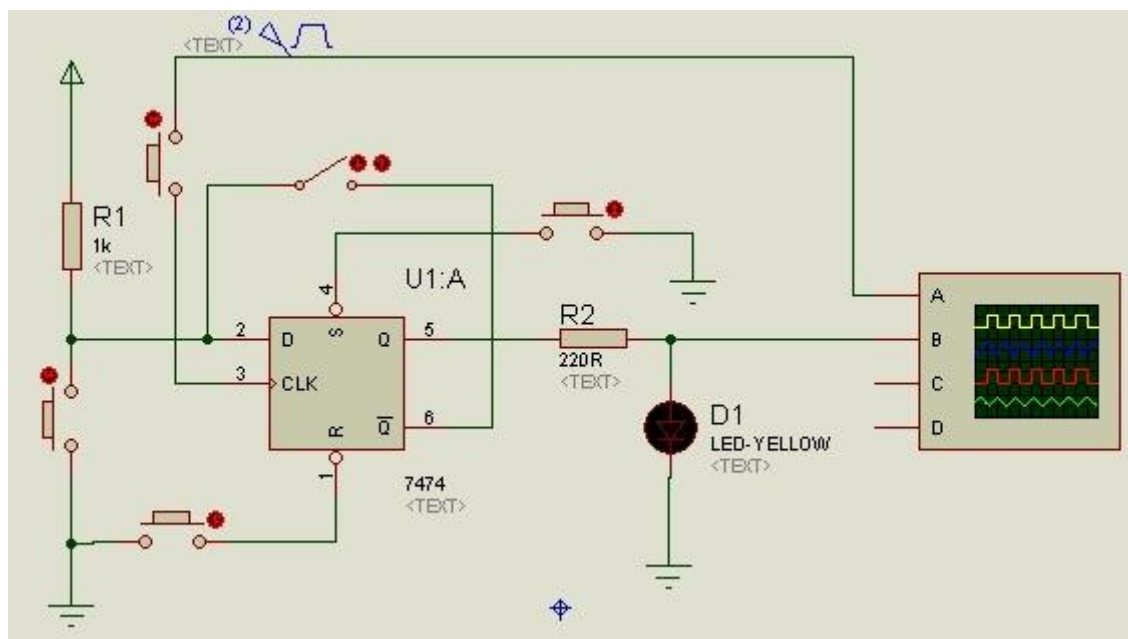


Рисунок Б1- Схема исследования универсального D-триггера

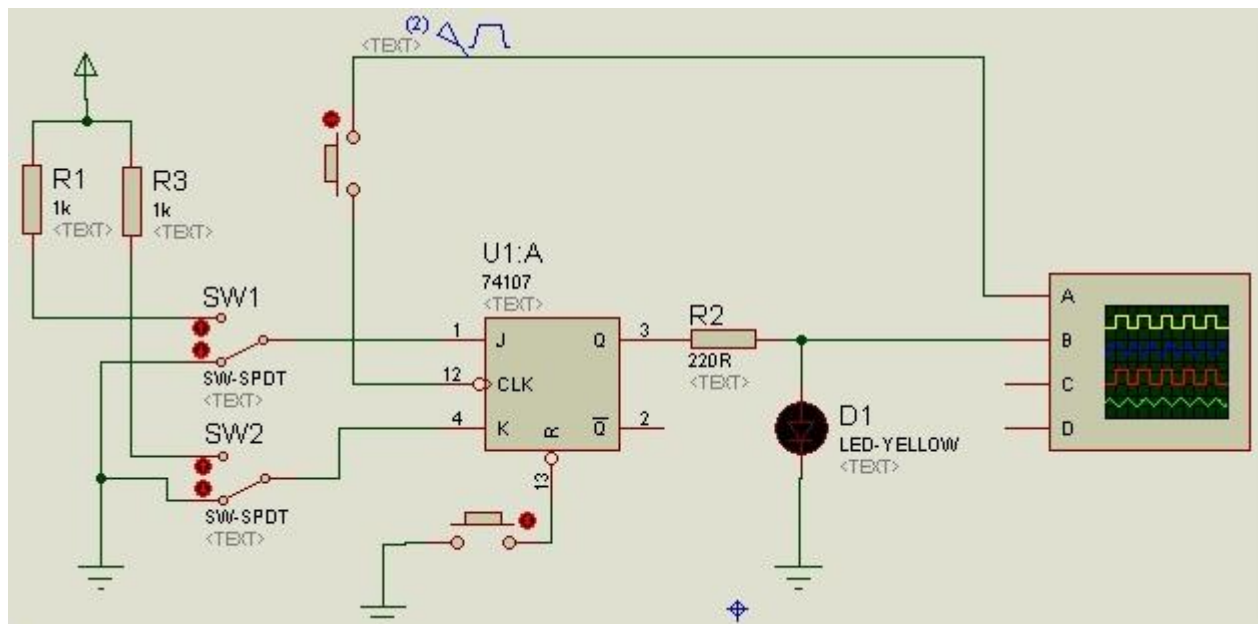


Рисунок Б2 - Схема исследования универсального JK-триггера

ИССЛЕДОВАНИЕ ДВОИЧНЫХ СЧЕТЧИКОВ ИМПУЛЬСОВ

1. Цель работы

Экспериментальные исследования функционирования различных типов двоичных счетчиков. Приобретение практических навыков исследования последовательностных устройств и регистрации временных диаграмм с помощью электро- и радио-измерительных приборов.

2. Основные теоретические положения

Счетчиком называют цифровое устройство, состояние которого соответствует количеству поступившим на его вход импульсов. Одним из основных параметров счетчиков является коэффициент пересчета, который равен минимальному числу импульсов, поступивших на вход счетчика, после которых состояния на выходе счетчика начинают повторяться.

Счетчик называют суммирующим, если после каждого очередного импульса цифровой код на выходе счетчика увеличивается на единицу. В вычитающем счетчике после каждого импульса на входе счетчика цифровой код на выходе уменьшается на единицу. Счетчики, в которых возможно переключение с режима суммирования на режим вычитания, называются **реверсивными**.

Счетчики могут быть с предварительной установкой числа. В таких счетчиках информация с входов предварительной установки передается на выходы счетчика по сигналу на специальном входе предварительной установки.

Счетчики импульсов строятся на основе счетных триггеров (Т-триггеров, либо D-триггеров или JK-триггеров в режиме Т-триггера), которые соединяются последовательно. В интегральном исполнении Т-триггеры выпускаются весьма редко. Их можно получить на основе D- или JK-триггеров. Схемы перевода D- и JK-триггеров в режим Т показаны на рисунке 2.1.

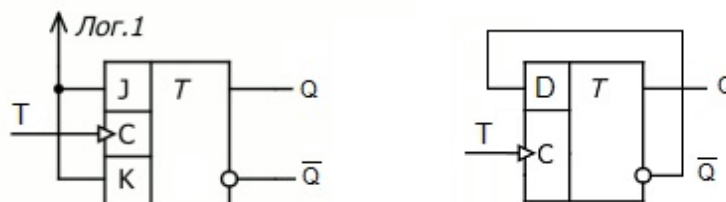


Рисунок 2.1 – Схемы перевода триггеров D- и JK-типов в триггер типа Т

Схема двоичного 4-разрядного счетчика на базе D-триггеров и временная диаграмма представлены на рисунках 2.2. и 2.3.

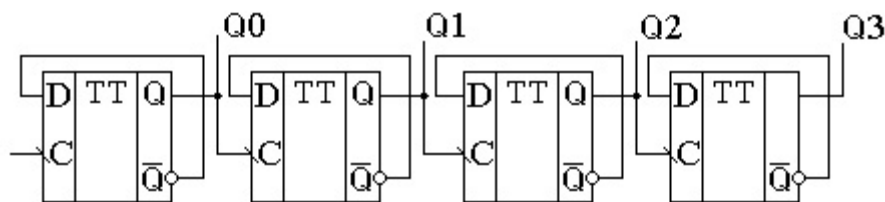


Рисунок 2.2 – Двоичный асинхронный 4-разрядный счетчик импульсов

Счетные импульсы подаются на вход C первого триггера, а выходной код снимается с выходов триггеров Q. Изменение состояние триггеров происходит в момент спада (заднего фронта) импульса на входе C. Как видно из диаграммы, состояния триггеров соответствуют двоичному коду, значение которого увеличивается на единицу с приходом очередного входного импульса C. С приходом каждого 16-го импульса счет начинается сначала.

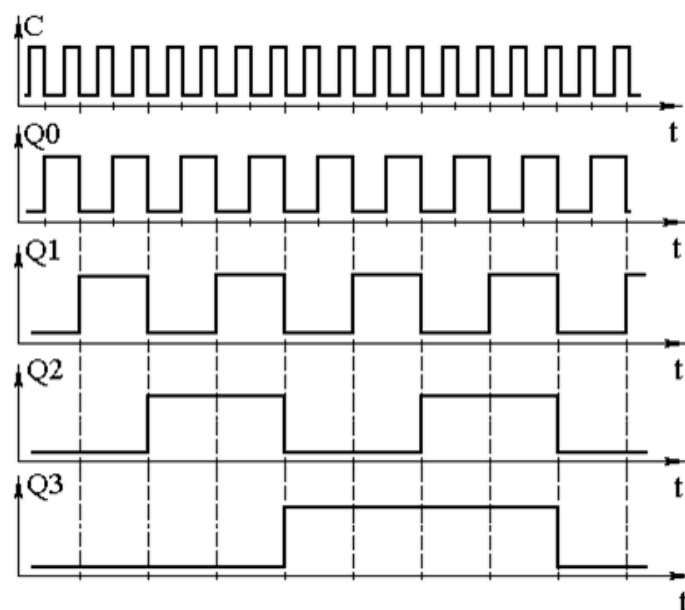


Рисунок 2.3 – Временная диаграмма работы 4-разрядного двоичного счетчика

Реверсивные счетчики. В реверсивных счетчиках предусматривается специальная логическая схема для переключения счетчика либо в режим работы на сложение, либо в режим на вычитание. На рисунке 2.4 приведена схема асинхронного 3-х разрядного реверсивного счетчика с последовательным переносом на двухступенчатых JK-триггерах с коэффициентом пересчета $M = 2^3$.

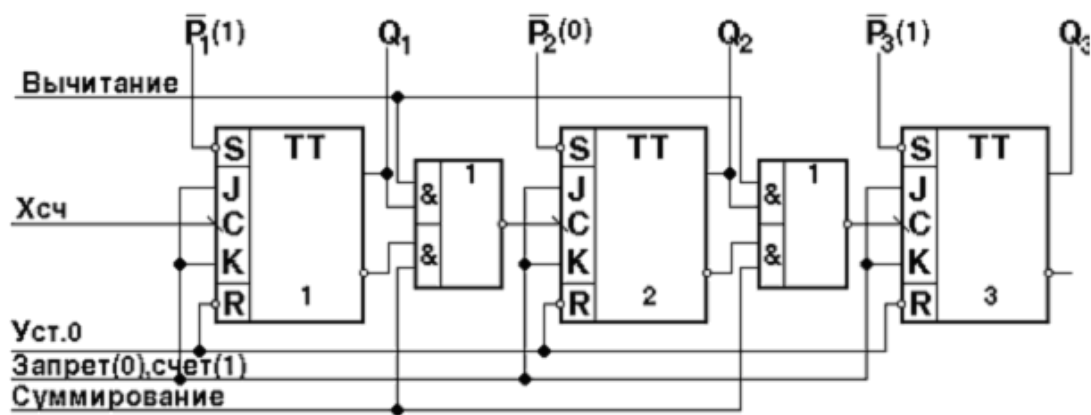


Рисунок 2.4 – Схема реверсивного счетчика импульсов

Режим работы счетчика задается управляющими сигналами "Вычитание" или "Суммирование". Последовательность прямоугольных импульсов **Хсч** подается на вход **С** первого разряда счетчика. Реверсирование достигается тем, что в цепях межразрядных связей производится передача либо сигнала переноса с прямых выходов Q_i либо с инверсных выходов $\bar{Q}_i$. Выбор вида операции «Счет» определяется значениями сигналов на управляющих линиях «Вычитание» или «Суммирование». Для задания начального состояния счетчика в нем предусмотрены цепи параллельного занесения двоичного числа P_1, P_2, P_3 , а также сброса триггеров.

Счетчик Джонсона. Такое название счетчик получил в связи с тем, что Р. Джонсон в свое время запатентовал эту схему. Счетчик Джонсона представляет собой n -разрядный кольцевой регистр сдвига с перекрестной обратной связью. В счетчике введена обратная связь на **D** вход первого триггера с инверсного выхода последнего триггера кольцевого регистра (рисунок 2.5.а). Он имеет **2n** состояний, т.е. при той же разрядности вдвое больше, чем обычный кольцевой регистр. Временная диаграмма работы счетчика изображена на рисунке 2.5 б.

Первым достоинством счетчика Джонсона является то, что состояние 01 или 10 для двух соседних триггеров в течение цикла имеет место один раз независимо от длины счетчика, поэтому для организации дешифратора нужны простейшие элементы 2И.

Второе преимущество – в ходе счета только один триггер изменяет свое состояние и на выходах не возникают ложные пики напряжений, обусловленные задержками сигналов в разных разрядах. Недостаток счетчика Джонсона состоит в том, что если под воздействием помех произойдет ошибочный переброс отдельных триггеров, то такое состояние раз возникнув, само не исправится. Для исключения такой ситуации в счетчик введены корректирующие логические элементы (см. схему в приложении А).

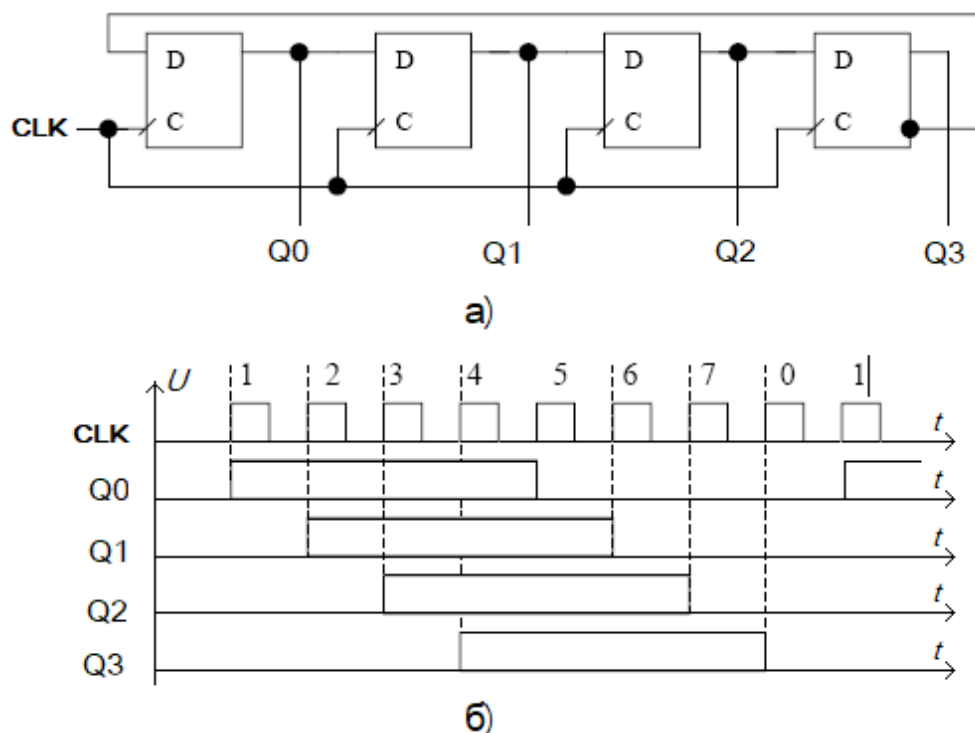


Рисунок 2.5 – Схема и временные диаграммы счетчика Джонсона

3. Описание лабораторной установки

Лабораторная установка состоит из персонального компьютера, на котором установлены система моделирования электронных и микропроцессорных систем Proteus VSM. В процессе выполнения лабораторной работы исследуется функционирование классического двоичного счетчика импульсов, счетчика-делителя частоты, реверсивного двоично/десятичного счетчика и счетчика Джонсона.

Схема установки для исследования функционирования классического 4-разрядного двоичного счетчика импульсов, построенного на основе D-триггеров TTL-логики типа 7474, изображена на рисунке 3.1. Схема позволяет осуществлять подсчет импульсов, поступающих с генератора прямоугольных импульсов, либо формируемых вручную путем нажатия кнопки BUTTON.

Схема установки для исследования функционирования счетчика-делителя частоты изображена на рисунке 3.2. В ее состав входят генератор прямоугольных тактовых импульсов фиксированной частоты, 12-ти разрядный счетчик U2 на основе микросхемы CMOS 4040 (отечественный аналог К1561ИЕ20), цифрового частотомера к которому посредством многопозиционного переключателя SW1 поочередно подключаются выходы делителя частоты и электронного осциллографа. Счетчик, кроме счетного входа CLK, имеет вход для подачи сигнала начального сброса MR (Master Reset).

Схема установки для исследования 4-разрядного реверсивного двоично/десятичного счетчика изображена на рисунке 3.3. 4-разрядный реверсивный

двоичный/десятичный счетчик микросхема CMOS-типа CD4029A (отечественный аналог 561IE14) представляет из себя двоичный синхронный счетчик. Счетчик имеет выводы начальной загрузки, подачи тактовых импульсов и вывод для переключения "двоичный счетчик" / "десятичный счетчик".

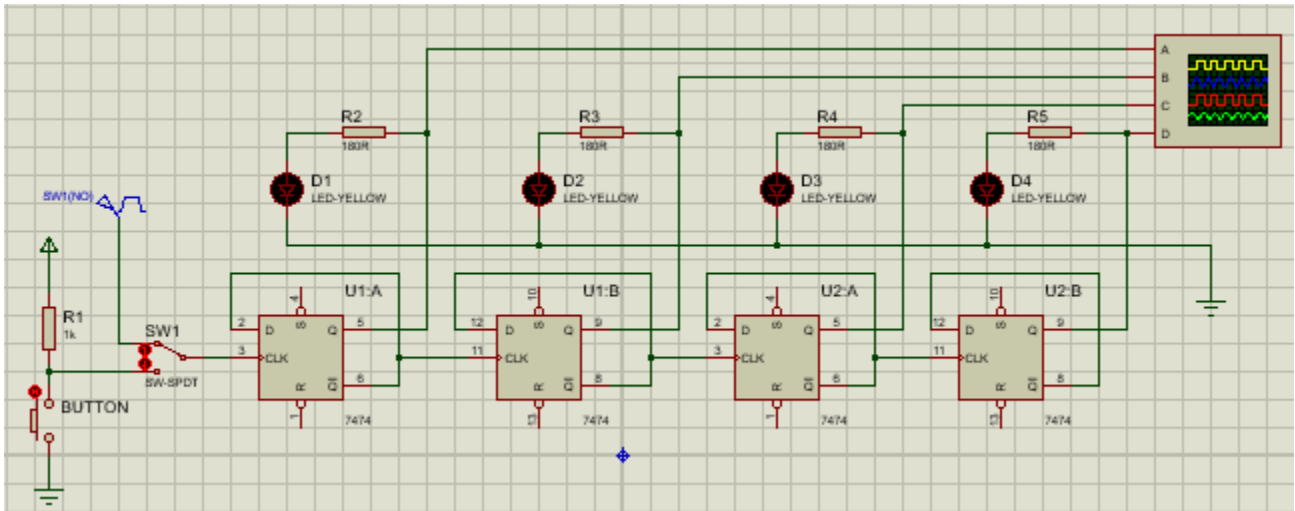


Рисунок 3.1 – Схема исследования двоичного счетчика импульсов

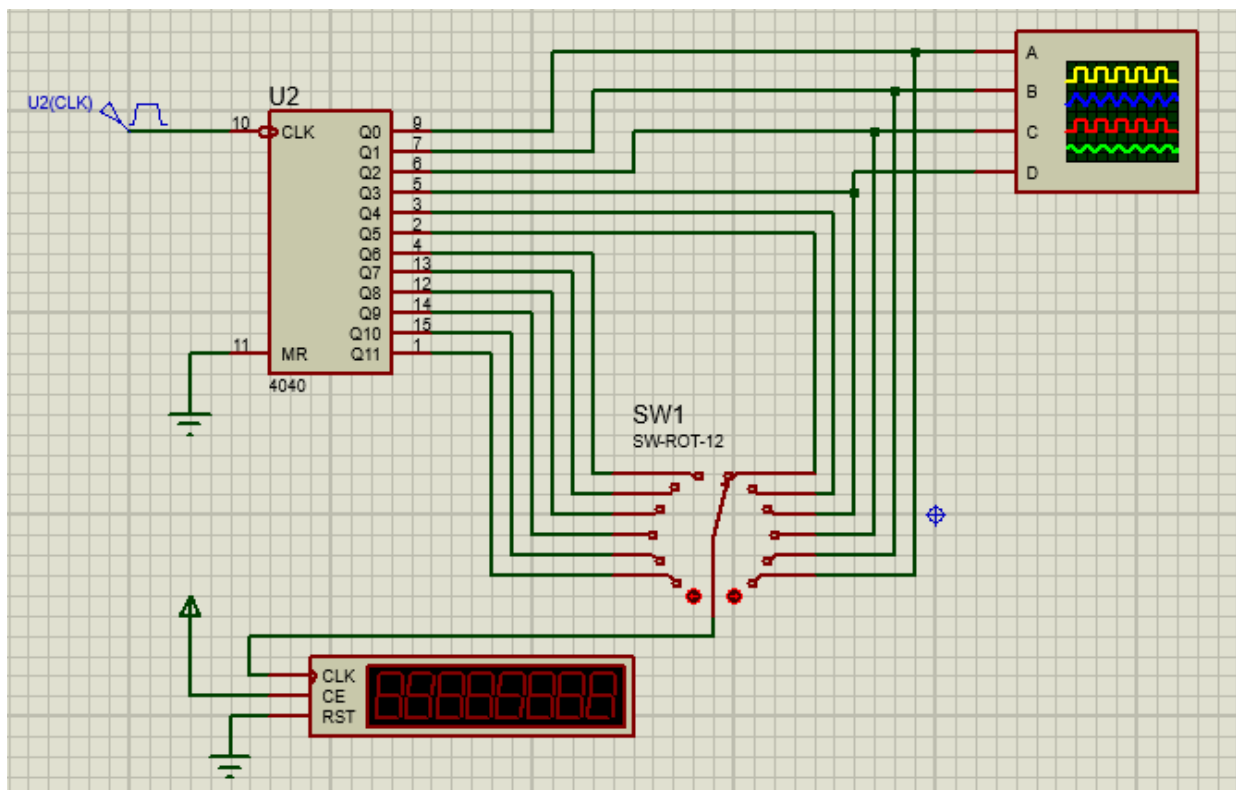


Рисунок 3. 2 – Схема исследования делителя частоты

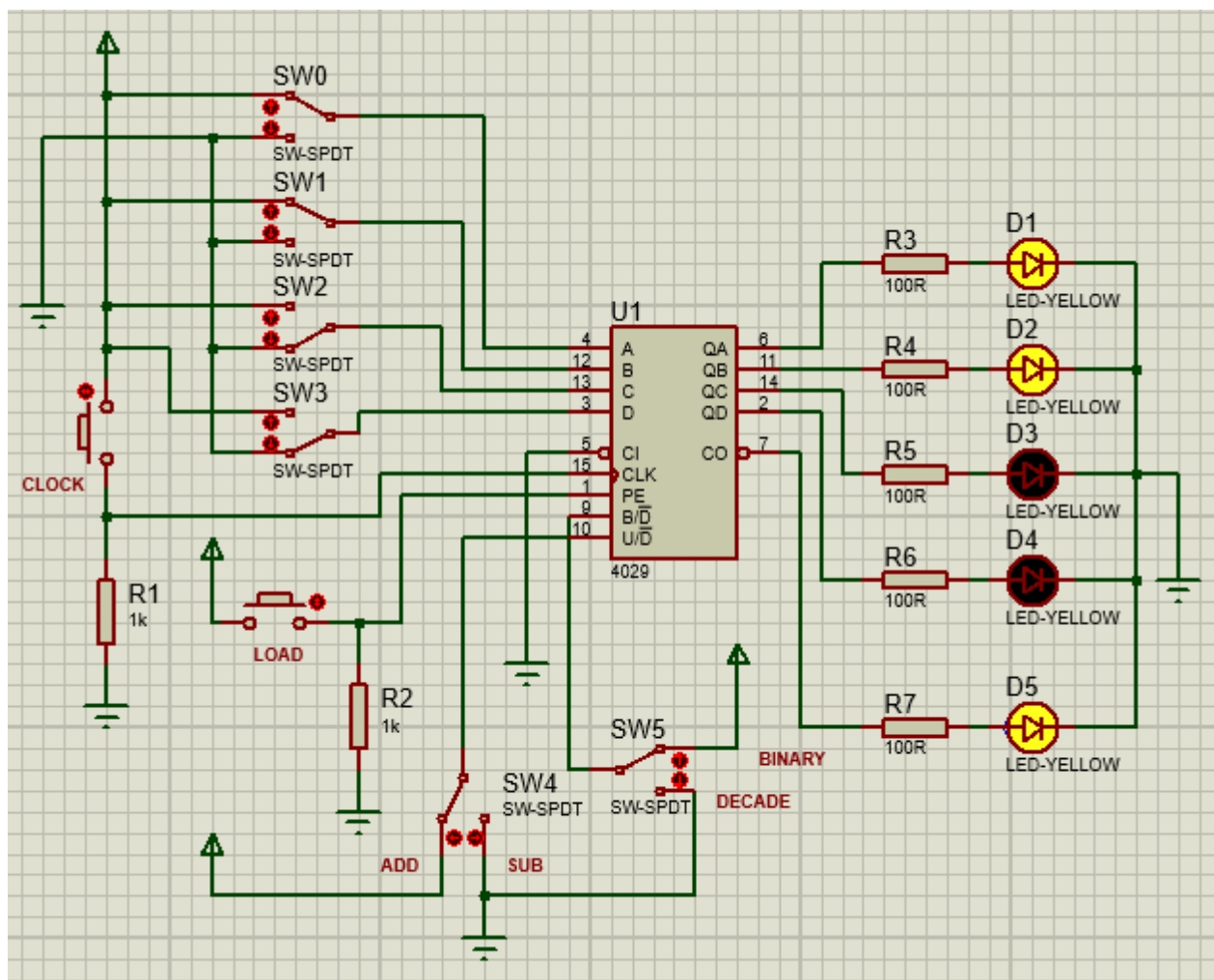


Рисунок 3.3 – Схема исследования реверсивного счетчика импульсов

Сигнальные выводы (ножки) микросхемы служат для подачи или выдачи следующих сигналов:

A,B,C,D – входы записи параллельного кода;

CI (Carry Input) – вход сигнала переноса из предыдущей декады;

CLK (Clock) – вход тактовых импульсов;

PE (Preset Enable) – разрешение загрузки (Load) параллельного кода;

B/D (Binary/Decade) – режим счета двоичный/десятичный). Высокий уровень соответствует двоичному счетчику, низкий – десятичному счетчику;

U/D (Up/Down) – суммирование/вычитание. Высокий уровень соответствует инкрементированию, низкий – декрементированию;

QA,QB,QC,QD – выходы счетчика.

CO (Carry Output) – выход сигнала "перенос" в старший разряд при суммировании или «заем» при вычитании.

Для предварительного занесения параллельного кода применяются ключи SW0 – SW3. Запись кода в счетчик осуществляется при кратковременном нажатии кнопки LOAD.

Счетчик осуществляет подсчет тактовых импульсов, которые подаются на микросхему путем кратковременного нажатия кнопки CLOCK.

Переключение счетчика в режим суммирования или вычитания производится ключом SW4, а переключение счета в двоично или двоично-десятичной системе осуществляется ключом SW5.

Схема исследования счетчика Джонсона изображена на рисунке 3.4. Счетчик реализован в виде микросхемы CMOS 4017 (отечественный аналог К561ИЕ8). Здесь вывод E (Enable) предназначен для подачи разрешения посчитываемых импульсов, которые подаются на вход счетчика CLK. MR (Master Reset) – вход сигнала сброса счетчика. Процесс функционирования счетчика отображается светодиодами, подключенными к его выходам.

Внутреннее устройство 5-разрядного счетчика Джонсона показано в приложении А.

Счетчик Джонсона является делителем частоты входной последовательности импульсов на 10. Схема исследования такого делителя представлена на рисунке 3.5.

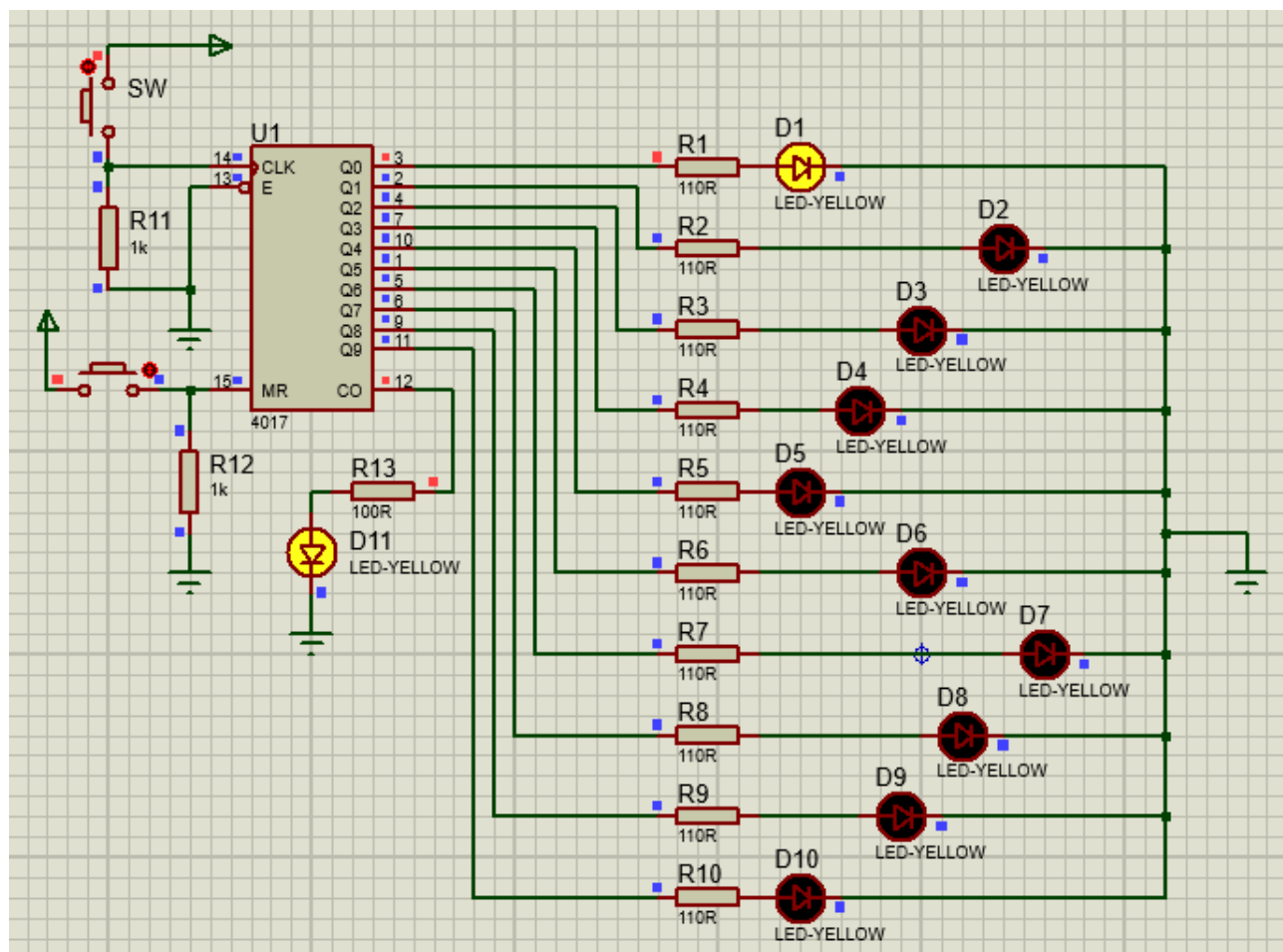


Рисунок 3.4 – Схема установки для исследования счетчика Джонсона

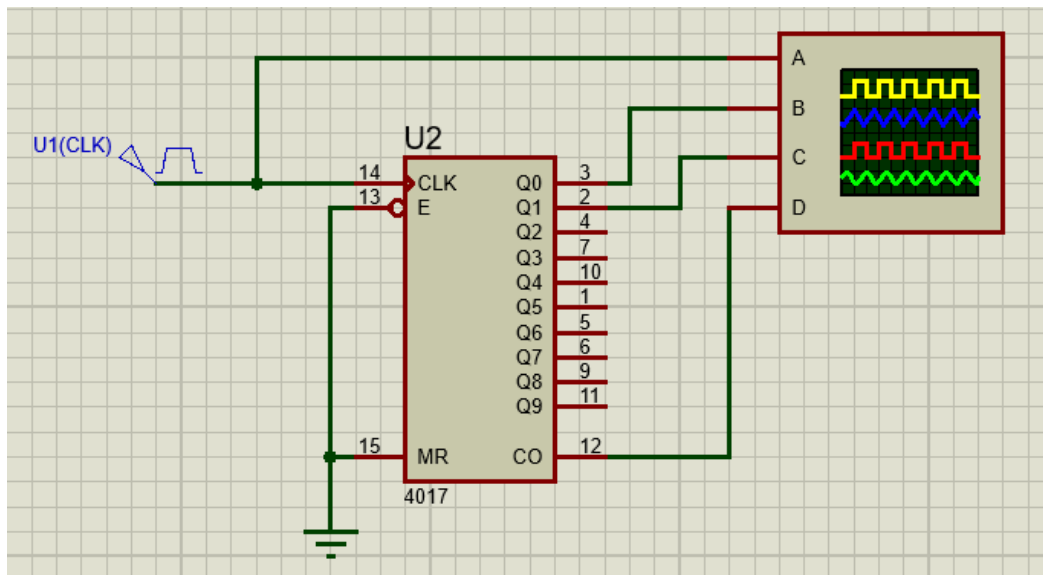


Рисунок 3.5 – Схема исследования счетчика Джонсона в качестве делителя частоты

4. Программа выполнения лабораторной работы

4.1. Используя конспект и рекомендованную литературу, изучить теоретический материал, относящийся к теме работы.

4.2. Создать на рабочем поле симулятора схему исследования 4-разрядного двоичного счетчика (рисунок 3.1). Для построения счетчика применить D-триггеры типа TTL 7474. В качестве источника использовать генератор прямоугольных импульсов частотой 100 кГц и амплитудой 3 В. Для индикации выходных сигналов использовать виртуальный осциллограф.

4.3. Зарисовать форму сигналов на выходе генератора импульсов и каждого триггера и измерить амплитуду и частоту импульсов на выходе каждого триггера. Записать двоичный код на выходе счетчика на каждом такте генератора.

4.4. Составить на рабочем поле схему для исследования делителя частоты (рисунок 3.2). В качестве делителя частоты используется микросхема CMOS 4040. Установить тактовую частоту генератора импульсов 10 кГц и амплитуду импульсов 3В.

4.5. Подключая поочередно с помощью многопозиционного переключателя SW1 к частотомеру выводы делителя, измерить частоты импульсных последовательностей на этих выводах. Вычислить коэффициенты деления по каждому выходу. При измерении частоты следует дождаться появления установившегося значения.

4.6. Составить на рабочем поле схему для исследования реверсивного двоично/десятичного счетчика (рисунок 3.3). В качестве реверсивного счетчика используется микросхема CMOS 4029. Переключить счетчик в режим двоичного счета (переключатель SW5 устанавливается в положение BINARY).

4.7. Задать с помощью переключателей SW0-SW3 произвольную кодовую комбинацию и загрузить ее в счетчик. Убедиться с помощью светодиодных индикаторов в правильности занесенного числа.

4.8. Подавая на вход микросхемы счетные импульсы путем кратковременного нажатия кнопки CLOCK, убедиться с помощью светодиодной индикации в правильности его функционирования в режиме суммирования и в режиме вычитания импульсов, которые устанавливаются с помощью переключателя SW4.

4.9. Повторить п.4.6 при переключении счетчика в режим десятичного счета.

4.10. Составить на рабочем поле схему для исследования счетчика Джонсона (рисунок 3.4). В качестве реверсивного счетчика используется микросхема CMOS 4017. Подавая на вход микросхемы счетные импульсы путем кратковременного нажатия кнопки SW и наблюдая изменение состояния светодиодных индикаторов составить временную диаграмму работы счетчика Джонсона.

4.11. Составить на рабочем поле схему для исследования счетчика Джонсона в режиме делителя частоты на десять (рисунок 3.5). Установить частоту тактового генератора равной 12 кГц и измерить с помощью осциллографа виды сигналов и их частоту на всех выходах счетчика.

4.12. Составить отчет по результатам выполнения лабораторной работы.

5. Содержание отчета

5.11. Цель и программа работы.

5.12. Расчетные соотношения для исследуемых схем.

5.13. Принципиальные электрические схемы исследуемых устройств.

5.14. Таблицы, графики и временные диаграммы (осциллограммы) экспериментальных исследований.

5.15. Выводы по результатам экспериментов.

6. Контрольные вопросы

6.1. Расскажите о типах триггеров, применяемых для построения счетчиков импульсов, приведите их условные обозначения и таблицы истинности.

6.2. В чем состоит отличие асинхронных триггеров от синхронных, статических от динамических?

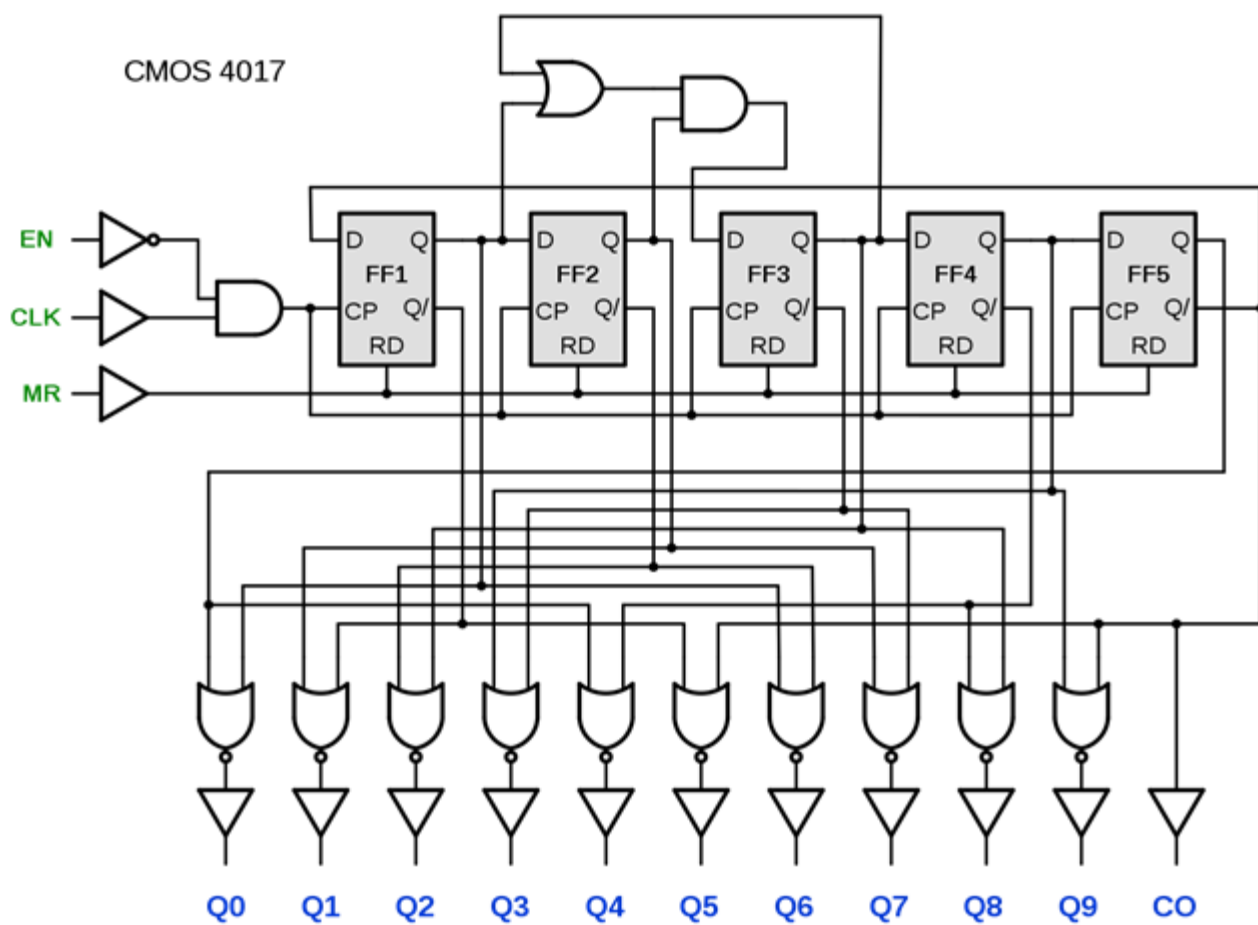
6.3. Как можно образовать триггер со счетным входом из универсальных триггеров D- и JK-типов?

6.4. Начертите условные графические обозначения синхронных и асинхронных счетчиков импульсов с динамическим и статическим управлением.

- 6.5. Расскажите о назначении двоичных счетчиков и их основных параметрах. В чем состоит особенность функционирования реверсивного счетчика?
- 6.6. Начертите схему 3-разрядного двоичного счетчика на D-триггерах и его временную диаграмму.
- 6.7. В чем состоит особенность функционирования недвоичного счетчика?
- 6.8. Приведите примеры построения и применения двоичных и недвоичных счетчиков импульсов с различными коэффициентами пересчета..
- 6.9. Какие счетчики относят к реверсивным? Поясните работу реверсивного счетчика, схема которого изображена на рисунке 2.4.
- 6.10. В чем состоит особенность построения счетчика Джонсона? Поясните принцип работы такого счетчика на примере схемы, представленной на рисунке 2.5.

ПРИЛОЖЕНИЕ А

Схема счетчика Джонсона с дешифратором типа 4017



ИССЛЕДОВАНИЕ СПОСОБОВ ПОСТРОЕНИЯ И ФУНКЦИОНИРОВАНИЯ РЕГИСТРОВ

7. Цель работы

Углубление теоретических знания построения параллельных и последовательных регистров и экспериментальные исследования их функционирования. Приобретение практических навыков измерения электрических параметров и регистрации временных диаграмм с помощью электро- и радиоизмерительных приборов.

8. Основные теоретические положения

Регистр — это последовательностное логическое устройство, используемое для хранения n -разрядных двоичных чисел и выполнения преобразований над ними. Регистры представляют собой несколько (обычно от 4 до 16) D- (чаще всего), RS- или JK-триггеров, соединенных между собой тем или иным способом. Регистры подразделяются на параллельные и последовательные (регистры сдвига). В **параллельных регистрах** (Рисунок 2.1а) каждый из триггеров имеет свой независимый информационный вход (D) и свой независимый информационный выход Q. Тактовые входы (C) всех триггеров соединены между собой.

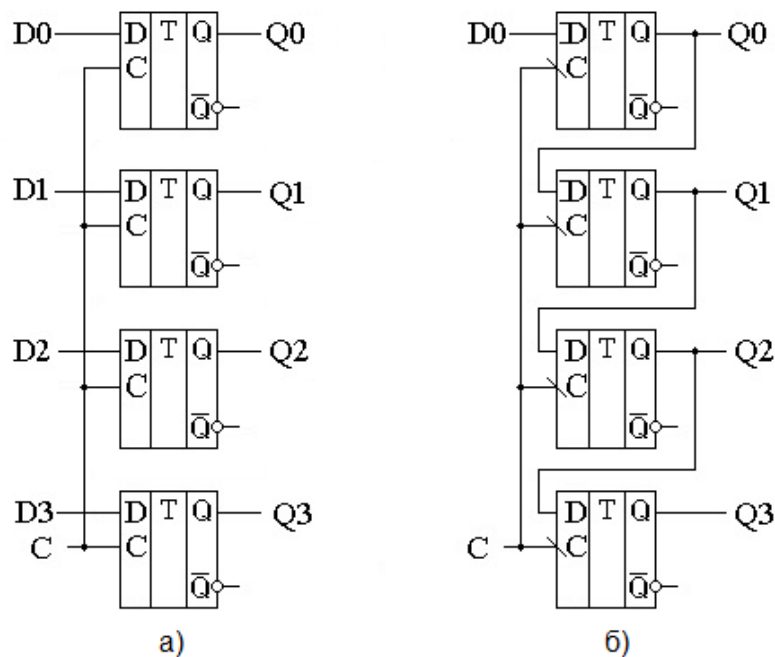


Рисунок 2.1 – Параллельный (а) и последовательный (б) регистры

В **последовательных (сдвиговых) регистрах** (Рисунок 2.1б) все триггеры соединены в последовательную цепочку (*выход Q* каждого предыдущего триггера соединен со входом D следующего триггера). Тактовые входы всех триггеров (C) объединены между собой. В результате такой регистр может рассматриваться как линия задержки, входной сигнал которой последовательно перезаписывается из триггера в триггер по фронту тактового сигнала C. Информационные входы и выходы триггеров могут быть выведены наружу, а могут и не выводиться. Однако всегда выводится выход последнего триггера регистра.

Параллельные регистры, в свою очередь, делятся на две группы:

- регистры, срабатывающие по фронту управляющего сигнала C, часто называемые «тактируемыми» регистры;
- регистры, срабатывающие по уровню управляющего сигнала C, так называемые «стробируемые» регистры (Рисунок 2.1а).

Параллельные регистры, срабатывающие по уровню стробирующего сигнала C (их еще называют регистры-защелки, английское "*Latch*"), можно рассматривать как некий гибрид между буфером и регистром. Когда сигнал на стробирующем входе единичный, такой регистр пропускает через себя входные информационные сигналы, т.е., является буферным усилителем. Когда же стробирующий сигнал становится равен нулю, регистр переходит в режим хранения последнего из значений входных сигналов.

В настоящее время промышленность выпускает 4-х или 8-ми разрядные регистры в виде микросхем. Регистры на схемах обозначаются символами RG. На рисунке 2.2 показаны несколько разновидностей параллельных регистров.

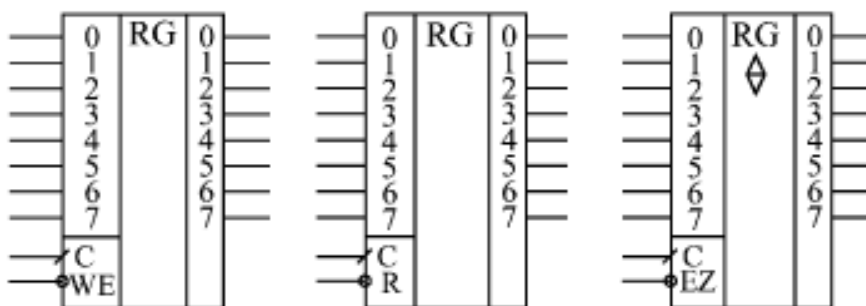


Рисунок 2.2 – Различные модификации параллельных регистров

Наряду с синхронизирующим (стробирующим) входом C, в регистрах могут быть дополнительные управляющие входы: **R** – сброс триггеров регистра; **WE** (Write Enable) – разрешение записи; **OE** (Output Enable) либо **EZ** (Enable Z) – разрешения выхода. Знак ромба на поле регистра показывает, что регистр имеет три состояния (0, 1 и третье – состояние высокого импеданса, обозначаемое символом Z). Такие регистры создаются на основе триггеров с тремя состояниями (см. предыдущие методические указания к лабораторной работе по последовательностным устройствам).

Регистры сдвига или **сдвиговые регистры** (англ. *shift register*) представляют собой, как уже отмечалось, последовательно соединенную цепочку

триггеров. Основной режим их работы – это сдвиг разрядов кода, записанного в эти триггеры, то есть по тактовому сигналу содержимое каждого предыдущего триггера переписывается в следующий по порядку в цепочке триггер. Код, хранящийся в регистре, с каждым тактом сдвигается на один разряд в сторону старших разрядов (вправо на схеме) или в сторону младших разрядов (влево), что и дало название регистрам данного типа.

Сдвиг бывает двух видов: вправо и влево. Сдвиг вправо (в сторону старшего разряда регистра) является основным режимом, он есть у всех сдвиговых регистров. Регистр, в котором реализован сдвиг как вправо, так и влево, называют **реверсивным**.

В стандартные серии (наборы, чипсеты) цифровых микросхем входит несколько типов сдвиговых регистров, отличающихся возможными режимами работы, режимами записи, чтения и сдвига, а также типом выходных каскадов (с двумя или тремя состояниями). Большинство регистров сдвига имеет восемь разрядов. На рисунке 2.3 показаны, в качестве примера, четыре типа отечественных микросхем регистров сдвига серии 1533.

Регистр ИР8 – последовательно-параллельный регистр. Он представляет собой 8-разрядную линию задержки, то есть имеет только один информационный вход D, на который подается последовательная сдвигаемая информация (точнее, два входа, объединенных по функции 2И), и восемь параллельных выходов. Сдвиг в сторону выходов со старшими номерами осуществляется по переднему фронту тактового сигнала C. Имеется также вход сигнала сброса R, по нулевому уровню на котором все триггеры регистра сбрасываются в нуль.

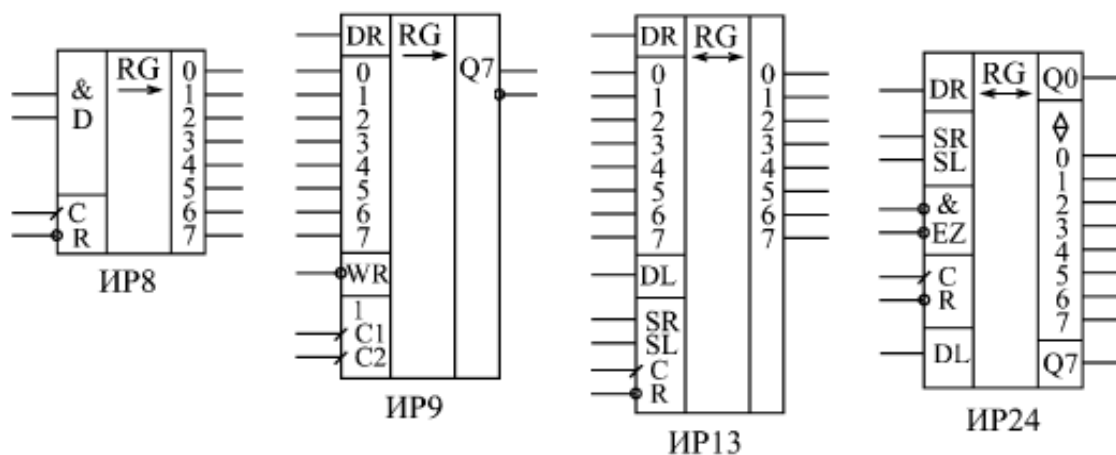


Рисунок 2.3 – Виды регистров сдвига микросхем серии 1533

Регистр ИР9 – параллельно-последовательного типа, выполняет функцию, обратную регистру ИР8. Если ИР8 преобразует входную последовательную информацию в выходную параллельную, то регистр ИР9 преобразует входную параллельную информацию в выходную последовательную. Однако суть сдвига не меняется, просто в ИР9 все внутренние триггеры имеют выведенные параллельные входы, и только один, последний триггер имеет выход (причем как

прямой, так и инверсный). Запись входного кода в регистр производится по нулевому сигналу на входе WR. Сдвиг осуществляется по положительному фронту на одном из двух тактовых входов C1 и C2, объединенных по функции 2ИЛИ. Вход DR может быть использован для записи «1» в младший разряд сдвигового регистра.

Регистры ИР13 и ИР24 являются реверсивными. Направление сдвига вправо или влево определяется соответственно сигналами SR и SL. Биты, предназначенные для сдвига вправо, подаются последовательно на вход DR, а для сдвига влево – на вход DL.

3. Описание лабораторной установки

Лабораторная установка состоит из персонального компьютера, на котором инсталлированы система симулирования электронных и микропроцессорных систем Proteus VSM. Proteus VSM по умолчанию устанавливается в папку C:\Program\Files\Labcenter Electronics\Proteus.

Лабораторный стенд состоит из трех схем:

- 1) 5-разрядного регистра сдвига на D-триггерах (Рисунок 3.1);
- 2) 8-разрядного регистра сдвига на базе микросхем 4015 (Рисунок 3.2);
- 3) 8-разрядного параллельно-последовательного регистра на базе микросхемы 4021 (Рисунок 3.3).

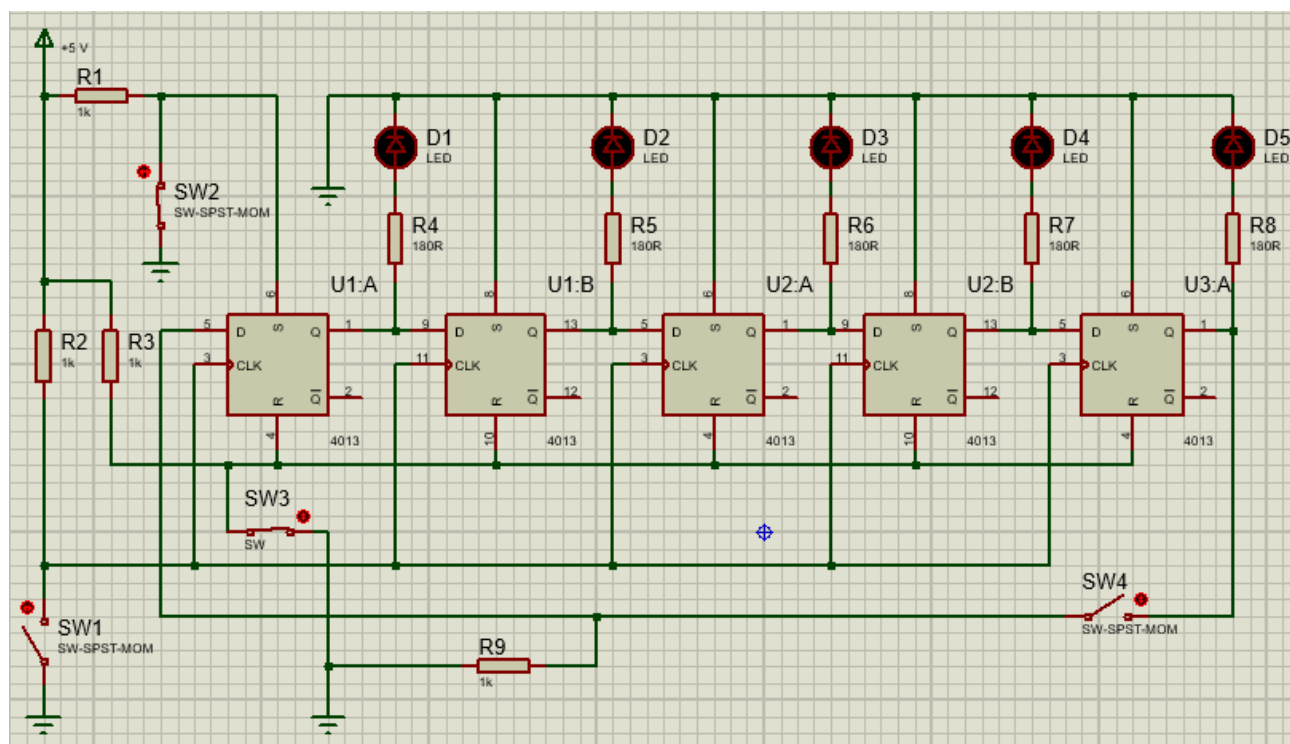


Рисунок 3.1 – Исследование 5-разрядного регистра сдвига на D-триггерах

Кроме собственно регистра сдвига, построенного на основе D-триггеров U1-U3, в схеме первого стенда имеются 5 светодиодных индикаторов D1-D5 и

ключи управления SW1 - SW4. Ключ SW1 служит для подачи сигналов синхронизации на триггеры. С помощью SW2 заносится «1» в первый триггер регистра сдвига. Ключ SW3 предназначен для сброса триггеров, а SW4 служит для замыкания регистра в кольцо при котом биты с выхода регистра поступают на его вход.

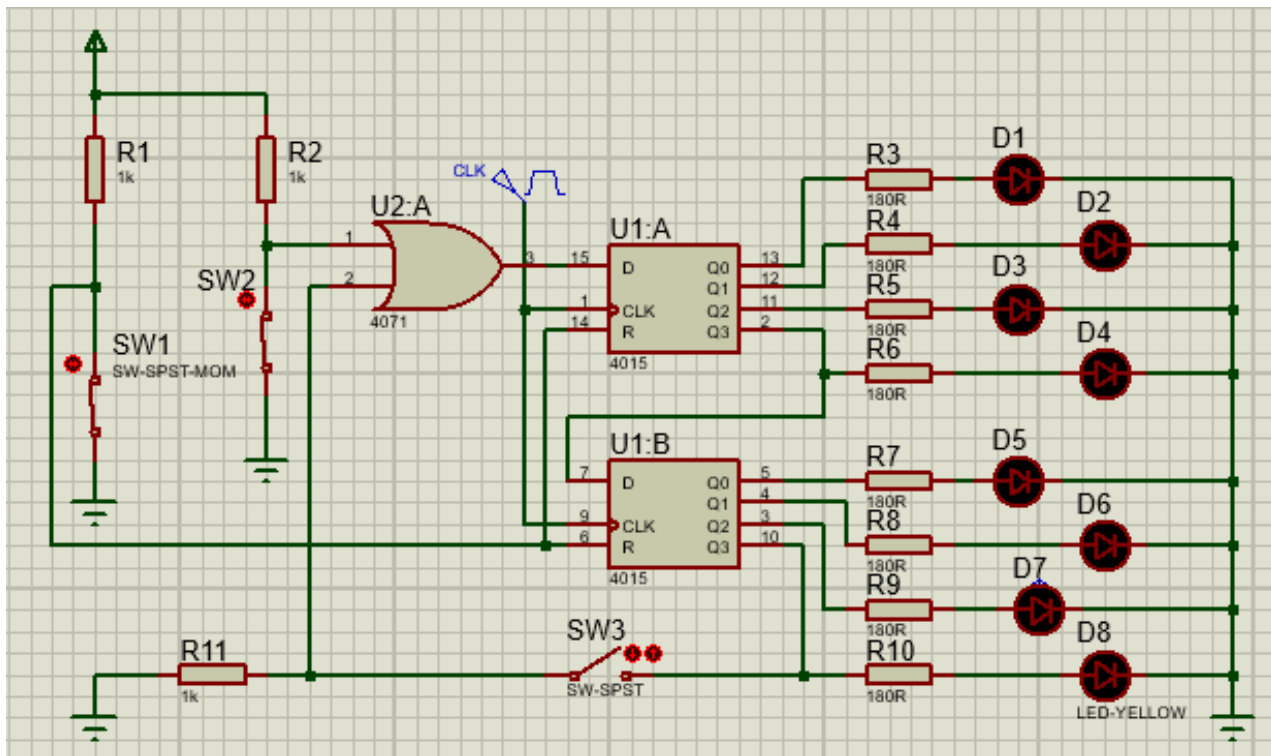


Рисунок 3.2 – Исследование 8-разрядного регистра сдвига на MC 4015

Во втором стенде 8-разрядный регистр сдвига построен на последовательно соединенных двух 4-х разрядных регистрах, содержащихся в микросхеме MC 4015. Ключ SW1 служит для установки регистра в нулевое состояние, ключ SW2 предназначен для занесения «1» в первую ячейку регистра, а ключ SW3 позволяет переключить регистр сдвига в кольцевой режим. Для тактирования регистра сдвига используется генератор прямоугольных импульсов CLK.

В третьем стенде (рисунок 3.3) исследуется параллельно-последовательный регистр, построенный на базе микросхемы 4021. Ключи SW0 –SW7 предназначены для записи в регистр входного слова. Ключ SW1 позволяет переключать регистр в режим параллельного ввода 8-разрядного двоичного слова (высокий уровень на входе P/S) или в режим последовательного побитного вывода (нулевой уровень на входе P/S). Светодиодный индикатор отображает логический уровень выводимых битов. Скорость вывода определяется тактовой частотой генератора прямоугольных импульсов (CLK).

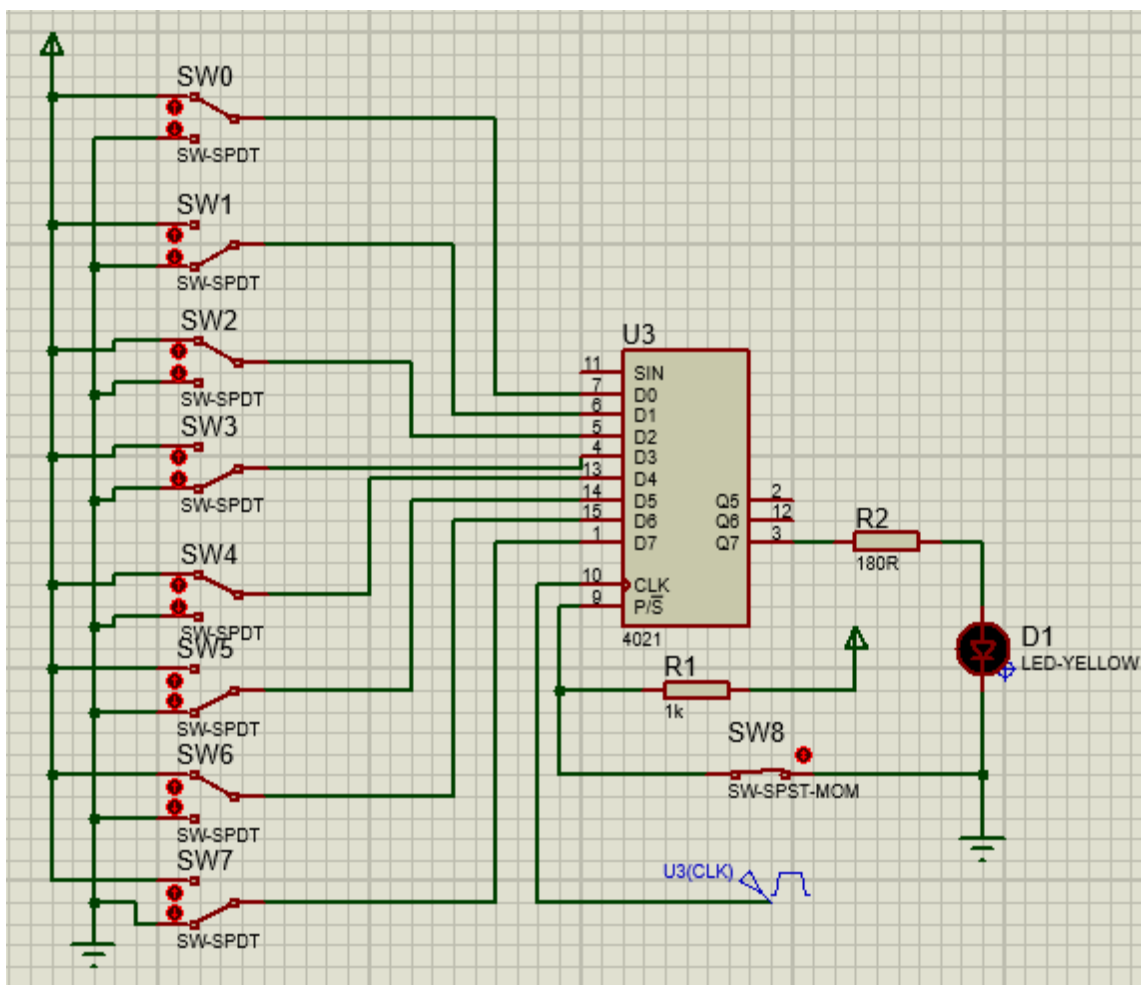


Рисунок 3.3 – Исследование 8-разрядного параллельно-последовательного регистра

4. Программа работы

- 4.1. Повторить теоретический материал по триггерным устройствам.
- 4.2. Изучить теоретический материал по регистрам, используя рекомендуемую литературу и конспект лекций.
- 4.3. Составить схему регистра сдвига, изображенную на рисунке 3.1. В схеме используются триггеры типа 4013 CMOS серии 4000 и ключи типа SW-SPST-MOM.
- 4.4. Исследовать функционирование регистра в обычном и кольцевом режиме путем записи с помощью ключа SW2 в регистр информационных битов и подачи тактовых сигналов кратковременным нажатием SW1. Перевод регистра в кольцевой режим происходит при замыкании ключа SW4.
- 4.5. Повторить п.4.4 для устройства, схема которого изображена на рисунке 3.2.

- 4.6. Составить схему исследования параллельно-последовательного регистра и повторить п.4.4.
- 4.7. Составить отчет по результатам проведенных исследований.

5. Содержание отчета

- 5.1. Цель и программа работы.
- 5.2. Принципиальные электрические схемы исследуемых устройств.
- 5.3. Таблицы и временные диаграммы экспериментальных исследований.
- 5.4. Выводы по результатам экспериментов.

6. Контрольные вопросы

- 6.1. Приведите условное обозначение синхронных и асинхронных триггеров, которые могут использоваться для построения параллельных и последовательных регистров.
- 6.2. Начертите условные обозначения D-триггеров, срабатывающих по уровню, переднему и заднему фронту синхронизирующего сигнала.
- 6.3. Каким образом в D-триггерах реализуется третье Z состояние?
- 6.4. Начертите схемы параллельного и последовательного регистра и поясните их функционирование.
- 6.5. Назовите и поясните виды и назначение управляющих регистром сигналов.
- 6.6. В чем состоит особенность функционирования регистра-защелки?
- 6.7. Как изменится значение двоичного числа, находящегося в последовательном регистре, при сдвиге его вправо?
- 6.8. Поясните назначение ключей (SW), установленных на лабораторных стендах (рисунки 31. – 3.3).
- 6.9. Как изменится значение двоичного числа, находящегося в последовательном регистре, при сдвиге его влево?
- 6.10. Какие устройства персонального компьютера реализованы с помощью регистров различного типа?
- 6.11. Какую функцию выполняет логическая схема И на входе регистра 1533ИР8?

СПИСОК РЕКОМЕНДОВАННОЙ ЛИТЕРАТУРЫ

1. Шишкин, Г. Г. Электроника : учебник для бакалавров / Г. Г. Шишкин, А. Г. Шишкин. — 2-е изд., испр. и доп. — Москва : Юрайт, 2022. — 703 с. — (Бакалавр. Академический курс). — ISBN 978-5-9916-3422-9. — Текст : электронный // Образовательная платформа Юрайт [сайт]. — URL: <https://urait.ru/bcode/508747> (дата обращения: 17.01.2023).
2. Бобровников, Л. З. Электроника. [В 2 ч.]. Часть 1 : учебник для вузов / Л. З. Бобровников. — 6-е изд., испр. и доп. — Москва : Юрайт, 2023. — 288 с. — (Высшее образование). — ISBN 978-5-534-00109-9. — Текст : электронный // Образовательная платформа Юрайт [сайт]. — URL: <https://urait.ru/bcode/514360> (дата обращения: 17.01.2023).
3. Бобровников, Л. З. Электроника. [В 2 ч.]. Часть 2 : учебник для вузов / Л. З. Бобровников. — 6-е изд., испр. и доп. — Москва : Юрайт, 2023. — 275 с. — (Высшее образование). — ISBN 978-5-534-00112-9. — Текст : электронный // Образовательная платформа Юрайт [сайт]. — URL: <https://urait.ru/bcode/514387> (дата обращения: 17.01.2023).
4. Миленина, С. А. Электротехника, электроника и схемотехника : учебник и практикум для вузов / С. А. Миленина, Н. К. Миленин ; под редакцией Н. К. Миленина. — 2-е изд., перераб. и доп. — Москва : Юрайт, 2023. — 406 с. — (Высшее образование). — ISBN 978-5-534-04525-3. — Текст : электронный // Образовательная платформа Юрайт [сайт]. — URL: <https://urait.ru/bcode/511199> (дата обращения: 17.01.2023).
5. Новожилов, О. П. Электроника и схемотехника. [В 2 ч.]. Часть 1 : учебник для вузов / О. П. Новожилов. — Москва : Юрайт, 2023. — 382 с. — (Высшее образование). — ISBN 978-5-534-03513-1. — Текст : электронный // Образовательная платформа Юрайт [сайт]. — URL: <https://urait.ru/bcode/512849> (дата обращения: 17.01.2023)

КОМПЬЮТЕРНАЯ СХЕМОТЕХНИКА

Методические указания

Составитель: Чернега Виктор Степанович

В авторской редакции

Изд. № 137/2023. Объем 5 п.л. Усл. печ. л. 4,65. Уч.-изд. л. 4,9.
РИИЦМ ФГАОУ ВО «Севастопольский государственный университет»