

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ  
РОССИЙСКОЙ ФЕДЕРАЦИИ

Федеральное государственное автономное образовательное  
учреждение высшего образования  
«СЕВАСТОПОЛЬСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ»

МОРСКОЙ ИНСТИТУТ

Кафедра «Судовое электрооборудование»

Ю.В. Матвеев, Е.Н. Ходак

## **ОБЩАЯ ЭЛЕКТРОТЕХНИКА И ЭЛЕКТРОНИКА**

### **Методические указания**

к выполнению лабораторных работ  
для студентов специальностей:

26.05.06 – Эксплуатация судовых энергетических установок,

26.05.05 – Судовождение  
всех форм обучения

*В двух частях*

Часть 2

Севастополь  
СевГУ  
2023

УДК 621.3(076.5)  
ББК 31.21я73  
М33

**Р е ц е н з е н т :**

**Л.Н. Канов** – канд. техн. наук,  
доцент кафедры “Судовое электрооборудование”

**Матвеев, Ю. В.**

**М33**      Общая электротехника и электроника : методические указания к выполнению лабораторных работ для студентов специальностей 26.05.06 – Эксплуатация судовых энергетических установок, 26.05.05 – Судовождение всех форм обучения. – В 2-х частях. Ч. 2 / Ю. В. Матвеев, Е. Н. Ходак ; Севастопольский государственный университет, Морской институт, кафедра «Судовое электрооборудование». – Севастополь : СевГУ, 2023. – 77 с. – Текст : электронный.

Предназначены для студентов Севастопольского государственного университета, Морского института, специальностей: 26.05.06 — «Эксплуатация судовых энергетических установок», 26.05.05 — «Судовождение» всех форм обучения, выполняющих лабораторные работы по дисциплине “Общая электротехника и электроника”.

УДК 621.3(076.5)  
ББК 31.21я73

Рассмотрены и рекомендованы к изданию на заседании кафедры “Судовое электрооборудование”, протокол № 11 от 17 мая 2023 г.

© Матвеев Ю.В., Ходак Е.Н., 2023  
© ФГАОУВО «Севастопольский  
государственный университет», 2023

## ОГЛАВЛЕНИЕ

|                                                                                     |           |
|-------------------------------------------------------------------------------------|-----------|
| <b>Введение.....</b>                                                                | <b>4</b>  |
| <b>Правила техники безопасности.....</b>                                            | <b>7</b>  |
| <b>Лабораторная работа № 1. Исследование базовых логических элементов...</b>        | <b>9</b>  |
| <b>Лабораторная работа № 2. Исследование дешифраторов.....</b>                      | <b>18</b> |
| <b>Лабораторная работа № 3. Исследование сумматоров.....</b>                        | <b>25</b> |
| <b>Лабораторная работа № 4. Исследование триггеров.....</b>                         | <b>31</b> |
| <b>Лабораторная работа № 5. Исследование счетчиков.....</b>                         | <b>45</b> |
| <b>Лабораторная работа № 6. Исследование регистров.....</b>                         | <b>57</b> |
| <b>Лабораторная работа № 7. Исследование аналого-цифрового преобразователя.....</b> | <b>68</b> |
| <b>Литература.....</b>                                                              | <b>76</b> |
| <b>Приложение А. Образец бланка титульного листа к лабораторной работе....</b>      | <b>77</b> |

## ВВЕДЕНИЕ

Лабораторные занятия имеют целью закрепить знания студентами теоретических положений курса, обучить их методам экспериментальных исследований, привить навыки научного анализа и обобщения полученных результатов.

В методических указаниях содержатся описания лабораторных работ по курсу, в каждой из которых указана тема, учебная цель, схема лабораторной работы, порядок выполнения, примерный план отчета, основные теоретические положения.

Занятия в лаборатории являются основным видом занятий, позволяющим получить соответствующие компетентности и навыки по проведению электрических измерений.

При подготовке к проведению лабораторной работы студенты обязаны:

- изучить соответствующие теоретические разделы дисциплины и порядок выполнения работы;

- подготовить бланк отчета.

В бланке отчета по лабораторной работе должны быть отражены:

- название работы;

- цель работы;

- фамилия студента, группа;

- дата выполнения работы;

- схема лабораторной установки;

- список лабораторного оборудования и других элементов лабораторной установки;

- таблицы экспериментальных и расчетных данных;

- графики и диаграммы;

- расчетные формулы и сами вычисления;

- выводы по работе;

- оценка по работе;

- подписи студента и преподавателя с указанием даты.

Образец бланка титульного листа отчета по лабораторной работе приведен в **Приложении А**.

Во время подготовки к лабораторной работе студент заполняет в бланке отчета тему и цель работы, свою фамилию, группу. В этом же бланке он приводит: схему лабораторной установки; список лабораторного оборудования; вопросы, подлежащие исследованию и решенные задачи из задания к лабораторной работе. Для лучшего освоения теоретического материала и подготовки студентов к лабораторным занятиям в методических указаниях приведен список литературы.

После допуска к проведению лабораторной работы и инструктажа по ее проведению студенты, разбившись на группы по 3...4 человека, расходятся по рабочим местам и знакомятся с используемым в лабораторной работе стендом.

Для проведения работы используется современный лабораторный стенд ООО “ЛАБСИС”.

Далее студенты проверяют соответствие электроизмерительных приборов ожидаемым значениям измеряемых величин и записывают в бланк отчета их номинальные данные и основные элементы лабораторной установки.

После этого студенты приступают к сборке схемы лабораторной установки, соединяя элементы схемы таким образом, чтобы можно было легко проверить схему соединений и обеспечить удобство выполнения работы.

По окончании сборки схема должна быть тщательно проверена самими студентами.

Собранная и проверенная студентами схема предъявляется преподавателю (лаборанту) для проверки и, только с его разрешения может быть включена под напряжение.

В момент включения необходимо наблюдать за показаниями приборов. При неправильном или недопустимо большом отклонении стрелок приборов схема должна быть немедленно отключена, после чего необходимо выяснить и устранить причины, вызвавшие указанные явления.

Затем следует приступить к выполнению программы работы в порядке и в соответствии с указаниями, изложенными в настоящем пособии. Каждая группа студентов при выполнении работы ведет протокол наблюдений. Особое внимание следует обратить на осмысленное, а не механическое выполнение каждой операции, стремиться понять физическую сущность происходящих в электрических цепях явлений. После выполнения задания студенты предъявляют результаты работы преподавателю и с его разрешения разбирают схему лабораторной установки. Разобрав схему, студенты приводят в порядок рабочее место, после чего старший группы сдает его преподавателю.

Затем студенты приступают к оформлению индивидуальных отчетов по выполненной работе.

В этом отчете студенты производят анализ выполненного эксперимента и делают выводы по работе. При выполнении графической части отчета необходимо соблюдать следующие правила:

1. Выполняя построение графика функциональной зависимости между двумя переменными, значение аргумента откладывать на оси абсцисс, а значение функции – на оси ординат.

2. Масштабы для аргумента и функции выбирать так, чтобы в 1 см содержалось 1, 2, 5, 10 единиц или кратные этим цифрам значения.

3. На координатных осях наносить только шкалы, соответствующие выбранным масштабам. При этом буквенные обозначения величин должны быть нанесены у концов осей: аргумента — ниже оси абсцисс, а функции — правее оси ординат. Числовые значения величин — соответственно ниже оси абсцисс и левее оси ординат. Если совмещаются зависимости нескольких функций от одного аргумента, то параллельно оси ординат наносится соответствующее число масштабных линий.

4. Опытные данные наносить на график в виде отчетливых точек, кружков или звездочек (для каждой кривой свои обозначения). По точкам и между точками с помощью лекал проводится плавная кривая или прямая, выражающая

функциональную зависимость; не лежащие на этой линии точки чаще всего свидетельствуют о погрешности измерения, наблюдения или расчета.

5. Размер графиков не должен быть меньше  $10 \times 10 \text{ см}^2$ . При необходимости в бланк отчета можно вклеивать дополнительные листы с графиками. В выводах по работе необходимо сделать конкретный анализ полученных результатов по каждому пункту программы. При этом следует указать, какие явления и процессы наблюдались, охарактеризовать измерительную технику, отметить особые свойства элементов схемы и дать оценку их эксплуатационным качествам. Оформленный отчет должен быть подписан студентом и сдан преподавателю в конце занятия (или в другой срок, указанный преподавателем).

В целях самопроверки в конце описания каждой из работ предлагается примерный перечень контрольных вопросов.

**Защита отчетов по лабораторной** работе может проводиться в конце данного лабораторного занятия, либо — в часы консультаций и осуществляться путем проверки отчетов и собеседования со студентом или группой студентов, выполнявших вместе работу.

Автор считает своим долгом выразить благодарность за рецензирование канд. техн. наук, доценту Л.Н. Канову.

# **ПРАВИЛА ТЕХНИКИ БЕЗОПАСНОСТИ**

## **Общие требования**

1. Перед первым посещением лаборатории студенты обязаны изучить данную инструкцию и расписаться в специальном журнале у инженера лаборатории и только после этого допускаются к выполнению лабораторных работ.
2. Студенты, не прошедшие инструктаж по технике безопасности, к лабораторным занятиям не допускаются.
3. Перед началом занятий преподаватель должен напомнить студентам настоящую инструкцию и основные правила техники безопасности.

## **Правила техники безопасности перед началом работ**

В качестве допустимого безопасного синусоидального тока промышленной частоты 50 Гц при длительном воздействии принимается величина 0,001 А, величина тока от 0,025 до 0,03 А приводит к различным поражениям, а от 0,03 до 0,01 А - к потере сознания или даже к смерти. Ток  $\approx 0,1$  А считается безусловно смертельным.

Приведенные выше цифры нельзя считать строго постоянными, так как действие электрического тока на организм человека зависит также от его психического состояния. Величина поражающего тока согласно закону Ома зависит от величины приложенного напряжения и электрического сопротивления человеческого тела, которое определяется в основном сопротивлением поверхности кожи, так как сопротивление тканей тела человека очень мало по сравнению с сопротивлением поверхности кожи. Кроме того, величина сопротивления тела человека зависит в значительной степени от состояния кожи в точках соприкосновения с оголенными частями оборудования, находящимися под напряжением. Например, величина сопротивления тела с грубой и сухой кожей составляет примерно 100...200 кОм, а более тонкой 30...50 кОм. При влажной коже сопротивление тела человека может снижаться до величины порядка 1 кОм. Со снижением сопротивления тела человека величина поражающего тока при неизменном напряжении растет, следовательно, возрастает опасность поражения организма человека.

Вследствие вышесказанного, при выполнении лабораторных работ, студенты обязаны строжайшим образом выполнять следующие правила техники безопасности.

1. Сборка схемы должна производиться только при полном снятии напряжения.
2. Перед подачей напряжения на лабораторную установку студент должен дать предупредительный сигнал объявить устно: «Включаю» или «Подаю напряжение».
3. Студент должен расположиться таким образом, чтобы лабораторный стенд постоянно находился в зоне прямой видимости.
4. На рабочем месте студента должен находиться диэлектрический коврик. Инструменты должны быть с изолированными ручками.

### **Правила техники безопасности во время выполнения работы**

1. Запрещается производить включение схемы под напряжение без разрешения преподавателя или лаборанта. Студенты, нарушающие указанное правило, удаляются из лаборатории.
2. Нельзя касаться незащищенными руками токоведущих частей (контактов, обмоток проволочных реостатов и т.д.), когда цепь под напряжением.
3. Категорически запрещается делать какие-либо переключения или изменения в схеме, когда она находится под напряжением.
4. При включении надо убедиться, что никто не находится под напряжением и предупредить людей, находящихся вблизи сигналом и командой: «Включаю» или «Подаю напряжение».
5. Включение цепи, переключение приборов и выключателей перемещение движков реостатов производится одной рукой, не касаясь другой металлических и неизолированных частей.
6. При работе вблизи распределительных щитов следует соблюдать осторожность, чтобы не замкнуть контакты металлическими предметами.
7. При работе с электрическими цепями, содержащие катушку индуктивности и конденсаторы, следует помнить, что при резонансах напряжения и токи на отдельных участках таких цепей могут значительно превысить номинальные значения и что конденсаторы длительное время сохраняют заряд.
8. Категорически запрещается делать какие-либо включения, переключения и т.п. на щитах и установках, не входящих в комплект оборудования выполняемой работы.
9. На лабораторном столе не должно быть предметов, не имеющих отношения к выполняемой работе.
10. Запрещается выполнять работу сидя.

### **Рекомендации по работе с осциллографом**

Для работы на стенде может быть использован любой достаточно высокочастотный двухканальный осциллограф. Масштабы по напряжению  $m_u$  каналов ввода сигналов и масштабы по времени соответствуют указанным на осциллографе около регуляторов, если ручки установлены в крайние правые положения (до щелчка). При применении двухканального осциллографа с внешней синхронизацией **могут возникнуть короткие замыкания** в схеме через два провода входов, связанных с корпусом осциллографа. Осциллограф должен быть **специально подготовлен** к работе на стенде. Сетевой шнур следует подключать **только в розетку с заземленным контактом (евророзетку)**. **Это требование техники безопасности**. От осциллографа в исследуемую схему должен идти только **один провод**, связанный с корпусом (« $\perp$ »). Этот провод необходимо сохранить в кабеле, предназначенном для измерения меньших напряжений. При этом оба сигнала будут измеряться относительно точки, к которой подсоединен корпус осциллографа (« $\perp$ »). Аналогично, сигнал внешней синхронизации должен подаваться на вход внешней синхронизации только **одним проводом**. При этом сигнал подается относительно точки, к которой подключен корпус осциллографа (« $\perp$ »).

# Лабораторная работа № 1

## ИССЛЕДОВАНИЕ БАЗОВЫХ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ

Время: 2 часа.

### 1.1 Цель работы

1.1.1. Ознакомление с основными функциями и тестирование логических элементов: «И-НЕ», «ИЛИ-НЕ», «НЕ», «ИСКЛЮЧАЮЩЕЕ ИЛИ», «И-ИЛИ-НЕ».

1.1.2. Получение практических навыков при работе с микросхемами.

### 1.2 Описание лабораторного стенда

При проведении лабораторных работ используется стенд ООО “ЛАБСИС” «Основы цифровой техники» [1]. Общий вид лабораторного стенда изображен на рисунке 1.1.

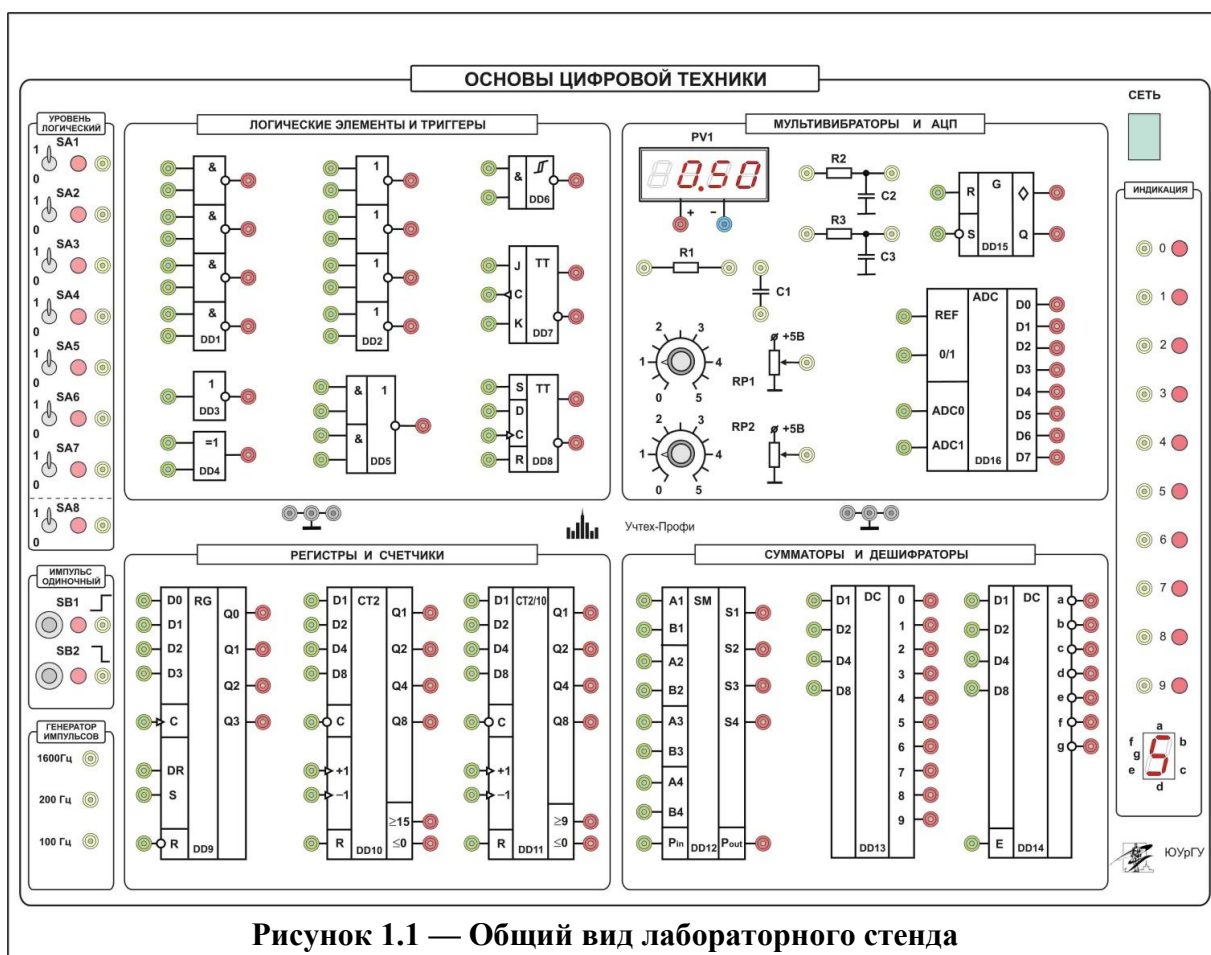


Рисунок 1.1 — Общий вид лабораторного стенда

Стенд питается от однофазного напряжения 220 В. Клавишный выключатель питания (Сеть) расположен на передней панели, справа вверху. Стенд содержит следующие основные поля:

— «**Логические уровни**», позволяющее устанавливать на выходных гнездах уровни логического нуля или единицы;

— «**Одиночные импульсы**», позволяющее получить одиночный импульс нарастающий (положительный) либо спадающий (отрицательный);

— «**Генератор импульсов**», вырабатывающее импульсы с положительной полярностью с частотой 100 Гц, 200 Гц и 1600 Гц;

— «**Индикация**», на котором десять светодиодных индикаторов и один семисегментный, индицирующие нулевое или единичное (при свечении) состояние;

— «**Логические элементы и триггеры**», на котором исследуются базовые логические элементы и триггеры;

— «**Регистры и счетчики**», на котором исследуются сдвиговый и параллельный регистр, а также двоичный и двоично-десятичный счетчики;

— «**Сумматоры и дешифраторы**», на котором исследуются полный сумматор и дешифраторы;

— «**Мультивибраторы и АЦП**», на котором исследуются схемы мультивибраторов и аналого-цифровых преобразователей.

Органы управления и индикации объединены на стенде в функциональные группы и снабжены соответствующими надписями на лицевой панели.

Источник сигналов «Уровень логический» предназначен для формирования логических сигналов высокого «1» и низкого «0» уровней. Включение соответствующих сигналов осуществляется при помощи тумблеров *SA1* — *SA8*. С помощью светодиодов осуществляется индикация сигналов, соответствующих логической «1». Уровень «1» соответствует напряжению 3,5...5 В.

Источник сигнала «Импульс одиночный» формирует одиночные импульсы с положительной ( $\neg$ ) или отрицательной ( $\neg$ ) полярностью. При нажатии на кнопку *SB1* на выходе генератора, находящемся в состоянии «0», вырабатывается сигнал логической «1», а при нажатии на кнопку *SB2* сигнал логического «0».

«Генератор импульсов» генерирует последовательности положительных прямоугольных импульсов с частотами 100 Гц, 200 Гц и 1600 Гц.

На рабочем поле «Мультивибраторы и АЦП» имеются два источника регулируемого постоянного напряжения *RP1* и *RP2* (0...5 В).

На поле «Индикация» осуществляется индикация сигналов логической «1» на подключаемых к гнездам на этом поле выходных сигналов микросхем. Индикация может производиться и с помощью семисегментного индикатора, подключенного к расположенному рядом с ним дешифратору *DD14*.

На передней панели, в центре, имеются гнезда (черного цвета) общей точки ( $\perp$ ). Минусы всех источников, генераторов и микросхем подсоединены к этому потенциалу внутри стенда.

### 1.3 Описание стенда лабораторной работы №1

Вид стенда лабораторной работы № 1 изображен на рисунке 1.2 [1]. Логические элементы (ЛЭ): «И-НЕ», «ИЛИ-НЕ», «НЕ», «ИСКЛЮЧАЮЩЕЕ ИЛИ», «И-ИЛИ-НЕ» исследуются на рабочем поле «ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ И ТРИГГЕРЫ». Органы управления и индикации объединены в функциональные группы и снабжены надписями на лицевой панели.

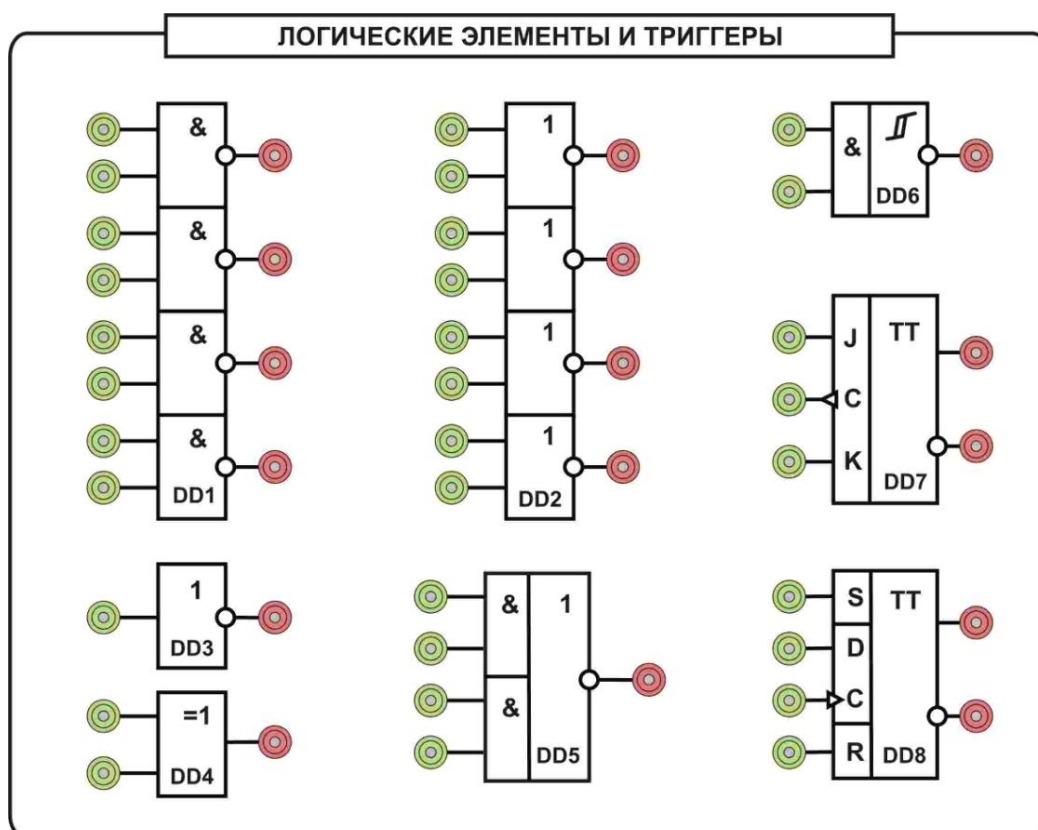


Рисунок 1.2 — Стенд лабораторной работы № 1

## 1.4 Порядок выполнения работы

### 1.4.1. Экспериментальное исследование ЛЭ «И-НЕ»

1.4.1.1. Собрать, согласно рисунка 1.3, схему соединений для исследования ЛЭ «И-НЕ», подключив выходы гнезд «Уровень логический» к соответствующим входам ЛЭ. Выход ЛЭ подключить к светодиоду на панели «Индикация».

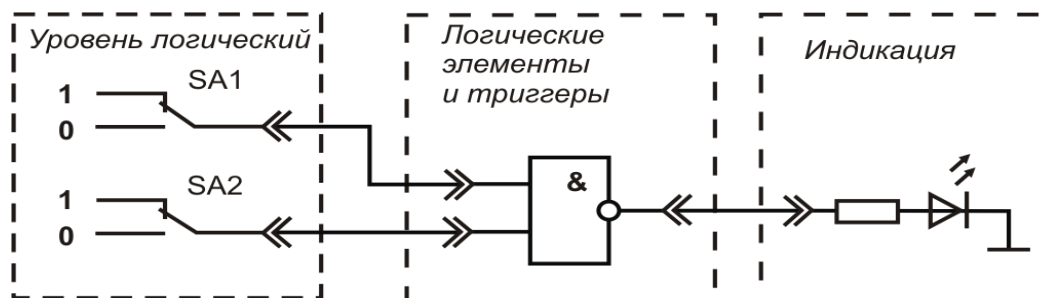


Рисунок 1.3 — Схема соединений для исследования ЛЭ «И-НЕ»

1.4.1.2. Включить тумблер «Сеть». Задавая различные комбинации входных логических сигналов тумблерами SA1 и SA2, зафиксировать по свечению светодиода уровень выходного сигнала исследуемого ЛЭ.

1.4.1.3. Экспериментальные данные по проверке таблицы истинности ЛЭ занести в таблицу 1.1. Выключить тумблер «Сеть».

### 1.4.2. Экспериментальное исследование ЛЭ «ИЛИ-НЕ»

1.4.2.1. Собрать, согласно рисунка 1.4, схему соединений для исследования ЛЭ, подключив выходы гнезд «Уровень логический» к соответствующим входам ЛЭ «ИЛИ-НЕ». Выход ЛЭ подключить к светодиоду на панели «Индикация».

1.4.2.2. Включить тумблер «Сеть». Задавая различные комбинации входных логических сигналов тумблерами SA1 и SA2, зафиксировать по свечению светодиода уровень выходного сигнала исследуемого ЛЭ.

1.4.2.3. Экспериментальные данные по проверке таблицы истинности ЛЭ занести в таблицу 1.1. Выключить тумблер «Сеть».

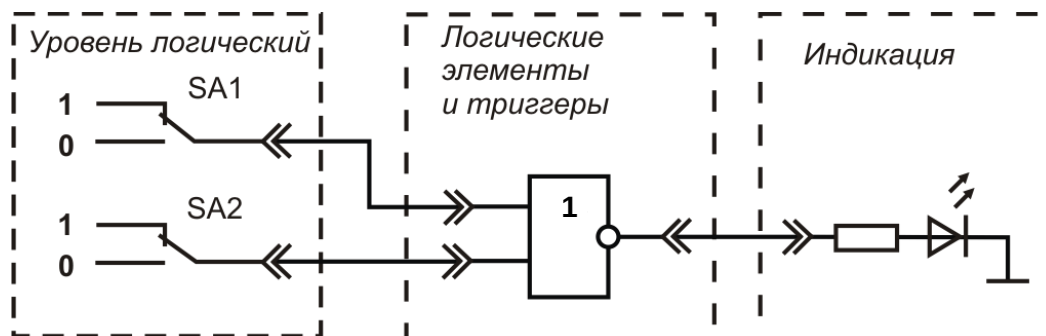


Рисунок 1.4 — Схема соединений для исследования ЛЭ «ИЛИ-НЕ»

### 1.4.3 Экспериментальное исследование ЛЭ «ИСКЛЮЧАЮЩЕЕ ИЛИ»

1.4.3.1. Собрать, согласно рисунка 1.5, схему соединений для исследования ЛЭ «ИСКЛЮЧАЮЩЕЕ ИЛИ», подключив выходы гнезд «Уровень логический» к соответствующим входам ЛЭ «И-НЕ». Выход ЛЭ подключить к светодиоду на панели «Индикация».

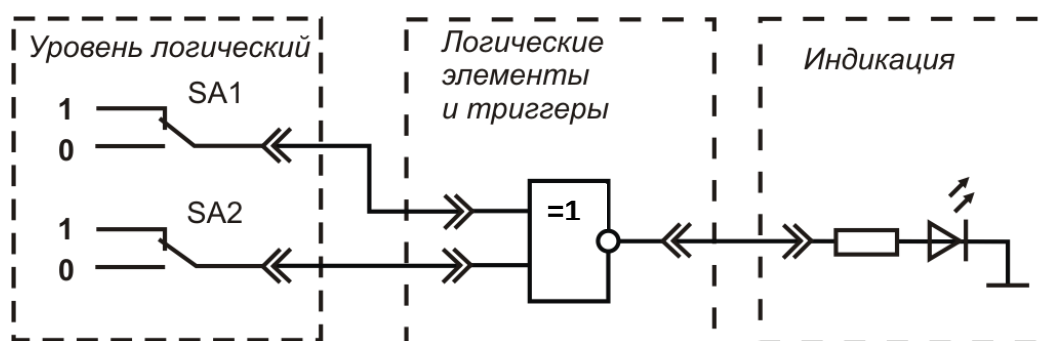


Рисунок 1.5 — Схема соединений для исследования ЛЭ «ИСКЛЮЧАЮЩЕЕ

1.4.3.2. Включить тумблер «Сеть». Задавая различные комбинации входных логических сигналов тумблерами SA1 и SA2, зафиксировать по свечению светодиода уровень выходного сигнала исследуемого ЛЭ.

1.4.3.3. Экспериментальные данные по проверке таблицы истинности ЛЭ занести в таблицу 1.1. Выключить тумблер «Сеть».

### 1.4.4. Экспериментальное исследование ЛЭ «НЕ»

1.4.4.1. Собрать, согласно рисунка 1.6, схему соединений для исследования

ЛЭ «НЕ», подключив выходы гнезд «Уровень логический» к соответствующим входам ЛЭ. Выход ЛЭ подключить к светодиоду на панели «Индикация».

1.4.4.2. Включить тумблер «Сеть». Задавая различный логический уровень тумблером SA1, зафиксировать по свечению светодиода уровень выходного сигнала исследуемого ЛЭ.

1.4.4.3. Экспериментальные данные по проверке таблицы истинности ЛЭ занести в таблицу 1.1. Выключить тумблер «Сеть».

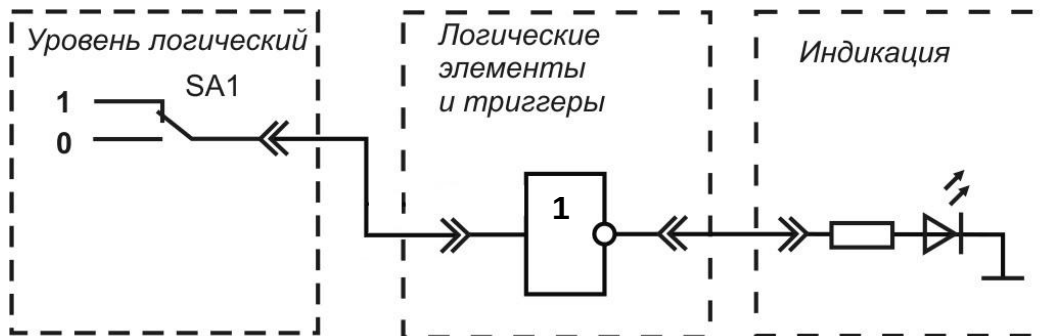


Рисунок 1.6 — Схема соединений для исследования ЛЭ «НЕ»

#### 1.4.5. Экспериментальное исследование ЛЭ «И-ИЛИ-НЕ»

1.4.5.1. Собрать, согласно рисунка 1.7, схему соединений для исследования ЛЭ «И-ИЛИ-НЕ», подключив выходы гнезд «Уровень логический» к соответствующим входам ЛЭ. Выход ЛЭ подключить к светодиоду на панели «Индикация».

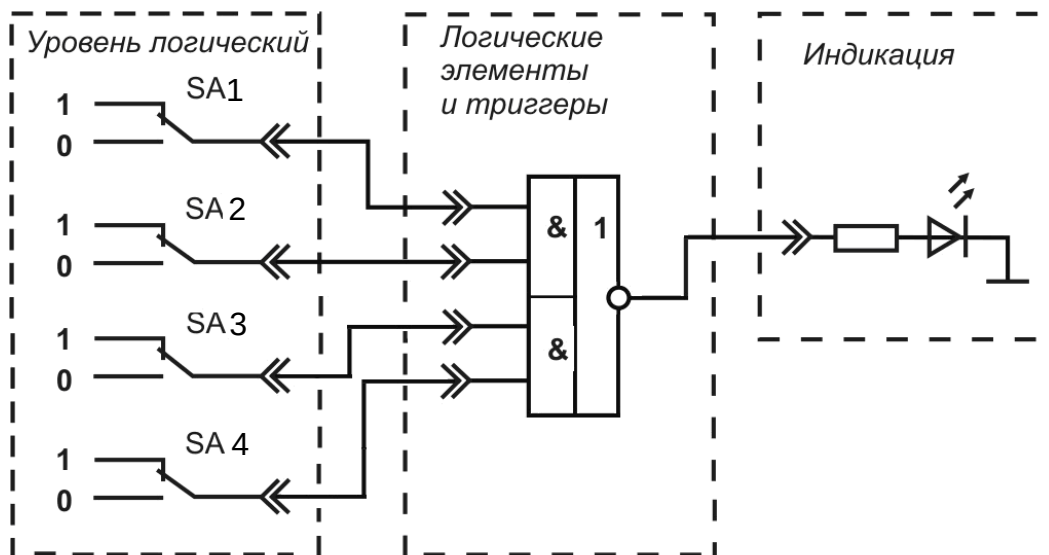


Рисунок 1.7 — Схема соединений для исследования ЛЭ «И-ИЛИ-НЕ»

1.4.5.2. Включить тумблер «Сеть». Задавая различные комбинации входных логических сигналов тумблерами SA1...SA4, зафиксировать по свечению светодиода уровень выходного сигнала исследуемого ЛЭ.

1.4.5.3. Экспериментальные данные по проверке таблицы истинности ЛЭ занести в таблицу 1.2. Выключить тумблер «Сеть».

Таблица 1.1 — Данные по проверке таблицы истинности ЛЭ «И-НЕ», «ИЛИ-НЕ», «НЕ», «ИСКЛЮЧАЮЩЕЕ ИЛИ»

| Входы |       | Выход логического элемента |          |                   |      |
|-------|-------|----------------------------|----------|-------------------|------|
| $x_1$ | $x_2$ | у                          |          |                   |      |
|       |       | «И-НЕ»                     | «ИЛИ-НЕ» | «ИСКЛЮЧАЮЩЕЕ ИЛИ» | «НЕ» |
| 0     | 0     |                            |          |                   |      |
| 1     | 0     |                            |          |                   |      |
| 0     | 1     |                            |          |                   |      |
| 1     | 1     |                            |          |                   |      |

Таблица 1.2 — Данные по проверке таблицы истинности ЛЭ «И-ИЛИ-НЕ»

| Входы |       |       |       | Выход логического элемента «И-ИЛИ-НЕ» |  |
|-------|-------|-------|-------|---------------------------------------|--|
| $x_1$ | $x_2$ | $x_3$ | $x_4$ | у                                     |  |
| 0     | 0     | 0     | 0     |                                       |  |
| 1     | 0     | 0     | 0     |                                       |  |
| 0     | 1     | 0     | 0     |                                       |  |
| 1     | 1     | 0     | 0     |                                       |  |
| 0     | 0     | 1     | 0     |                                       |  |
| 1     | 0     | 1     | 0     |                                       |  |
| 0     | 1     | 1     | 0     |                                       |  |
| 1     | 1     | 1     | 0     |                                       |  |
| 0     | 0     | 0     | 1     |                                       |  |
| 1     | 0     | 0     | 1     |                                       |  |
| 0     | 1     | 0     | 1     |                                       |  |
| 1     | 1     | 0     | 1     |                                       |  |
| 0     | 0     | 1     | 1     |                                       |  |
| 1     | 0     | 1     | 1     |                                       |  |
| 0     | 1     | 1     | 1     |                                       |  |
| 1     | 1     | 1     | 1     |                                       |  |

### 1.5 Примерный план отчета

В отчете по лабораторной работе должно быть:

- название и цель работы;
- схемы соединений по исследованиям таблиц истинности ЛЭ;
- теоретические и экспериментальные данные таблиц истинности ЛЭ (таблицы 1.1 и 1.2);
- выводы по лабораторной работе, в которых должно быть отражено:
  - сравнительный анализ полученных данных;
  - практические навыки, полученные при выполнении работы.

## 1.6 Основные теоретические положения

### 1.6.1 Общие сведения о логических элементах

По функциональному назначению цифровые элементы подразделяются на логические, запоминающие, вспомогательные и специальные.

**Логические элементы (ЛЭ)** предназначены для реализации функций алгебры логики. Входные сигналы ЛЭ отождествляются с логическими переменными функциями, выходные — со значениями функции. **Запоминающие элементы** (элементы памяти) предназначены для запоминания и временного хранения двоичной информации. **Вспомогательные элементы** предназначены для усиления, формирования по длительности и уровням направления, задержки, генерирования, преобразования уровней, индикации электрических сигналов и т.д. **Специальные элементы** выполняют преобразования электрических сигналов, например, для управления процессами записи и считывания информации.

Логические функции и их аргументы принимают значение лог.0 и лог.1. При этом следует иметь в виду, что в устройствах лог.0 и лог.1 соответствует напряжению определенного уровня (либо формы). Наиболее часто используется два способа физического представления лог.0 и лог.1: потенциальный и импульсный. При потенциальной форме для представления лог.0 и лог.1 используется напряжение двух уровней: высокий уровень соответствует лог.1 (уровень лог.1) и низкий уровень соответствует лог.0 (уровень лог.0). Такой способ представления значений логических величин называется положительной логикой. Импульсной форме лог.1 соответствует наличие импульса, логическому 0 — отсутствие импульса. Если при потенциальной форме соответствующая сигналу информация (лог.1 либо лог.0) может быть определена практически в любой момент времени, то при импульсной форме соответствие между уровнем напряжения и значением логической величины устанавливается в определенные дискретные моменты времени (так называемые тактовые моменты времени).

Общие обозначения простейших логических элементов (ЛЭ) изображены на рисунке 1.8: а) инвертор, элемент «НЕ» ( $y = \bar{x}$ ); б) повторитель ( $y = x$ ); в) элемент «ИЛИ» ( $y = x_1 + x_2$ ); г) элемент «ИЛИ-НЕ» ( $y = \overline{x_1 + x_2}$ ); д) элемент «И» ( $y = x_1 \cdot x_2$ ); е) элемент «И-НЕ» ( $y = \overline{x_1 \cdot x_2}$ ); ж) элемент «ИСКЛЮЧАЮЩЕЕ ИЛИ» ( $y = x_1 \oplus x_2$ ).

Параметры цифровых элементов разделяют на статические и динамические. Статические параметры характеризуют свойства и режимы работы элемента во всех предсказуемых техническими условиями состояниях. К основным статическим характеристикам относятся: входная, передаточная и выходная.

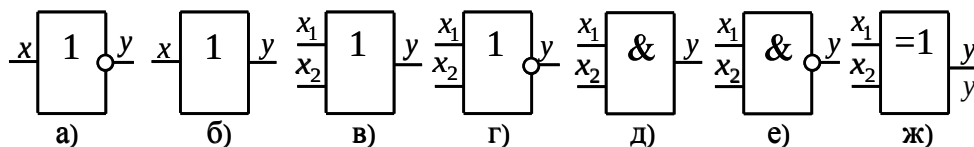


**Рисунок 1.8 — Общие обозначения простейших логических элементов**

### 1.6.2 Основы булевой алгебры

Основными понятиями булевой алгебры являются понятия логической переменной и логической функции [2].

**Логической переменной** называется величина, которая может принимать одно из двух возможных состояний (значений), одно из которых обозначается символом “0”, другое — “1”. Сами двоичные переменные чаще обозначают символами  $x_1, x_2, \dots, x_n$ .

**Логической (булевой) функцией** (обычное обозначение —  $y$ ) называется функция двоичных переменных (аргументов), которая также может принимать одно из двух возможных состояний (значений) “0” или “1”. Значение некоторой логической функции  $n$  переменных определяется или задается для каждого набора (сочетания) двоичных переменных. Количество возможных различных наборов, которые могут быть составлены из  $n$  аргументов, равно  $2^n$ . При этом, поскольку сама функция на каждом наборе может принимать значение “0” или “1”, то общее число возможных функций от  $n$  переменных равно  $2^{2^n}$ . Таким образом, множество состояний (значений), которые могут принимать как аргументы, так и функции, равно двум. Для логических состояний в булевой алгебре определяются отношения эквивалентности, обозначаемое символом равенства (=) и три операции: а) логического сложения (дизъюнкции), б) логического умножения (конъюнкции), в) логического отрицания (инверсии), обозначаемые соответственно символами. Операция дизъюнкции имеет обозначения  $+$  или  $\vee$ . Операция конъюнкции обозначается символами  $\cdot$  или  $\wedge$ , а операция инверсии —  $\bar{\phantom{x}}$ , где символ  $\bar{\phantom{x}}$  — аргумент. При выполнении перечисленных операций, как постулаты принимаются отношения эквивалентности [3]:

а)  $0+0=0, 0+1=1, 1+0=1, 1+1=1$ ; б)  $0 \cdot 0=0, 0 \cdot 1=0, 1 \cdot 0=0, 1 \cdot 1=1$ ; в)  $\bar{0}=1, \bar{1}=0$ .

Свойства законов булевой алгебры, используемые для превращения и упрощения логических формул, приведены в двух формах в таблице 1.3.

Таблица 1.3 — Свойства законов булевой алгебры

| №   | Свойства          | Первая форма                                          | Вторая форма                                        |
|-----|-------------------|-------------------------------------------------------|-----------------------------------------------------|
| 1.  | Коммутативность   | $x_1 + x_2 = x_2 + x_1$                               | $x_1 \cdot x_2 = x_2 \cdot x_1$                     |
| 2.  | Ассоциативность   | $x_1 + x_2 + x_3 = x_1 + x_2 + x_3$                   | $x_1 \cdot x_2 \cdot x_3 = x_1 \cdot x_2 \cdot x_3$ |
| 3.  | Дистрибутивность  | $x_1 \cdot x_2 + x_3 = x_1 \cdot x_2 + x_1 \cdot x_3$ | $x_1 + x_2 \cdot x_3 = x_1 + x_2 \cdot x_1 + x_3$   |
| 4.  | Дополнение        | $x + \bar{x} = 1$                                     | $x \cdot \bar{x} = 0$                               |
| 5.  | Повтор переменной | $x + 0 = x$                                           | $x \cdot 1 = x$                                     |
| 6.  | Повтор константы  | $x + 1 = 1$                                           | $x \cdot 0 = 0$                                     |
| 7.  | Двойное отрицание | $\bar{\bar{x}} = x$                                   | $\bar{\bar{x}} = x$                                 |
| 8.  | Идемпотентность   | $x + x = x$                                           | $x \cdot x = x$                                     |
| 9.  | Законы де Моргана | $\overline{x_1 + x_2} = \bar{x}_1 \cdot \bar{x}_2$    | $\overline{x_1 \cdot x_2} = \bar{x}_1 + \bar{x}_2$  |
| 10. | Склеивание        | $x_1 \cdot x_2 + x_1 \cdot \bar{x}_2 = x_1$           | $x_1 + x_2 \cdot x_1 + \bar{x}_2 = x_1$             |

|     |            |                                                                                                           |                                                                                                   |
|-----|------------|-----------------------------------------------------------------------------------------------------------|---------------------------------------------------------------------------------------------------|
| 11. | Поглощение | $x_1 + x_1 \cdot x_2 = x_1$                                                                               | $x_1 \cdot x_1 + x_2 = x_1$                                                                       |
| 12. | Замещение  | $x_1 + \overline{x_1} \cdot x_2 = x_1 + x_2$                                                              | $x_1 \cdot \overline{x_1} + x_2 = x_1 \cdot x_2$                                                  |
| 13. | Выявление  | $x_1 \cdot x_2 + \overline{x_1} \cdot x_3 =$ $= x_1 \cdot x_2 + \overline{x_1} \cdot x_3 + x_2 \cdot x_3$ | $x_1 + x_2 \cdot \overline{x_1} + x_3 =$ $= x_1 + x_2 \cdot \overline{x_1} + x_3 \cdot x_2 + x_3$ |

### 1.7 Контрольные вопросы

1. Какова цель лабораторной работы?
2. Каков порядок действий при выполнении работы?
3. Какие три базовые операции существуют в алгебре логики?
4. Какие формы представления алгебраической логики существуют?
5. Что понимают под термином «Коммутативность» в булевой алгебре?
6. Какая будет таблица истинности для схемы, состоящей из элемента «ИЛИ» и подключенного к его выходу элемента «НЕ»?
7. Какая будет таблица истинности у схемы, состоящей из двух последовательно соединенных элементов «НЕ»?
8. Какие логические элементы исследуются в данной работе, и к какому виду логики они относятся?
9. Как обозначить на схеме трехходовые логические элементы «И-НЕ», «ИЛИ-НЕ»?
10. Что понимают под термином «Дистрибутивность» в булевой алгебре?

## Лабораторная работа № 2 ИССЛЕДОВАНИЕ ДЕШИФРАТОРОВ

Время: 2 часа.

### 2.1 Цель работы

2.1.1. Экспериментальное ознакомление с основными функциями и тестирование дешифраторов.

2.1.2. Получение практических навыков при работе с микросхемами.

### 2.2 Описание стенда лабораторной работы № 2

Вид стенда лабораторной работы № 2 изображен на рисунке 2.1. Исследования дешифраторов проводятся на рабочем поле моноблока «СУММАТОРЫ И ДЕШИФРАТОРЫ» [1].

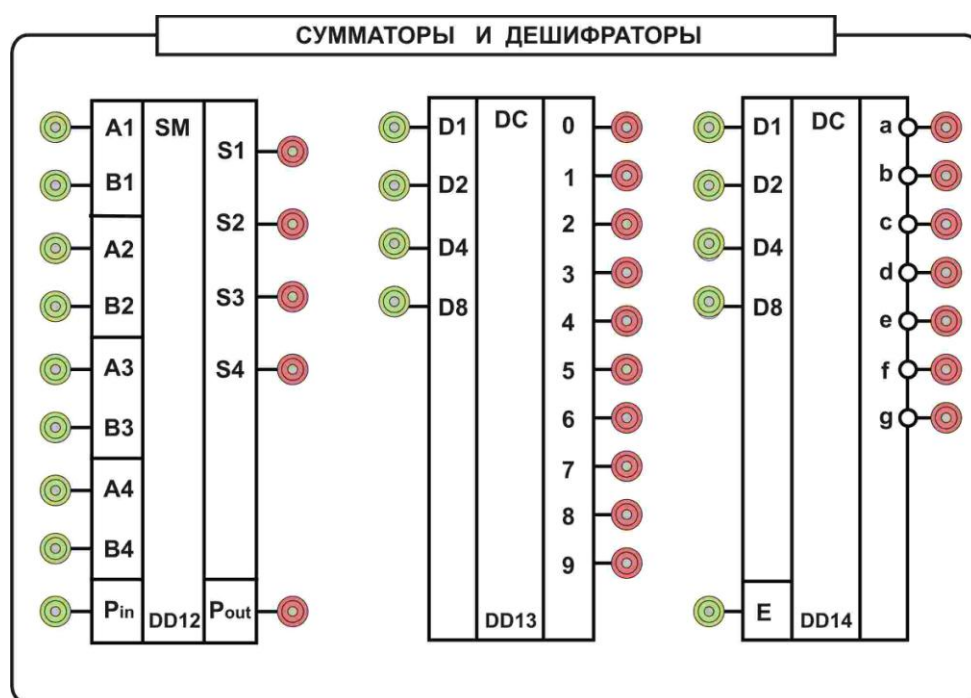


Рисунок 2.1 — Стенд лабораторной работы № 2

Дешифратор — устройство с несколькими входами и выходами. Определенной комбинации входных сигналов соответствует активное состояние одного из выходов. Условное обозначение дешифратора — *DC (decoder)*.

Дешифратор *DD13* служит для преобразования четырехразрядного двоичного кода в десятичный. Микросхема *DD13* имеет: четыре двоичных входа *D1*, *D2*, *D4*, *D8* и десять выходов. Дешифраторы могут иметь разрешающий вход *E*, который иногда выполняют инверсным. Если на входе *E* лог.1, дешифратор работает как обычно, а при наличии на этом входе *E* лог.0 на всех выходах устанавливаются неактивные уровни независимо от поступившего кода адреса. Вход *E* дешифратора позволяет увеличивать разрядность путем каскадного соединения дешифраторов. Согласно таблице истинности каждому из десяти наборов уровней на входах соответствует появление напряжения высокого уровня (лог.1) на одном из выходов, при этом на остальных девяти выходах будет низкий уровень напряжения (лог.0).

**Дешифратор DD14 имеет выход на одnorазрядный семи сегментный индикатор.** Этот дешифратор состоит из семи самостоятельных узлов, каждый из которых формирует потенциальный управляющий сигнал для одного из сегментов семи сегментного индикатора. В зависимости от числа на входе, выраженного в двоичном коде, на выходе появляются сигналы, подаваемые на сегменты индикатора. В результате на индикаторе изображается число в десятичной системе счисления. Источник сигналов «Уровень логический» предназначен для формирования логических сигналов высокого (лог.1) и низкого (лог.0) уровней. Включение соответствующих сигналов осуществляется при помощи тумблеров SA1... SA4. С помощью светодиодов поля «Индикация» осуществляется индикация сигналов, соответствующих логической «1».

## 2.3 Порядок выполнения работы

**2.3.1. Экспериментальное исследование дешифратора, преобразующего четырехразрядный двоичный код в десятичный код.**

2.3.1.1. Собрать согласно рисунку 2.2 схему соединений для исследования дешифратора, подключив выходы гнезд «Уровень логический» к соответствующим входам дешифратора.

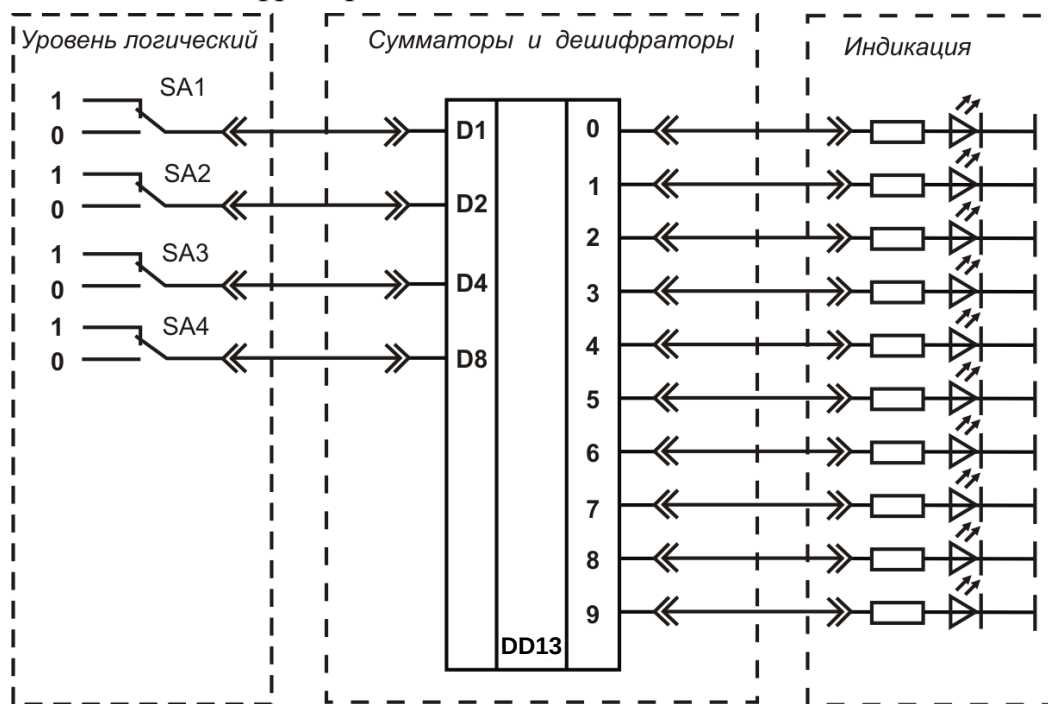


**Рисунок 2.2 — Схема соединений для исследования дешифратора, преобразующего четырехразрядный двоичный код в десятичный код**

2.3.1.2. Включить тумблер «Сеть». Задавая различные комбинации входных логических сигналов тумблерами SA1 — SA4, зафиксировать по свечению светодиода уровень выходного сигнала исследуемого ЛЭ.

2.3.1.3. Экспериментальные данные по проверке таблицы истинности ЛЭ занести в таблицу 2.1. Выключить тумблер «Сеть».

**Проверить таблицу истинности исследуемого элемента, сравнив результаты опыта с составленными заранее таблицами истинности.**

Таблица 2.1 — Данные по проверке таблицы истинности дешифратора, преобразующего четырехразрядный двоичный код в десятичный код

| Входной код 8421 |       |       |       | Номер выхода в десятичной системе |       |
|------------------|-------|-------|-------|-----------------------------------|-------|
| $x_8$            | $x_4$ | $x_2$ | $x_1$ |                                   |       |
| 0                | 0     | 0     | 0     |                                   | $y_0$ |
| 0                | 0     | 0     | 1     |                                   | $y_1$ |
| 0                | 0     | 1     | 0     |                                   | $y_2$ |
| 0                | 0     | 1     | 1     |                                   | $y_3$ |
| 0                | 1     | 0     | 0     |                                   | $y_4$ |
| 0                | 1     | 0     | 1     |                                   | $y_5$ |
| 0                | 1     | 1     | 0     |                                   | $y_6$ |
| 0                | 1     | 1     | 1     |                                   | $y_7$ |
| 1                | 0     | 0     | 0     |                                   | $y_8$ |
| 1                | 0     | 0     | 1     |                                   | $y_9$ |

### 2.3.2. Экспериментальное исследование дешифратора, преобразующего четырехразрядный двоичный код в код работы семи сегментного индикатора.

2.3.2.1. Собрать, согласно рисунка 2.3, схему соединений для исследования дешифратора, подключив выходы гнезд «Уровень логический» к соответствующим входам дешифратора.

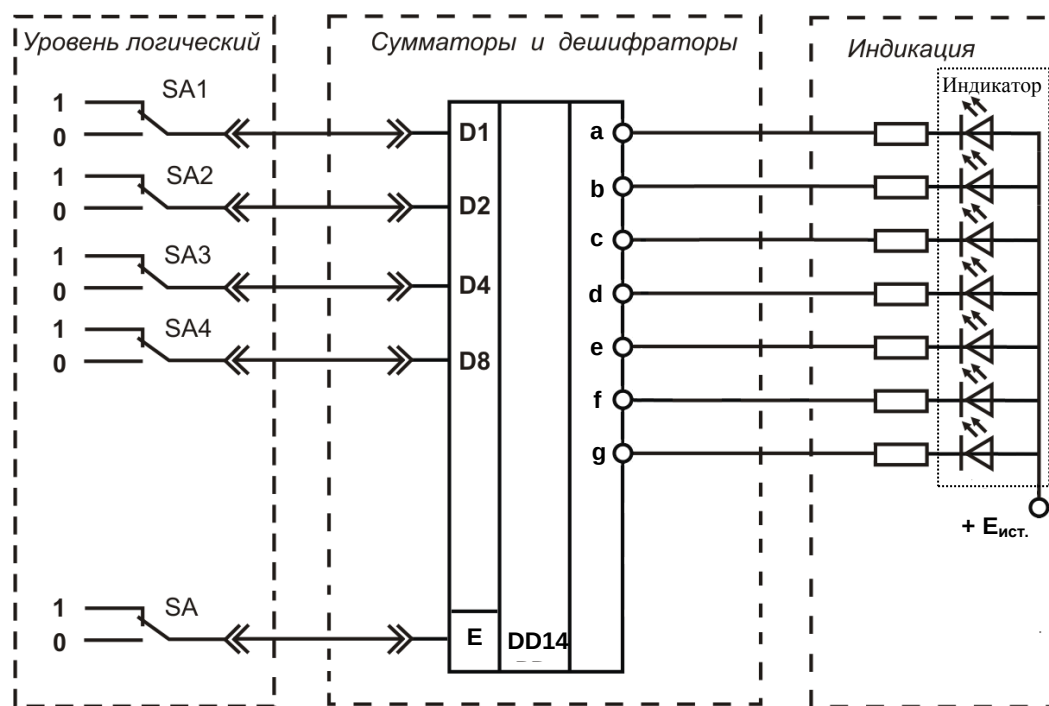


Рисунок 2.3 — Схема соединений для исследования дешифратора, преобразующего четырехразрядный двоичный код в код работы семи сегментного индикатора

2.3.1.2. Включить тумблер «Сеть». Задавая различные комбинации входных логических сигналов тумблерами SA1...SA4, зафиксировать по свечению светодиода уровень выходного сигнала исследуемого ЛЭ.

2.3.2.2. Экспериментальные данные по проверке таблицы истинности элемента занести в таблицу 2.2. Выключить тумблер «Сеть».

**Проверить таблицу истинности исследуемого элемента, сравнив результаты опыта с составленными заранее таблицами истинности.**

Таблица 2.2 — Данные по проверке таблицы истинности дешифратора, преобразующего четырехразрядный двоичный код в код работы семисегментного индикатора

| Входы |       |       |       | Выходы |     |     |     |     |     |     | Индикация индикатора |
|-------|-------|-------|-------|--------|-----|-----|-----|-----|-----|-----|----------------------|
| $x_8$ | $x_4$ | $x_2$ | $x_1$ | $a$    | $b$ | $c$ | $d$ | $e$ | $f$ | $g$ |                      |
| 0     | 0     | 0     | 0     |        |     |     |     |     |     |     |                      |
| 0     | 0     | 0     | 1     |        |     |     |     |     |     |     |                      |
| 0     | 0     | 1     | 0     |        |     |     |     |     |     |     |                      |
| 0     | 0     | 1     | 1     |        |     |     |     |     |     |     |                      |
| 0     | 1     | 0     | 0     |        |     |     |     |     |     |     |                      |
| 0     | 1     | 0     | 1     |        |     |     |     |     |     |     |                      |
| 0     | 1     | 1     | 0     |        |     |     |     |     |     |     |                      |
| 0     | 1     | 1     | 1     |        |     |     |     |     |     |     |                      |
| 1     | 0     | 0     | 0     |        |     |     |     |     |     |     |                      |
| 1     | 0     | 0     | 1     |        |     |     |     |     |     |     |                      |

## 2.4 Примерный план отчета

В отчете по лабораторной работе должно быть:

- название и цель работы;
- схемы соединений по исследованиям таблиц истинности ЛЭ;
- теоретические и экспериментальные данные таблиц истинности исследуемых дешифраторов (таблицы 2.1 и 2.2);
- выводы по лабораторной работе, в которых должно быть отражено:
  - сравнительный анализ полученных данных;
  - практические навыки, полученные при выполнении работы.

## 2.5 Основные теоретические положения

**Дешифратор** — это устройство, которое служит для преобразования  $n$ -разрядного позиционного двоичного кода в единичный выходной сигнал на одном из выходов, то есть дешифратор имеет  $n$  входов и  $m=2^n$  выходов [12]: каждому набору входных переменных соответствует возбуждение (появление логической единицы или нуля) на выходе, десятичный номер которого соответствует двоичному коду. Для примера, таблица истинности двухразрядного дешифратора приведена в таблице 2.3.

Таблица 2.3 — Таблица истинности двухразрядного дешифратора

| $m$ | Входы |       | Выходы |       |       |       |
|-----|-------|-------|--------|-------|-------|-------|
|     | $x_1$ | $x_2$ | $y_0$  | $y_1$ | $y_2$ | $y_3$ |
| 0   | 0     | 0     | 1      | 0     | 0     | 0     |
| 1   | 0     | 1     | 0      | 1     | 0     | 0     |
| 2   | 1     | 0     | 0      | 0     | 1     | 0     |
| 3   | 1     | 1     | 0      | 0     | 0     | 1     |

По таблице истинности устройство должно иметь 2 адресных входа с переменными  $x_1$  и  $x_2$  и 4 выхода, описываемых функционально, как:  $y_0 = \bar{x}_1\bar{x}_2$ ;  $y_1 = x_1\bar{x}_2$ ;  $y_2 = \bar{x}_1x_2$ ;  $y_3 = x_1x_2$ . Из полученных соотношений видно, что для построения дешифратора нужно четыре логических элемента И на два входа и два инвертора. Схема синтезированного дешифратора без входа разрешения изображена на рисунке 2.4, а, а его условное графическое обозначение — на рисунке 2.5, а. На рисунке 2.4, б изображена схема дешифратора с входом разрешения  $E$ , а его условное графическое обозначение — на рисунке 2.5, б.

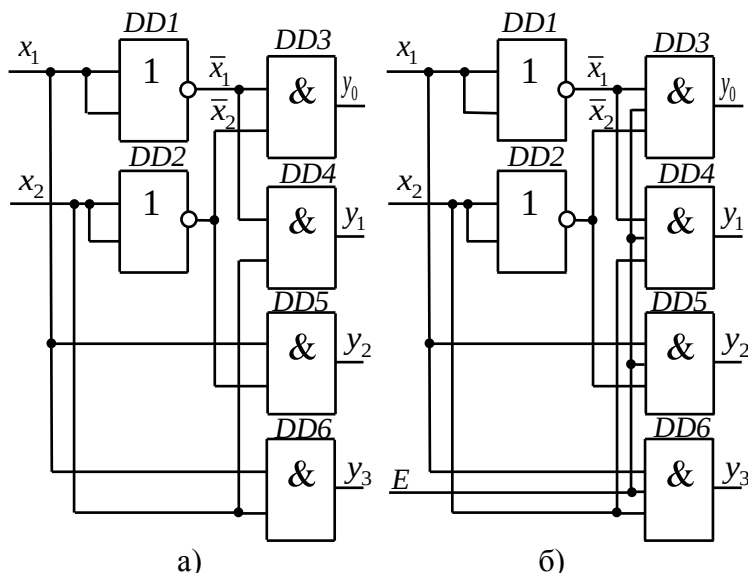


Рисунок 2.4 — Схемы дешифраторов без входа разрешения а) и со входом разрешения б)

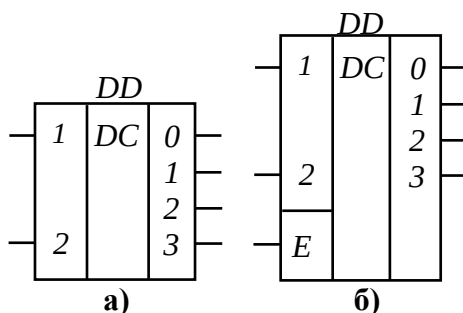


Рисунок 2.5 — Условное графическое обозначение дешифраторов без входа разрешения а) и со входом разрешения б)

Наличие входа разрешения (вход  $E$ ) в дешифраторе позволяет наращивать разрядность схемы. Для организации входа разрешения на рисунке 2.4, б вместо элементов «И» на 2 входа берутся элементы «И» на 3 входа, причем третьи входы объединяются и образуют вход разрешения. В этом случае дешифратор работает, когда на входе  $E$  логическая единица. В качестве примера наращивания разрядности рассмотрим построение трехразрядного дешифратора на базе двухразрядных дешифраторов. Схема трехразрядного дешифратора изображена на рисунке 2.6. Для всех наборов входных переменных, где  $x_3=0$ , будет работать дешифратор  $DD2$ , так как на его вход разрешения будет приходить единица.

Когда  $x_3=1$ , соответственно работает дешифратор  $DD3$ .

Таким образом, получается три входа и восемь выходов. Если выходы инверсные, то они обозначаются кружочками. Дешифратор используют, когда нужно обращаться к различным цифровым устройствам, имеющим свой адрес (номер устройства), представленный двоичным кодом.

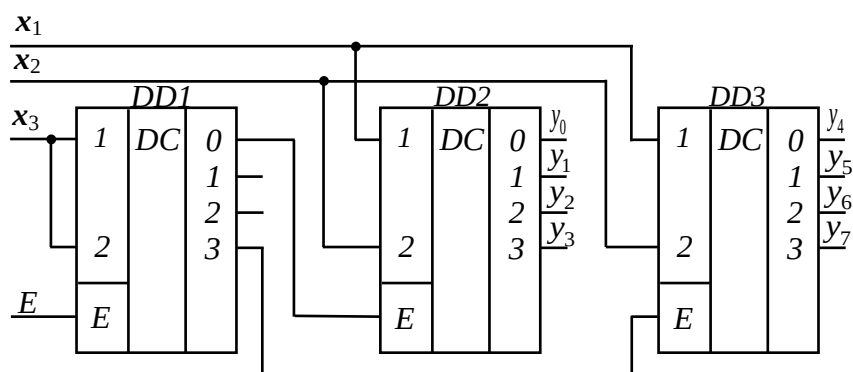


Рисунок 2.6 — Схема трехразрядного дешифратора

В лабораторной работе исследуются дешифратор, преобразующий четырехразрядный двоичный код в десятичный код и дешифратор, преобразующий четырехразрядный двоичный код в код работы семи сегментного индикатора.

В таблице 2.4 представлена таблица истинности дешифратора, преобразующего четырехразрядный двоичный код в десятичный код.

Таблица 2.4 — Таблица истинности дешифратора, преобразующего четырехразрядный двоичный код в десятичный код

| Входной код 8421 |       |       |       | Номер выхода<br>в десятичной системе |       |
|------------------|-------|-------|-------|--------------------------------------|-------|
| $x_8$            | $x_4$ | $x_2$ | $x_1$ |                                      |       |
| 0                | 0     | 0     | 0     | 0                                    | $y_0$ |
| 0                | 0     | 0     | 1     | 1                                    | $y_1$ |
| 0                | 0     | 1     | 0     | 2                                    | $y_2$ |
| 0                | 0     | 1     | 1     | 3                                    | $y_3$ |
| 0                | 1     | 0     | 0     | 4                                    | $y_4$ |
| 0                | 1     | 0     | 1     | 5                                    | $y_5$ |
| 0                | 1     | 1     | 0     | 6                                    | $y_6$ |
| 0                | 1     | 1     | 1     | 7                                    | $y_7$ |
| 1                | 0     | 0     | 0     | 8                                    | $y_8$ |
| 1                | 0     | 0     | 1     | 9                                    | $y_9$ |

Для представления двоичного кода в виде арабских цифр применяется дешифратор, преобразующий четырехразрядный двоичный код в код работы семи сегментного индикатора. Для отображения десятичных и шестнадцатеричных цифр часто используют семи сегментный индикатор. Изображение семи сегментного индикатора и название его сегментов изображено на рисунке 2.7. Для изображения на таком индикаторе цифры “0” достаточно зажечь сегменты  $a$ ,  $b$ ,  $c$ ,  $d$ ,  $e$ ,  $f$ . А, например для изображения цифры “1” зажигают сегменты  $b$  и  $c$ . Точно таким же образом можно получить изображения всех остальных десятичных или шестнадцатеричных цифр. Все комбинации таких изображений получили название семи сегментного кода. В таблице 2.5 представлена таблица

истинности дешифратора, который позволит преобразовывать двоичный код в семи сегментный.

Таблица 2.5 — Таблица истинности дешифратора, преобразующего четырехразрядный двоичный код в код работы семи сегментного индикатора

| Входы |       |       |       | Выходы |     |     |     |     |     |     | Индика-<br>ция |
|-------|-------|-------|-------|--------|-----|-----|-----|-----|-----|-----|----------------|
| $x_8$ | $x_4$ | $x_2$ | $x_1$ | $a$    | $b$ | $c$ | $d$ | $e$ | $f$ | $g$ |                |
| 0     | 0     | 0     | 0     | 0      | 0   | 0   | 0   | 0   | 0   | 1   | 0              |
| 0     | 0     | 0     | 1     | 1      | 0   | 0   | 1   | 1   | 1   | 1   | 1              |
| 0     | 0     | 1     | 0     | 0      | 0   | 1   | 0   | 0   | 1   | 0   | 2              |
| 0     | 0     | 1     | 1     | 0      | 0   | 0   | 0   | 1   | 1   | 0   | 3              |
| 0     | 1     | 0     | 0     | 1      | 0   | 0   | 1   | 1   | 0   | 0   | 4              |
| 0     | 1     | 0     | 1     | 0      | 1   | 0   | 0   | 1   | 0   | 0   | 5              |
| 0     | 1     | 1     | 0     | 0      | 1   | 0   | 0   | 0   | 0   | 0   | 6              |
| 0     | 1     | 1     | 1     | 0      | 0   | 0   | 1   | 1   | 1   | 1   | 7              |
| 1     | 0     | 0     | 0     | 0      | 0   | 0   | 0   | 0   | 0   | 0   | 8              |
| 1     | 0     | 0     | 1     | 0      | 0   | 0   | 0   | 1   | 0   | 0   | 9              |

Изображение семи сегментного индикатора и название его сегментов приведено на рисунке 2.7.

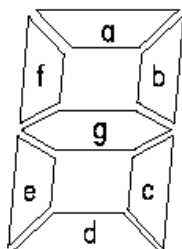


Рисунок 2.7 — Изображение семи сегментного индикатора и название его сегментов

## 2.6 Контрольные вопросы

1. Каково назначение дешифратора?
2. На какие два типа делятся все цифровые схемы?
3. К какому типу цифровых схем относятся дешифраторы?
4. Какие бывают типы дешифраторов?
5. Какие входы и выходы имеются у дешифратора?
6. Как составить таблицы истинности дешифраторов в лабораторной работе?
7. Каковы способы наращивания дешифраторов по количеству входов и выходов и как они реализуются?
8. Как работает преобразователь кода для семи сегментного индикатора?
9. Каково назначение входов управления в дешифраторе, как влияет сигнал управления на выходные функции дешифратора?
10. Как из двух дешифраторов 4-2 сделать один дешифратор 8-3?

## Лабораторная работа № 3 ИССЛЕДОВАНИЕ СУММАТОРОВ

Время: 2 часа.

### 3.1 Цель работы

3.1.1. Экспериментальное ознакомление с основными функциями и тестирование полусумматора и сумматора.

3.1.2. Получение практических навыков при работе с микросхемами.

### 3.2 Описание стенда лабораторной работы № 3

Вид стенда лабораторной работы №3 изображен на рисунке 3.1. Исследования дешифраторов проводятся на рабочем поле моноблока «СУММАТОРЫ И ДЕШИФРАТОРЫ» [1].

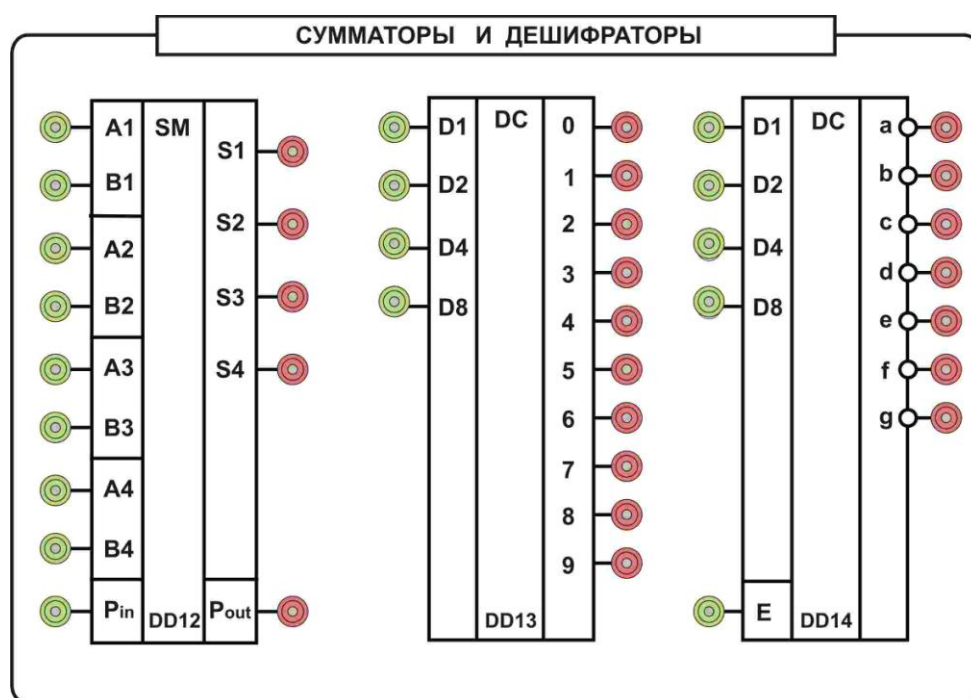


Рисунок 3.1 — Стенд лабораторной работы № 3

Полный четырехразрядный сумматор со сквозным переносом имеет четыре пары входов двух четырехразрядных чисел  $A1...A4$ ,  $B1...B4$  ( $A1$ ,  $B1$  – входы младших разрядов), выходы сумм четырехразрядных чисел  $S1...S4$ , вход переноса в младший разряд  $P_{in}$  и выход переноса старшего разряда  $P_{out}$ . Наличие в составе микросхемы схемы сквозного переноса обеспечивает формирование быстрого параллельного переноса каждого четвертого разряда.

**В общем случае сумматором называется схема для сложения двоичных чисел.**

Любой из 4-х полусумматор в данной работе имеет два суммирующих входа  $A$  и  $B$ . Выход  $S$  используется как выход результата суммирования, вход  $P_{in}$  применяется для переноса в младший разряд  $P_{in}$ , а выход  $P_{out}$  — как выход переноса. При сложении двух многоразрядных чисел одноразрядный полусумматор применяется для сложения младших разрядов.

Для обозначения входа переноса используются буквы **in** (сокращение от

английского слова **input** – вход); для обозначения выхода переноса используются буквы out (сокращение от английского слова **output** – выход).

Органы управления и индикации стенда объединены в функциональные группы и снабжены надписями на лицевой панели.

Источник сигналов «Уровень логический» предназначен для формирования логических сигналов высокого «1» и низкого «0» уровней. Включение соответствующих сигналов осуществляется при помощи тумблеров SA1 — SA8. С помощью светодиодов осуществляется индикация сигналов, соответствующих логической «1». Входные сигналы подаются на входы микросхем находящиеся на одной горизонтали с тумблерами. С помощью светодиодов поля «Индикация» осуществляется индикация сигналов логической «1».

### 3.3 Порядок выполнения работы

#### 3.3.1. Экспериментальное исследование полусумматора.

3.3.1.1. Собрать, согласно рисунка 3.2, схему соединений для исследования полусумматора, подключив выходы гнезд «Уровень логический» (SA1 и SA2) к соответствующим входам полусумматора (A1 и B1). Для индикации сигналов логической «1» к выходам полусумматора (S1 и S2) следует подключить светодиоды поля «Индикация» стенда.

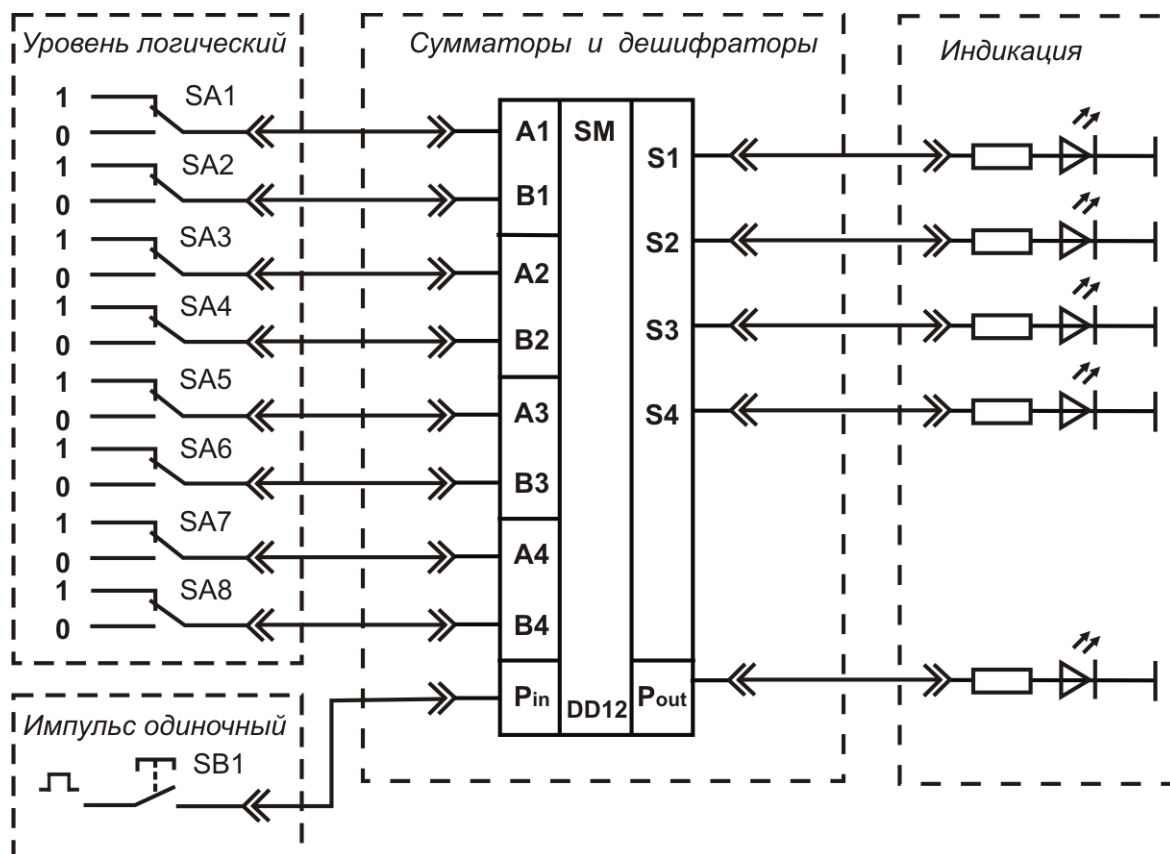


Рисунок 3.2 — Схема соединений для исследования полусумматоров и сумматоров

3.3.1.2. Включить тумблер «Сеть». Задавая различные комбинации входных логических сигналов тумблерами SA1 и SA2 на входах, фиксировать по светодиодам выходные сигналы. По заданию преподавателя отследить проме-

жуточные сигналы полусумматора. При этом выход  $S$  используется как выход разряда, а выход  $P_{out}$  — как выход переноса.

3.3.1.3. Результаты исследований занести в таблицу 3.1. Проверить таблицу истинности. Сделать выводы о работе полусумматора.

3.3.1.4. Выключить тумблер «Сеть».

Таблица 3.1 — Таблица истинности исследуемого полусумматора

| Входы |     | Выходы |           |
|-------|-----|--------|-----------|
| $A$   | $B$ | $S$    | $P_{out}$ |
| 0     | 0   |        |           |
| 0     | 1   |        |           |
| 1     | 0   |        |           |
| 1     | 1   |        |           |

### 3.3.2. Экспериментальное исследование полного сумматора.

3.3.2.1. Собрать, согласно рисунка 3.2, схему соединений для исследования сумматора, подключив выходы  $SA1$  —  $SA8$  гнезд «Уровень логический» к соответствующим входам 4-х полусумматоров, имеющих четыре пары входов двух четырехразрядных чисел  $A1...A4$ ,  $B1...B4$  ( $A1$ ,  $B1$  — входы младших разрядов). При этом, для индикации сигналов логической «1», выходы сумм четырехразрядных чисел  $S1...S4$  и выход переноса старшего разряда  $P_{out}$  необходимо подключить к светодиодам поля «Индикация» стенда. Вход переноса в младший разряд  $P_{in}$  следует подключить к гнезду кнопки  $SB1$  «Импульс одиночный».

3.3.2.2. Включить тумблер «Сеть». Задавая различные комбинации входных логических сигналов тумблерами  $SA1$  —  $SA8$  на входах, фиксировать по светодиодам выходные сигналы. По заданию преподавателя отследить промежуточные сигналы полусумматора. При этом выход  $S$  используется как выход разряда, а выход  $P_{out}$  — как выход переноса.

3.3.2.3. Повторить эксперимент по п. 3.3.2.2. при нажатой кнопке  $SB1$  «Импульс одиночный». Нажатая кнопка соответствует логической «1».

3.3.2.4. Результаты исследований одного разряда полного сумматора занести в таблицу 3.2. Проверить таблицу истинности сумматора.

Таблица 3.2 — Таблица истинности исследуемого одного разряда полного сумматора

| Входы    |     |     | Выходы |           |
|----------|-----|-----|--------|-----------|
| $P_{in}$ | $A$ | $B$ | $S$    | $P_{out}$ |
| 0        | 0   | 0   |        |           |
| 0        | 0   | 1   |        |           |
| 0        | 1   | 0   |        |           |
| 0        | 1   | 1   |        |           |
| 1        | 0   | 0   |        |           |
| 1        | 0   | 1   |        |           |
| 1        | 1   | 0   |        |           |
| 1        | 1   | 1   |        |           |

3.3.2.5. По заданию преподавателя повторить опыты с использованием 2-х, 3-х и 4-х разрядов полного сумматора при не нажатой и нажатой кнопке *SB1* «Импульс одиночный».

3.3.2.6. Выключить тумблер «Сеть».

### 3.4. Примерный план отчета

Отчет должен содержать следующие пункты:

- наименование и цель работы;
- принципиальные электрические схемы для выполненных экспериментов;
- результаты экспериментальных исследований, помещенные в соответствующие таблицы;
- осциллограммы;
- выводы по работе.

### 3.5 Основные теоретические положения

**Комбинационный сумматор** — это цифровое устройство, предназначенное для арифметического сложения чисел, представленных в виде двоичных кодов [3]. На рисунке 3.3,а изображено графическое обозначение одноразрядного полусумматора, на рисунке 3.3,б — его схема, а на рисунке 3.3,в — схема на элементах «И», «ИЛИ», «ИЛИ-НЕ».

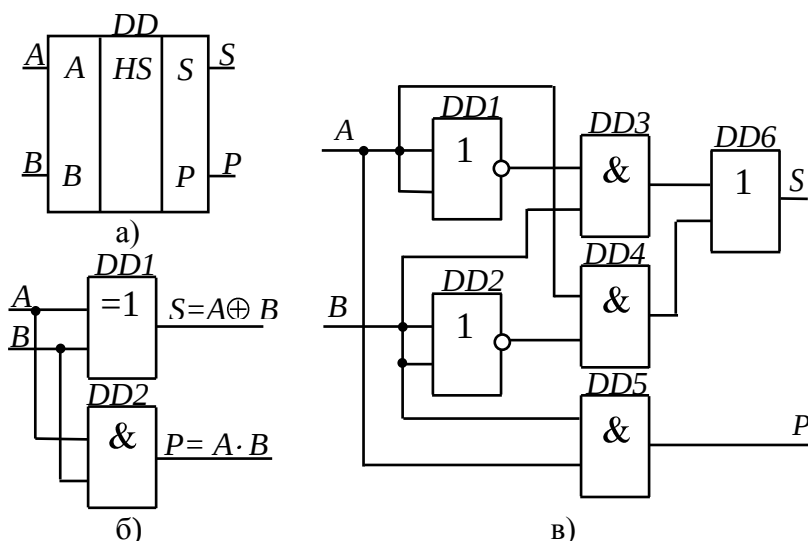


Рисунок 3.3 — Графическое обозначение одноразрядного полусумматора (а), его схема (б), схема на элементах «И», «ИЛИ», «ИЛИ-НЕ» (в)

По числу входов различают полусумматоры и полные сумматоры.

Полусумматор (*Half Summator*) складывает два числа самого младшего разряда *A*, *B* без учета переноса.

Результаты сложения *S* и переноса в старший разряд *P* значения представлены в таблице истинности 3.3.

Из этой таблицы следует, что, если  $A=1$  и  $B=1$ , то происходит переполнение разряда  $S=0$  и вырабатывается сигнал переноса в старший разряд  $P=1$ . Аналитические выражения выходных сигналов имеют вид [4]:

$$S = \bar{A} \cdot B + A \cdot \bar{B} = A \oplus B; P = A \cdot B.$$

Обычно сумматор представляет собой комбинацию одноразрядных сумма-

торов. Одноразрядный полный сумматор (*Summator*) имеет три входа: для разряда слагаемого  $A_n$ , разряда слагаемого  $B_n$  и входного сигнала переноса из младшего разряда  $P_{n-1}$ .

Таблица 3.3 — Таблица истинности полусумматора

| Набор | Первое слагаемое | Второе слагаемое | Результат |         |
|-------|------------------|------------------|-----------|---------|
|       |                  |                  | Сумма     | Перенос |
|       | $A$              | $B$              | $S$       | $P$     |
| 1     | 0                | 0                | 0         | 0       |
| 2     | 0                | 1                | 1         | 0       |
| 3     | 1                | 0                | 1         | 0       |
| 4     | 1                | 1                | 0         | 1       |

Результаты сложения  $S_n$  и переноса в старший разряд  $P_n$  приведены в таблице 3.4 истинности одного разряда полного сумматора.

Таблица 3.4 — Таблица истинности исследуемого одного разряда полного сумматора

| Набор | Первое слагаемое | Второе слагаемое | Перенос   | Результат |         |
|-------|------------------|------------------|-----------|-----------|---------|
|       |                  |                  |           | Сумма     | Перенос |
|       | $A_n$            | $B_n$            | $P_{n-1}$ | $S_n$     | $P_n$   |
| 1     | 0                | 0                | 0         | 0         | 0       |
| 2     | 0                | 0                | 1         | 1         | 0       |
| 3     | 0                | 1                | 0         | 1         | 0       |
| 4     | 0                | 1                | 1         | 0         | 1       |
| 5     | 1                | 0                | 0         | 1         | 0       |
| 6     | 1                | 0                | 1         | 0         | 1       |
| 7     | 1                | 1                | 0         | 0         | 1       |
| 8     | 1                | 1                | 1         | 1         | 1       |

На рисунке 3.4,а изображено графическое обозначение одноразрядного полного сумматора, а его схема на полусумматорах — на рисунке 3.4,б.

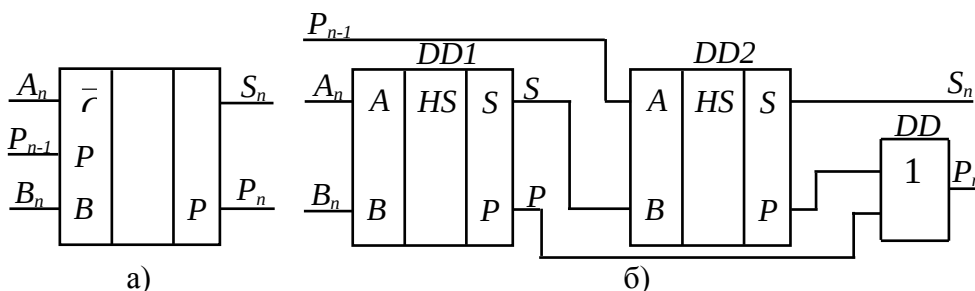


Рисунок 3.4 — Графическое обозначение одноразрядного полного сумматора (а), схема на полусумматорах (б)

Сумматор с поразрядным последовательным переносом наиболее прост с точки зрения схемной реализации, однако имеет низкое быстродействие. Для

повышения быстродействия используются сумматоры с параллельным переносом. В инверсном коде изменение знака получается инверсией всех бит разрядов вычитаемого. Если при сложении появляется единица в разряде, более старшем, чем разрядность вычитателя, то она прибавляется к младшему разряду результата. При выполнении операции вычитании знак вычитаемого изменяется, а результат складывается с уменьшаемым двоичным числом. Вычитание осуществляют в инверсном или в дополнительном кодах.

Недостатком метода является представление нуля двумя способами, так как инверсия 0...00 равна 1...11 и сумма двух разных по знаку, но равных по значению чисел дает 1...11. В дополнительном коде изменение знака получается инверсией всех бит разрядов числа, расширенного до полного формата и добавлением к результату 1 в младшем разряде. Единица в разряде, более старшем, чем разрядность вычитателя отбрасывается.

### **3.6. Контрольные вопросы**

1. Каково назначение сумматора?
2. На какие два типа делятся все цифровые схемы?
3. К какому типу цифровых схем относятся сумматоры?
4. Какие входы и выходы содержит полусумматор? (Поясните их назначение с помощью таблицы истинности).
5. Какие входы и выходы содержит полный сумматор?
6. Поясните таблицу истинности для сумматора.
7. Сформулируйте правила сложения одnorазрядных и многоразрядных двоичных чисел.
8. Как снять временные диаграммы входных и выходного сигналов сумматора при помощи осциллографа в лабораторной работе?
9. Где применяется в электронике сумматор?
10. Как увеличить разрядность сумматора?

## Лабораторная работа № 4 ИССЛЕДОВАНИЕ ТРИГГЕРОВ

**Время:** 2 часа.

### 4.1 Цель работы

4.1.1. Экспериментальное ознакомление с основными функциями и тестирование различных типов триггеров.

4.1.2. Получение практических навыков при работе с микросхемами.

### 4.2 Описание стенда лабораторной работы № 4

Вид стенда лабораторной работы № 4 изображен на рисунке 4.1. Исследования дешифраторов проводятся на рабочем поле моноблока «ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ И ТРИГГЕРЫ» [1]. Потенциометры расположены на рабочем поле «МУЛЬТИВИБРАТОРЫ И АЦП» [1].

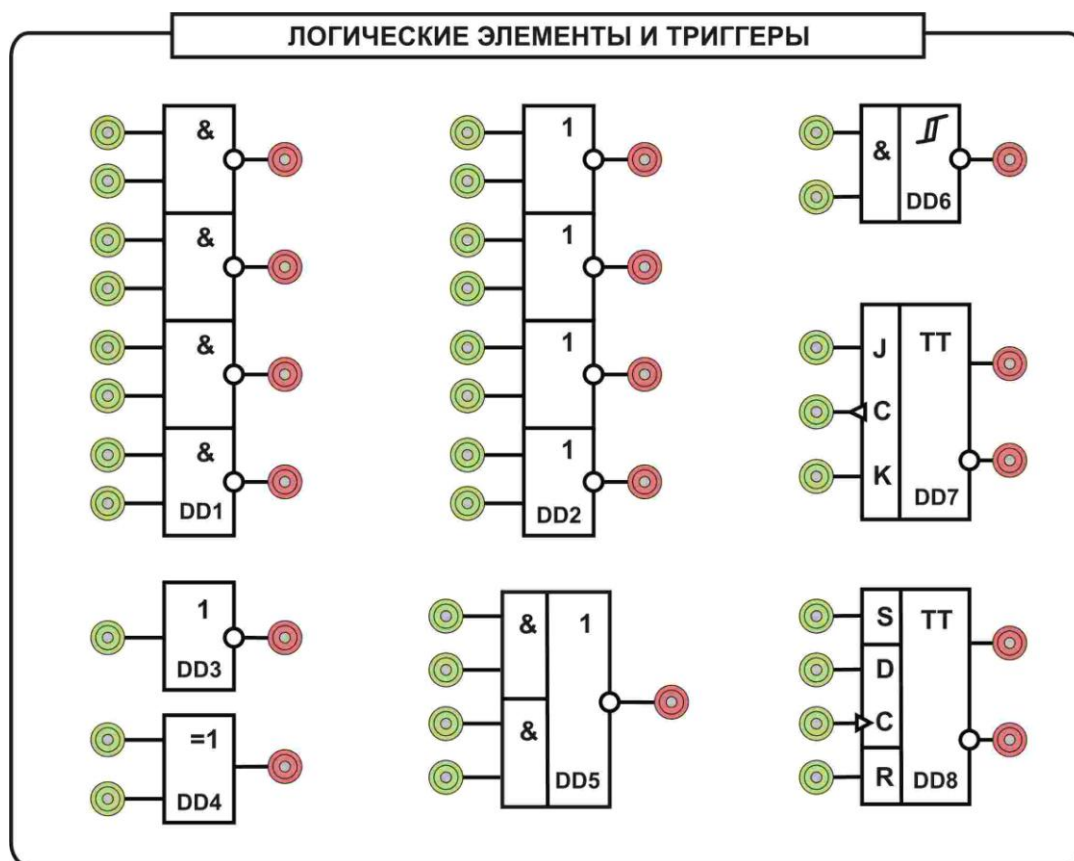


Рисунок 4.1 — Стенд лабораторной работы № 4

Последовательностными или многотактными схемами называют схемы, в которых одной и той же комбинации входных сигналов, поданной на входы в различной очередности, могут соответствовать различные комбинации выходных сигналов.

Отличительным элементом подобных схем являются элементы памяти. В логических схемах элемент памяти представлен в виде обратной связи с выхода элемента на его вход.

Элементы памяти вводятся в схемы в следующих случаях:

— если требуется запомнить кратковременный сигнал (нажатие кнопки);

- когда одной и той же комбинации на входе системы соответствует несколько различных выходных комбинаций;
- для запоминания предыдущего значения.

Органы управления и индикации объединены в функциональные группы и снабжены надписями на лицевой панели.

Источник сигналов «Уровень логический» предназначен для формирования логических сигналов высокого «1» и низкого «0» уровней. Включение соответствующих сигналов осуществляется при помощи тумблеров SA1 – SA8. С помощью светодиодов осуществляется индикация сигналов, соответствующих логической «1».

«Генератор импульсов» генерирует последовательности положительных прямоугольных импульсов с частотами 100 Гц; 200 Гц и 1600 Гц.

Коннекторы позволяют увеличить число проводов, подключаемых к одной точке.

С помощью светодиодов поля «Индикация» осуществляется индикация сигналов логической «1».

### 4.3 Порядок выполнения работы

#### 4.3.1. Экспериментальное исследование простейших последовательностных схем триггеров.

##### 4.3.1.1. Экспериментальное исследование простейших последовательностных схем RS-триггера на основе элементов «ИЛИ-НЕ» и «И-НЕ».

4.3.1.1.1. Собрать, согласно рисунка 4.2, схему соединений для исследования работы RS-триггера на основе элементов «ИЛИ-НЕ».

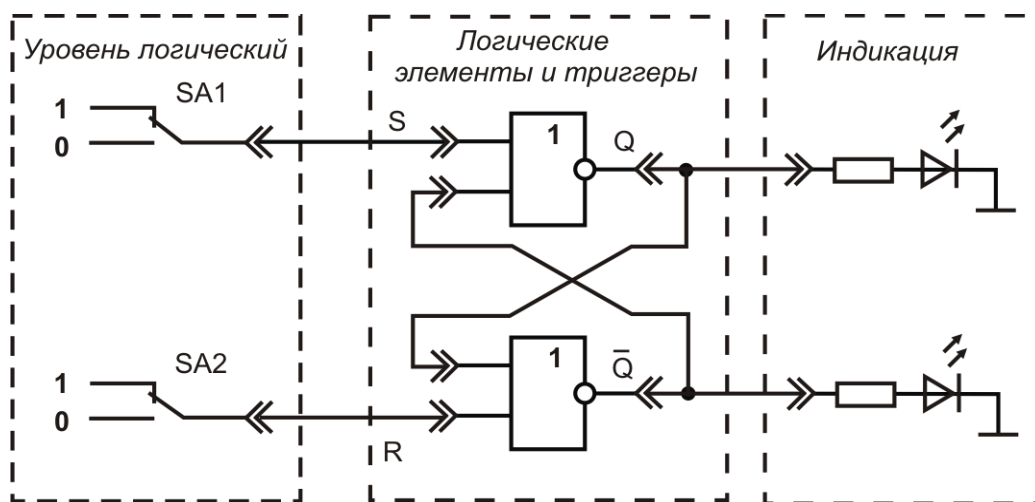


Рисунок 4.2 — Схема соединений для исследования RS-триггера на основе элементов «ИЛИ-НЕ»

Соединить выходы гнезд «Уровень логический» с входами соответствующих элементов. Соединить перемычками элементы, согласно схеме, при необходимости использовать коннекторы. Выходы схемы подключить к полю «Индикация». Включить тумблер «Сеть». Проверить таблицу истинности RS-триггера.

По окончании опыта выключить тумблер «Сеть».

4.3.1.1.2. Собрать, согласно рисунка 4.3, схему соединений для исследования работы *RS*-триггера на основе элементов «И-НЕ». Аналогично предыдущему заданию проверить таблицу истинности триггера. Сравнить таблицы истинности двух триггеров.

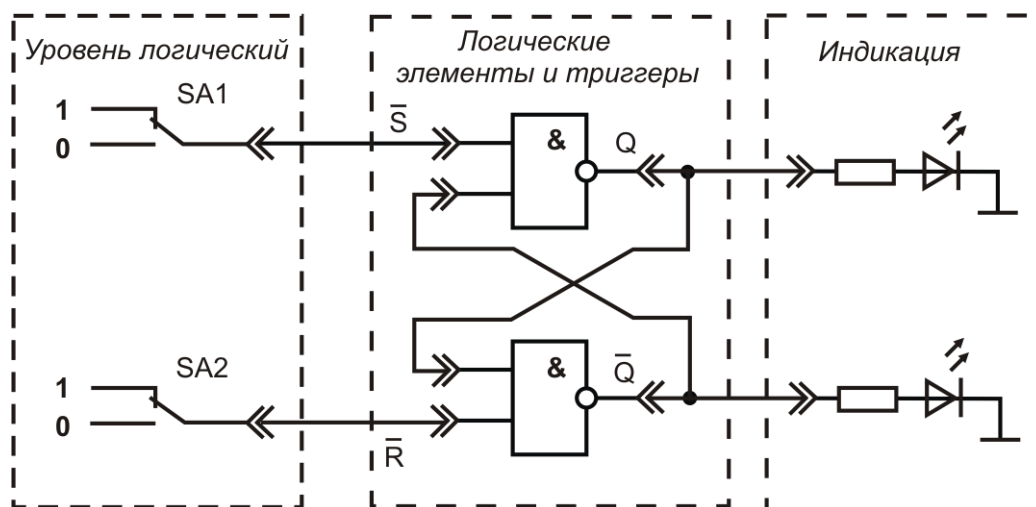


Рисунок 4.3 — Схема соединений для исследования *RS*-триггера на основе элементов «И-НЕ»

4.3.1.2. Экспериментальное исследование работы *D*-триггера на основе элементов «И-НЕ».

4.3.1.1.1. Собрать, согласно рисунка 4.4, схему соединений для исследования работы *D*-триггера на основе элементов «И-НЕ». Далее следует построить таблицу истинности триггера, эксперимент проводится аналогично предыдущему.

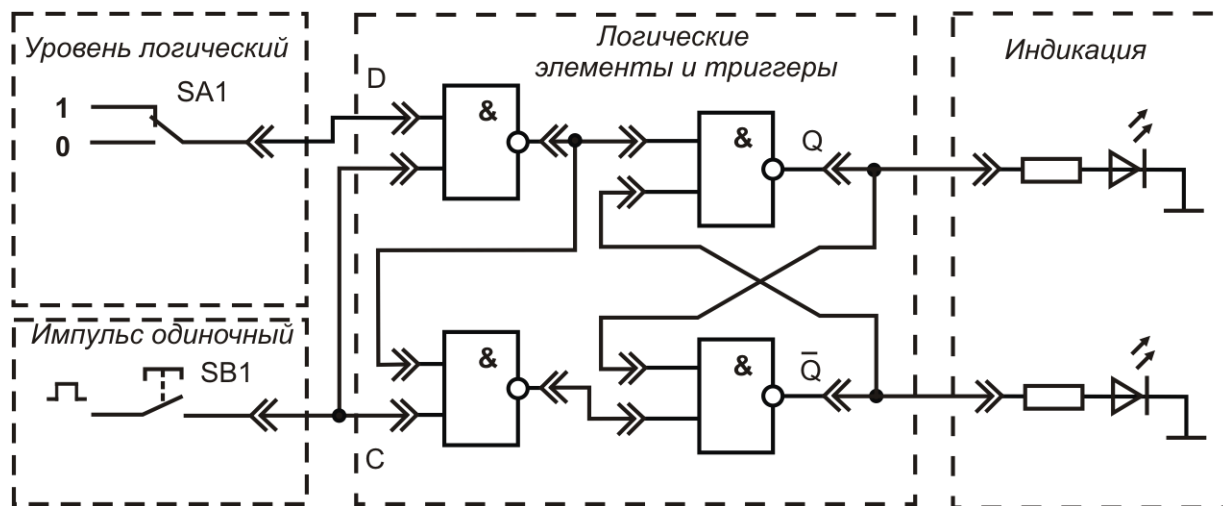


Рисунок 4.4 — Схема соединений для исследования *D*-триггера на основе элементов «И-НЕ»

4.3.2. Экспериментальное исследование *RSDC*-триггера.

Собрать, согласно рисунка 4.5, схему соединений для исследования работы *RSDC*-триггера на основе элементов «И-НЕ», подключив гнезда «Уровень логический» к входам *R*, *S* и *D*, находящимся на одной горизонтали с соответствующими входами триггера. Далее следует подключить генератор «Импульс одиночный», формирующий одиночные импульсы с положительной ( $\neg$ ) по-

лярностью, ко входу *C*. Включить тумблер «Сеть». Задавая различные комбинации входных логических сигналов тумблерами *SA1*, *SA2* и *SA4*, фиксировать по светодиодам выходные сигналы триггера. Результаты занести в таблицу. Определить, как сочетаются свойства *D*-триггера и *RS*-триггера, сделать вывод какие из этих свойств являются определяющими в работе триггера.

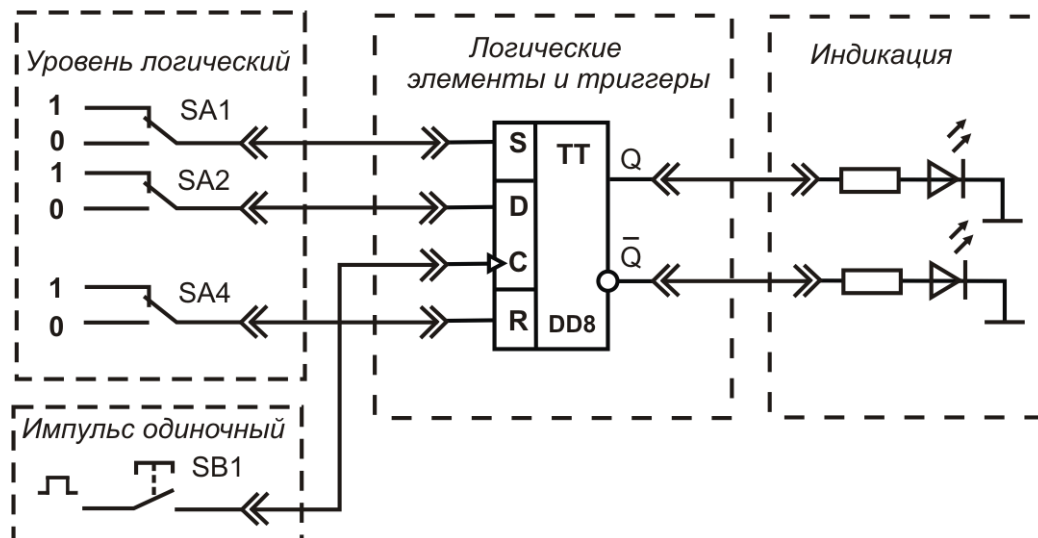


**Рисунок 4.5** — Схема соединений для исследования *RSDC*-триггера при подаче на вход одиночных импульсов

#### 4.3.3. Экспериментальное исследование *JK*-триггера

Собрать, согласно рисунка 4.6, схему соединений для исследования работы *JK*-триггера, подключив выходы гнезд «Уровень логический» к соответствующим входам триггера.

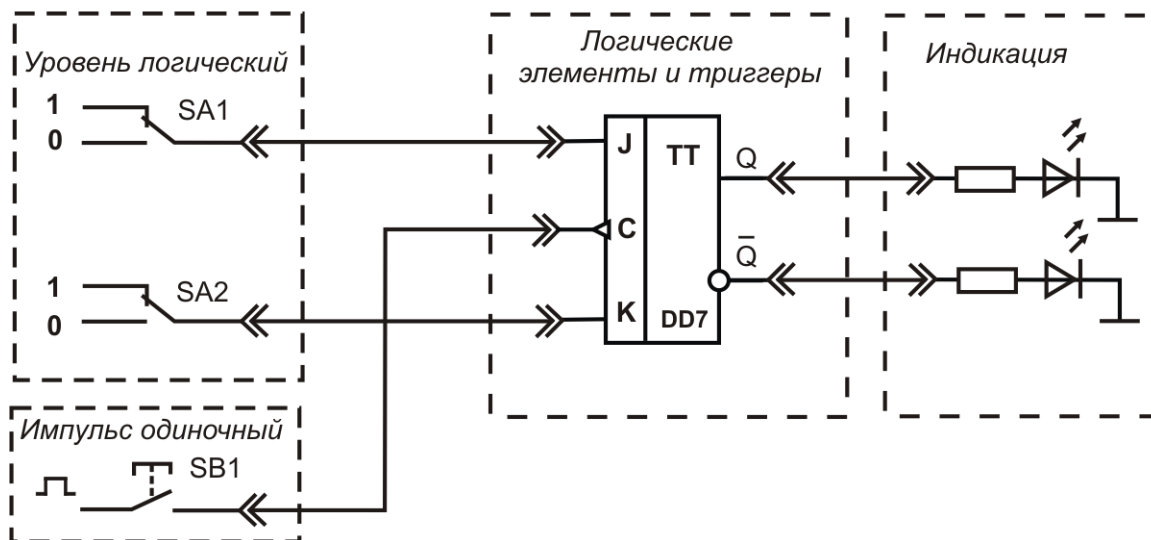


**Рисунок 4.6** — Схема соединений для исследования *JK*-триггера при подаче на вход одиночных импульсов

Подключить источник сигнала «Импульс одиночный», формирующий одиночные импульсы с положительной ( $\neg$ ) полярностью, к входу *C*. Включить тумблер «Сеть». Задавая различные комбинации входных логических сигналов тумблерами *SA4* и *SA6* на входах *J* и *K* и нажимая на кнопку *SB1* (син-

хронизирующий импульс), составить таблицу истинности *JK*-триггера. Уровню логической «1» на выходе триггера *Q* соответствует свечение светодиода. Результаты занести в таблицу. При проведении опыта обратить внимание, на каком фронте синхроимпульса «С» происходит переключение *JK*-триггера. Выключить тумблер «Сеть». Далее следует сравнить результаты с таблицей истинности.

#### 4.3.4. Экспериментальное исследование триггера Шмидта

Собрать схему согласно рисунку 4.7. С помощью потенциометра постепенно увеличить сигнал на входе от 0 вольт до 5 вольт, затем в обратную сторону. При этом наблюдать по осциллографу за изменением выходного сигнала триггера Шмидта.

Зарисовать осциллограммы в момент наибольшего влияния петли гистерезиса триггера на временные диаграммы на его выходе.

Отметить напряжение при котором возникает данный эффект и напряжение, при котором он исчезает – эти напряжения являются пороговыми. Используя экспериментальные значения пороговых напряжений нарисовать передаточную характеристику триггера Шмидта.

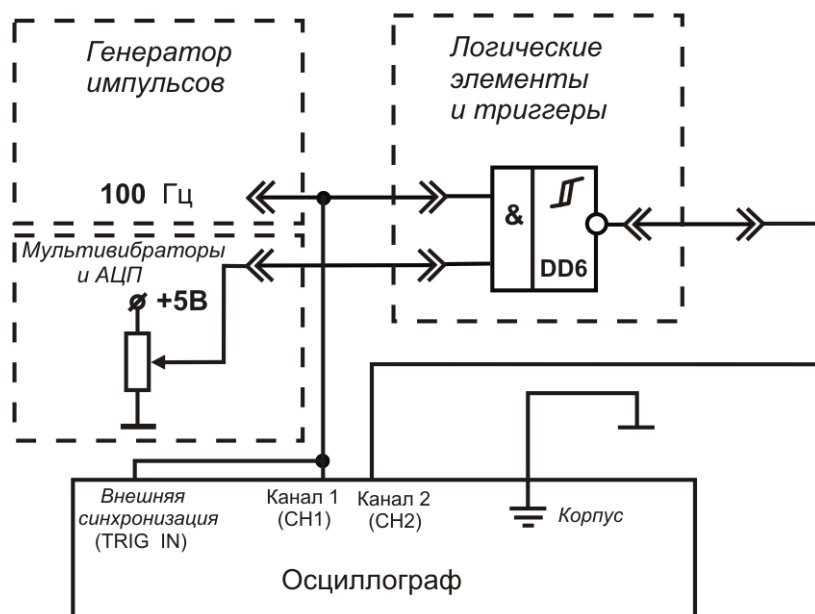


Рисунок 4.7 — Схема соединений для исследования триггера Шмидта

#### 4.4. Содержание отчета

Отчет должен содержать следующие пункты:

- наименование и цель работы;
- принципиальные электрические схемы для выполненных экспериментов;
- результаты экспериментальных исследований;
- обработанные осциллограммы;
- выводы по работе.

## 4.5 Основные теоретические положения

### 4.5.1 Общие понятия

**Триггер (защелка)** — импульсное устройство с двумя устойчивыми состояниями [6]. Переход из одного состояния в другое происходит в результате воздействия сигналов управления.

Выходной сигнал триггера зависит не только от входных сигналов, но и от его внутреннего состояния, то есть от значений входных переменных, которые действовали в предыдущие моменты времени.

Электронные приборы с такими свойствами называются последовательными логическими устройствами. Триггеры являются элементами памяти. Кроме устойчивых состояний, которые могут сохраняться неограниченно долго, имеются неустойчивые, они существуют короткое время, соизмеримое с длительностью процессов переключения в схеме.

Входы триггера обозначаются в соответствии с его видом и назначением. Как правило, триггер имеет два выхода: прямой выход  $Q$  и инверсный выход  $\bar{Q}$ . Обозначение триггера изображено на рисунке 4.8. На схемах триггеры обозначаются символом  $DD$  и порядковым номером на схеме.

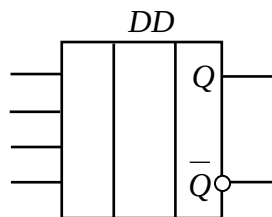


Рисунок 4.8 — Обозначение триггера

Триггеры можно классифицировать по способам записи информации и управления, принципам построения, функциональным возможностям.

По способу записи информации различают асинхронные и синхронные триггеры.

Асинхронный триггер изменяет свое состояние в момент прихода сигнала на его информационные входы.

Синхронные триггеры изменяют свое состояние под действием входных сигналов, только в момент прихода тактового сигнала на синхронизирующий вход  $C$ . Они могут использоваться в цифровых устройствах, где требуется в соответствии с временными тактами выполнить определенные операции без сбоя в работе устройства.

Далее триггеры разделяются на статические и динамические. Статические триггеры реагируют на состояния входов и переключаются при наличии соответствующего потенциала (уровня напряжения).

Триггеры с динамическим входом реагируют на изменения состояния на входах и управляются перепадом напряжения.

Триггеры могут реагировать на передний фронт импульса при переходе из 0 в 1 (обозначения такого переключения изображено на рисунке 4.9, а) или на задний фронт при переходе из 1 в 0 (обозначения такого переключения изображено на рисунке 4.9, б).

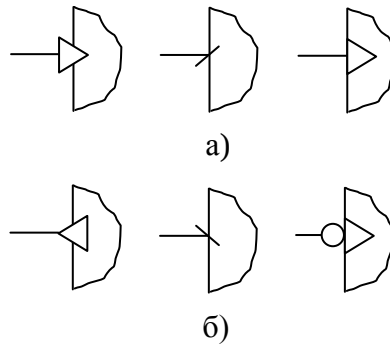


Рисунок 4.9 — Обозначения переключения триггера

По функциональным возможностям различают триггеры: *RS*-триггер, *D*-триггер, *T*-триггер, *JK*-триггер, *VD* и *VT*-триггеры, а также *NV*-триггеры, которые после выключения напряжения питания сохраняют записанную в них информацию (энергетическая независимость).

#### 4.5.2 Асинхронный *RS*-триггер

Схема асинхронного *RS*-триггера реализованная с помощью элементов «2ИЛИ-НЕ» изображена на рисунке 4.10,а временные диаграммы его работы — на рисунке 4.10,б. Логические состояния *RS*-триггера приведены в таблице истинности 4.1 [7]. Он имеет два входа: **Set** — установка ( $Q=1$ ) и **Reset** — сброс ( $Q=0$ ).

Согласно временной диаграмме и таблицы истинности 4.1, выход триггера переходит в состояние  $Q_{n+1}=1$ , если поступают сигналы  $S=1$ ,  $R=0$  (интервал времени  $t_1 - t_2$ ) независимо от предшествующего состояния  $Q_n$ .

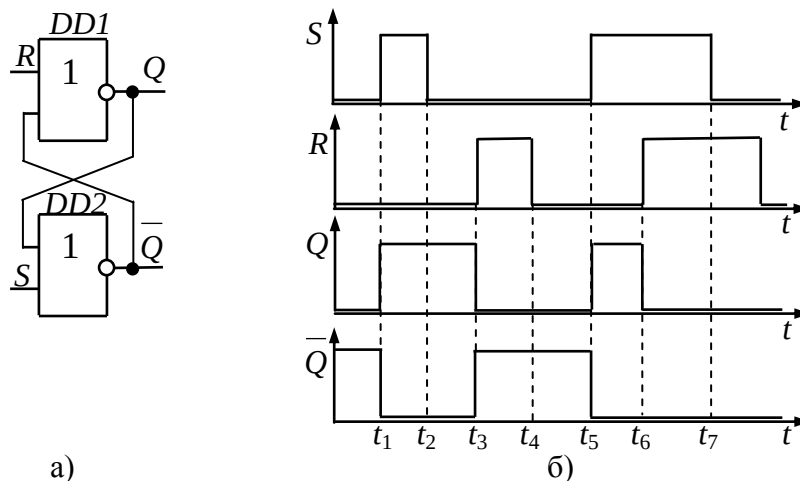


Рисунок 4.10 — Схема и временные диаграммы работы асинхронного *RS*-триггера, реализованного на элементах «2ИЛИ-НЕ»

При  $S=0$ ,  $R=1$  выход триггера переходит в состояние  $Q_{n+1}=0$  (интервал  $t_3 - t_4$ ). Когда  $S=0$ ,  $R=0$  триггер сохраняет прежнее значение  $Q_n$  (интервалы  $t_2 - t_3$ ;  $t_4 - t_5$ ). Комбинация сигналов  $S=1$ ,  $R=1$  запрещена, т.к. на прямом и инверсном выходе устанавливаются одинаковые значения, которые при переходе в режим хранения не удерживаются (интервал  $t_6 - t_7$ ). Таким образом, сброс и ус-

тановка триггера будет производиться единичными логическими уровнями. Эти особенности реализации схемы триггера связаны с принципами работы инверсной логики.

Таблица 4.1 — Таблица истинности работы асинхронного  $RS$ -триггера, реализованного на элементах «2ИЛИ-НЕ»

| № | $R$ | $S$ | $Q_n$ | $\overline{Q}_{n+1}$ | Название режима работы |
|---|-----|-----|-------|----------------------|------------------------|
| 1 | 0   | 0   | $Q_n$ | $\overline{Q}_n$     | Хранение информации    |
| 2 | 0   | 1   | 1     | 0                    | Установка в 1          |
| 3 | 1   | 0   | 0     | 1                    | Установка в 0          |
| 4 | 1   | 1   | —     | —                    | Запрещенное состояние  |

Кроме того, этот триггер может быть реализован на элементах «2И-НЕ». Схема такого триггера изображена на рисунке 4.11.

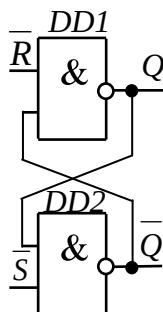


Рисунок 4.11 — Схема и временные диаграммы работы асинхронного  $RS$ -триггера, реализованного на элементах «2И-НЕ»

Рассмотрим работу схемы триггера подробнее. Пусть на входы  $R$  и  $S$  подаются единичные потенциалы. Если на выходе верхнего логического элемента «2И-НЕ»  $Q$  присутствует логический ноль, то на выходе нижнего логического элемента «2И-НЕ» появится логическая единица. Эта единица подтвердит логический ноль на выходе триггера  $Q$ . Если на выходе верхнего логического элемента «2И-НЕ»  $Q$  первоначально присутствует логическая единица, то на выходе нижнего логического элемента «2И-НЕ» появится логический ноль. Этот ноль подтвердит логическую единицу на выходе  $Q$ . То есть, при единичных уровнях на входах  $R$  и  $S$ , схема  $RS$ -триггера работает точно так же, как и схема триггера на инверторах [7].

Подадим на вход  $S$  триггера нулевой потенциал. Согласно таблице истинности логического элемента «2И-НЕ» на выходе  $Q$  появится единичный потенциал. Это приведёт к появлению на инверсном выходе триггера нулевого потенциала. Теперь, даже если снять нулевой потенциал с входа  $S$ , на выходе триггера останется единичный потенциал.

Точно так же можно записать в триггер и логический ноль.

Для этого следует воспользоваться входом  $R$ . Так как активный уровень на входах триггера оказался нулевым, то эти входы — инверсные.

Составим таблицу истинности  $RS$ -триггера. Входы  $R$  и  $S$  в этой таблице будем использовать прямые, то есть запись нуля, и запись единицы будут осуществляться единичными потенциалами (таблица 4.2).

Таблица 4.2 — Таблица истинности работы асинхронного  $RS$ -триггера, реализованного на элементах «2И-НЕ»

| № | $R$ | $S$ | $Q_n$ | $Q_{n+1}$ | Название режима работы                    |
|---|-----|-----|-------|-----------|-------------------------------------------|
| 1 | 0   | 0   | $Q_n$ |           | Хранение информации ( $R=S=0$ )           |
| 2 | 0   | 1   | 1     | 0         | Установка в единичное состояние ( $S=1$ ) |
| 3 | 1   | 0   | 0     | 1         | Режим записи нуля в триггер ( $R=1$ )     |
| 4 | 1   | 1   | —     | —         | Запрещенное состояние ( $R=S=1$ )         |

На основе  $RS$ -триггера получен ряд триггеров с различными функциональными возможностями. На рисунке 4.12,а изображена схема синхронного  $RS$ -триггера на элементах «2И-НЕ», а на рисунке 4.12,б — временные диаграммы работы триггера. Таблица истинности этого триггера приведена в таблице 4.3.

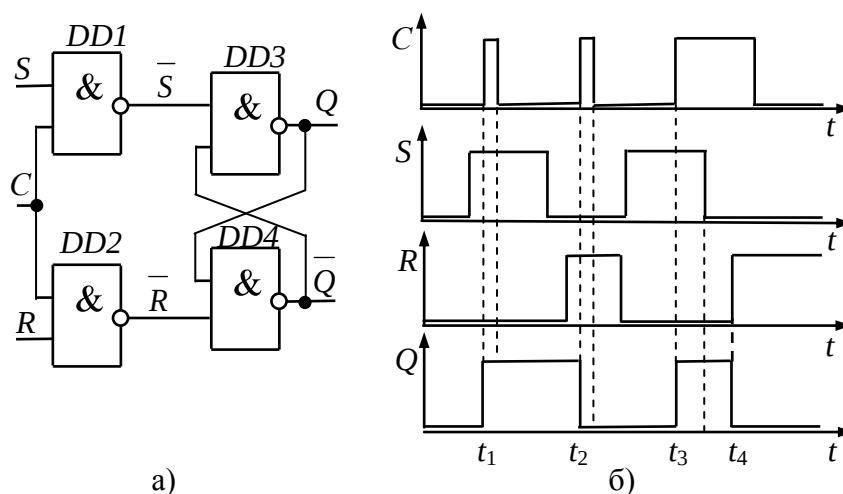


Рисунок 4.12 — Схема и временные диаграммы работы синхронного  $RS$ -триггера

Таблица 4.3 — Таблица истинности работы синхронного  $RS$ -триггера

| № | $C$ | $R$ | $S$ | $Q_{n+1}$ | $\overline{Q}_{n+1}$ |
|---|-----|-----|-----|-----------|----------------------|
| 1 | 1   | 0   | 0   | $Q_n$     | $\overline{Q}_n$     |
| 2 | 1   | 0   | 1   | 1         | 0                    |
| 3 | 1   | 1   | 0   | 0         | 1                    |
| 4 | 1   | 1   | 1   | —         | —                    |
| 5 | 0   | X   | X   | $Q_n$     | $\overline{Q}_n$     |

X — любое значение переменной, которая не оказывает влияния на результат.

Считывание сигналов с информационных входов  $R$ ,  $S$  происходит при наличии тактового сигнала на входе  $C$  на интервале времени  $\Delta t$ , когда триггер работает как статическое устройство. Если в течение этого интервала по какой-либо причине происходит изменение входных сигналов  $R$ ,  $S$ , то оно оказывает влияние на состояние выходов (интервал времени  $t_3 - t_4$ ). Для сокращения времени считывания тактовый вход  $C$  делают динамическим.

### 4.5.3 D-триггер

Схема D-триггера имеет один информационный вход  $D$  и тактовый вход  $C$ . Схема триггера изображена на рисунке 4.13,а, а временные диаграммы ра-

боты триггера — на рисунке 4.13,б. Таблица истинности работы  $D$ -триггера приведена в таблице 4.4. Триггер является простейшей ячейкой памяти и применяется только как синхронный элемент.

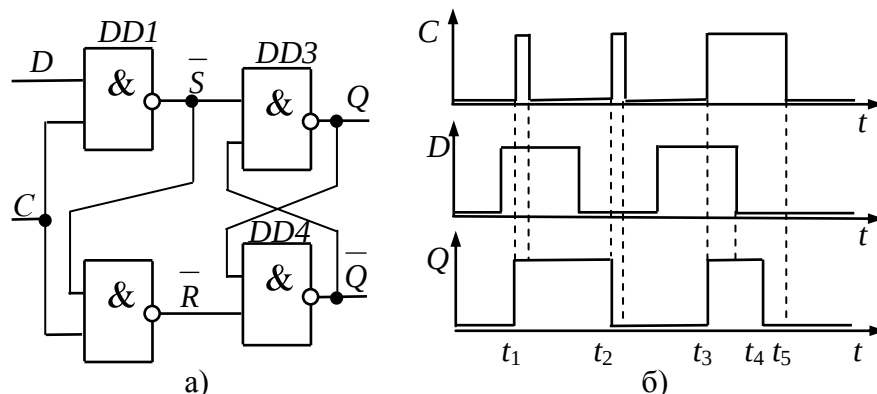


Рисунок 4.12 — Схема и временные диаграммы работы  $D$ -триггера

Таблица 4.4 — Таблица истинности работы  $D$ -триггера

| № | $C$ | $D$ | $Q_{n+1}$ |
|---|-----|-----|-----------|
| 1 | 1   | 0   | 0         |
| 2 | 1   | 1   | 1         |
| 3 | 0   | X   | $Q_n$     |

Если при наличии тактового сигнала  $C$  (интервал  $t_3 - t_5$ ), происходит изменение входного сигнала  $D$  (в момент времени  $t_4$ ), то это оказывает влияние на состояние выходов. Чтобы повысить помехозащищенность триггера, тактовый вход  $C$  делают динамическим. При добавлении в схему  $D$ -триггера разрешающего входа  $V$ , такое устройство называется  $DV$ -триггером рисунке 4.13. Таблица истинности работы такого триггера приведена в таблице 4.5.

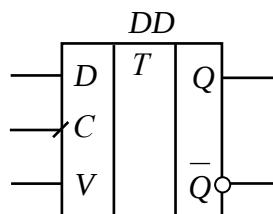


Рисунок 4.13 — Обозначение  $DV$ -триггера

$DV$ -триггеры применяются:

- в регистрах и счетчиках;
- для задержки прохождения сигнала до появления тактового импульса;
- в запоминающих устройствах.

Таблица 4.5 — Таблица истинности работы  $DV$ -триггера

| № | $V$ | $C$ | $D$ | $Q_{n+1}$ |
|---|-----|-----|-----|-----------|
| 1 | 1   | 1   | 0   | 0         |
| 2 | 1   | 1   | 1   | 1         |
| 3 | 0   | 0   | X   | $Q_n$     |
| 4 | 0   | 1   | X   | $Q_n$     |
| 5 | 1   | 0   | X   | $Q_n$     |

#### 4.5.4 T-триггер

Схема  $T$ -триггера изображена на рисунке 4.14,а, а временные диаграммы работы триггера — на рисунке 4.14,б.  $T$ -триггер имеет один информационный динамический вход  $T$ .

Таблица истинности триггера представлена таблицей 4.6 [8].

Если в схему  $T$ -триггера добавить разрешающий вход  $V$ , то такое устройство называется  $TV$ -триггером (по аналогии с  $DV$ -триггером).

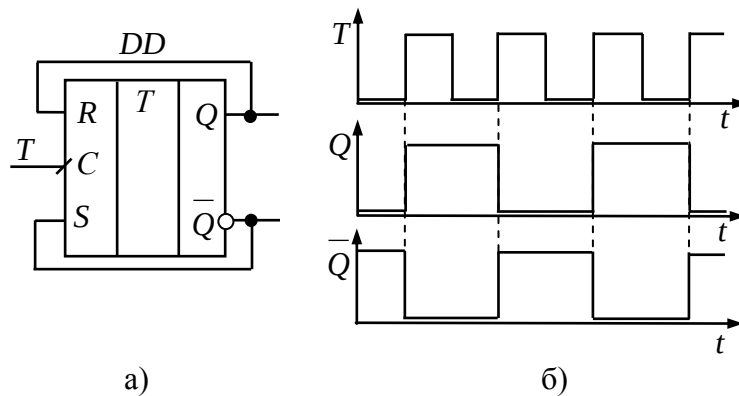


Рисунок 4.14— Обозначение и временные диаграммы работы  $T$ -триггера

Таблица 4.6 — Таблица истинности работы  $T$ -триггера

| № | $T$ | $Q_n$ | $Q_{n+1}$ |
|---|-----|-------|-----------|
| 1 | 1   | 0     | 1         |
| 2 | 1   | 1     | 0         |

Согласно временной диаграмме, в исходном состоянии  $Q=0$ , а на входе  $R=0$ ,  $S=1$ . По переднему фронту тактового импульса сигналы с выходов запишутся в триггер и установятся новые значения  $Q=0$ , (в момент времени  $t_1$ ). Очередной тактовый импульс запишет их в триггер. Триггер применяется:

- для изменения знака двоичного числа в арифметико-логическом устройстве;
- в счетчиках, делителях частоты;
- в регистрах.

#### 4.5.5 JK-триггер

$JK$ -триггер имеет два информационных входа  $J$  и  $K$ , тактовый динамический вход  $C$ , и два приоритетных асинхронных входа установки  $S$  и сброса  $R$ .

Схема  $JK$ -триггера изображена на рисунке 4.15,а, а временные диаграммы работы триггера — на рисунке 4.15,б. Таблица истинности триггера представлена таблицей 4.7. В таблице истинности триггера значком «X» обозначаются произвольные значения переменных  $J$ ,  $K$  и  $C$ , которые не оказывают влияния на результат вследствие приоритета входов  $R$ ,  $S$  (моменты времени  $t_4$ ,  $t_5$ ,  $t_6$ ,  $t_7$ ). Этим определяется нестабильность при  $R=S=1$ , так как схема работает, как асинхронный  $RS$ -триггер. Если  $R=S=0$ , асинхронный триггер переходит в режим хранения и разрешается работа синхронного динамического  $JK$ -триггера. Запись информации происходит, для данной схемы триггера, по переднему фронту (0-1) сигнала на входе  $C$  (моменты времени  $t_1$ ,  $t_2$ ,  $t_3$ ). Когда на входах  $J=K=1$ ,

происходит инверсия предыдущего значения на выходах триггера (момент времени  $t_3$ ).

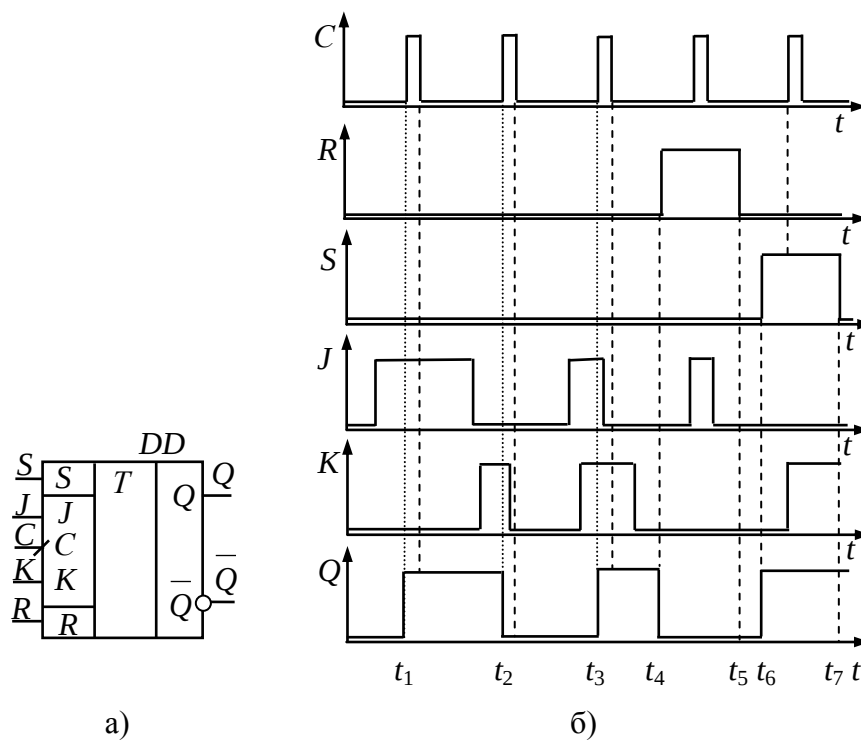


Рисунок 4.15— Схема и временные диаграммы работы  $JK$ -триггера

Таблица 4.7 — Таблица истинности работы  $JK$ -триггера

| № | $R$ | $S$ | $C$ | $J$ | $K$ | $Q_{n+1}$        |
|---|-----|-----|-----|-----|-----|------------------|
| 1 | 0   | 0   | 0-1 | 0   | 0   | $Q_n$            |
| 2 | 0   | 0   | 0-1 | 0   | 1   | 0                |
| 3 | 0   | 0   | 0-1 | 1   | 0   | 1                |
| 4 | 0   | 0   | 0-1 | 1   | 1   | $\overline{Q}_n$ |
| 5 | 0   | 0   | 1-0 | X   | X   | $Q_n$            |
| 6 | 0   | 0   | 0   | X   | X   | $Q_n$            |
| 7 | 0   | 1   | X   | X   | X   | 1                |
| 8 | 1   | 0   | X   | X   | X   | 0                |
| 9 | 1   | 1   | X   | X   | X   | —                |

#### 4.5.6 Преобразование триггеров

Различные триггеры могут выполнять одинаковые функции за счет использования дополнительных связей. На основе  $JK$ -триггера можно получить любой другой триггер, например, синхронные:  $D$ -триггер,  $T$ -триггер,  $RS$ -триггер с динамическими входами  $C$ . На рисунке 4.16 изображены синхронные триггеры с динамическими входами: а)  $D$ -триггер, б)  $T$ -триггер, в)  $RS$ -триггер.

#### 4.5.7 $MS$ -триггеры

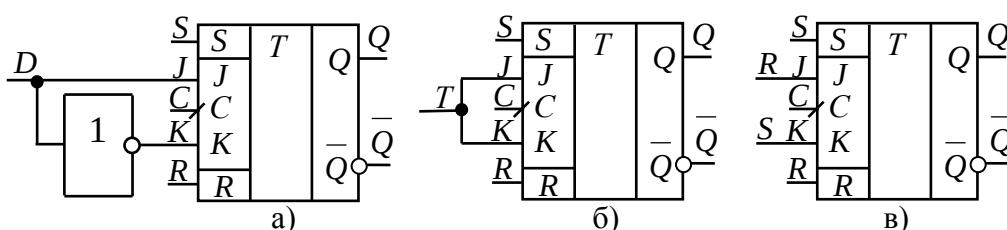


Рисунок 4.16— Схемы синхронных триггеров с динамическими входами

Схема *MS*-триггера изображена на рисунке 4.17, а, а временная диаграмма работы триггера — на рисунке 4.17,б.

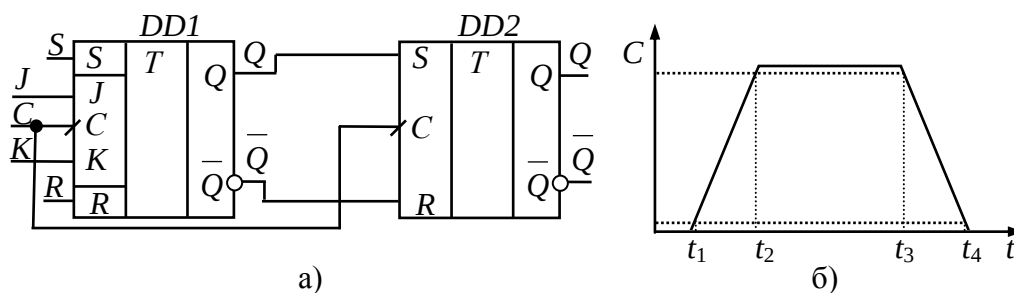


Рисунок 4.17— Схема (а) и временные диаграммы *MS*-триггера (б)

Данный тип триггера относят к двухступенчатому триггеру. Последние состоят из двух ячеек памяти — последовательно включенных триггеров. Триггер *DD1* имеет тактовый вход *C*, который реагирует на передний фронт импульса синхронизации *C*, а входы триггера *DD2* реагирует на задний фронт этого импульса. Вначале информация записывается в первую ступень *DD1*, а затем переписывается во вторую ступень — *DD2* и появляется на выходе.

Двухступенчатый триггер обозначается символом *TT* и управляется по обоим фронтам, реализуются по схеме «ведущий-ведомый».

Согласно временной диаграммы, последовательность работы *MS*-триггера следующая:

- на интервале времени  $t_1$ – $t_2$  ведущий триггер *DD1* сохраняет поступающую в него информацию, а ведомый триггер *DD2* отключен от *DD1*;
- на интервале времени  $t_2$ – $t_3$  оба триггера отключены;
- на интервале времени  $t_3$ – $t_4$  ведущий триггер *DD1* отключен от информационных сигналов, а ведомый триггер *DD2* сохраняет поступающую в него информацию от *DD1*.

Двухступенчатые триггеры могут состоять из собственно триггера и динамической промежуточной ячейки памяти. Эти триггеры управляются только одним фронтом тактового импульса — передним фронтом из 0 в 1.

*MS*-триггеры используются в цифровых устройствах, где при поступлении тактового сигнала информация записывается в первый триггер и не должна проходить сразу во все триггеры, подключенные последовательно за первым.

Чтобы предотвратить такое сквозное прохождение сигнала, для одноступенчатых динамических триггеров нужно использовать импульсы синхронизации с очень крутыми (короткими по времени) фронтами. Тогда благодаря задержке переключения первого триггера, подключенный к нему триггер успеет перейти в режим хранения до поступления на его вход новой информации, т.к. сигнал на тактовом входе, общий для всех триггеров, уже успеет переключиться в постоянное значение и отключит этот триггер.

Таким образом, триггеры являются ячейками памяти, куда заносится информация в двоичном коде и при необходимости информация считывается.

#### **4.6 Контрольные вопросы**

1. Что называется триггером?
2. Какие существуют типы триггеров?
3. Какая комбинация на входах *RS*-триггера называется запрещенной?
4. В чем отличие *JK*-триггера от *RS*-триггера?
5. Каков принцип работы синхронного *D*-триггера?
6. Почему *JK*-триггер называется универсальным?
7. Каким преимуществом обладает двухступенчатый триггер?
8. Какие бывают триггеры по способу записи?
9. Какой триггер называется синхронным?
10. Как работает *T*-триггер?

## Лабораторная работа № 5 ИССЛЕДОВАНИЕ СЧЕТЧИКОВ

**Время:** 2 часа.

### 5.1 Цель работы

5.1.1. Изучение работы и тестирование асинхронных счетчиков.

5.1.2. Получение практических навыков при работе с микросхемами.

### 5.2 Описание стенда лабораторной работы № 5

Исследование счетчиков проводится на рабочем поле «РЕГИСТРЫ И СЧЕТЧИКИ» [1]. Вид стенда лабораторной работы № 5 изображен на рисунке 5.1.

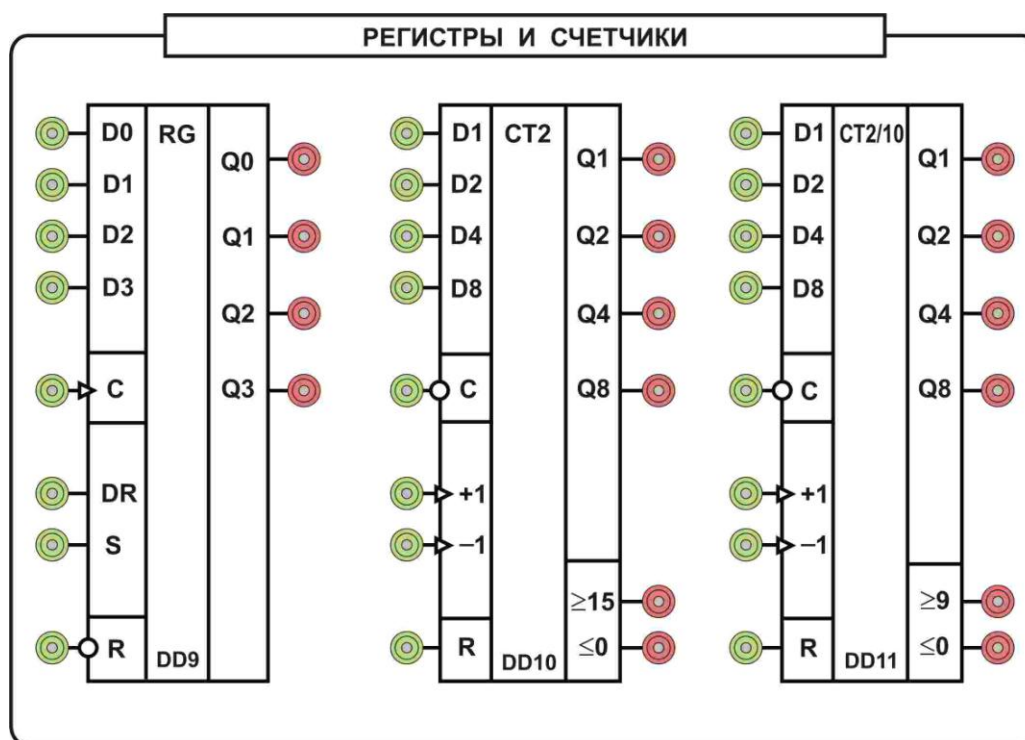


Рисунок 5.1 — Стенд лабораторной работы № 5

В работе исследуются асинхронные четырехразрядные счетчики. Они имеют общий вход сброса  $R$ , вход режима работы  $C$ , входы предустановки  $D1$ ,  $D2$ ,  $D4$  и  $D8$ , вход суммирования (+1), вход вычитания (-1), четыре выхода:  $Q1$ ,  $Q2$ ,  $Q3$ ,  $Q4$ , соответствующие от младшего до старшего разрядов четырехразрядного кода, а также выходы переноса старшего и младшего разрядов.

Отличительной особенностью асинхронных счетчиков является то, что они представляют собой последовательное включение триггеров, где каждый последующий триггер переключается под действием выходного сигнала предыдущего триггера. В связи с этим, главным недостатком подобных схем является возникновение на его выходах промежуточных ложных комбинаций.

Реверсивные счетчики могут работать как в режиме суммирования, так и в режиме вычитания числа счетных импульсов, что определяется двумя счетными входами.

Таблица истинности (таблица рабочих состояний) счетчиков, поясняющая его работу, приведена в таблице теоретической части работы.

Источник сигналов «Уровень логический» предназначен для формирования логических сигналов высокого «1» и низкого «0» уровней. Включение соответствующих сигналов осуществляется при помощи тумблеров SA1 – SA8. С помощью светодиодов осуществляется индикация сигналов, соответствующих логической «1».

Входные сигналы подаются на входы микросхем находящиеся на одной горизонтали с тумблерами.

«Генератор импульсов» генерирует последовательности прямоугольных импульсов с частотами 100 Гц; 200 Гц и 1600 Гц.

Коннекторы позволяют увеличить число проводов, подключаемых к одной точке.

### 5.3 Порядок выполнения работы

#### 5.3.1. Экспериментальное исследование двоичного счетчика

5.3.1.1. Для этого необходимо собрать схему для исследования двоичного счетчика с подачей одиночных импульсов. Схема изображена на рисунке 5.2. Проверить таблицу истинности для двоичного счетчика DD10.

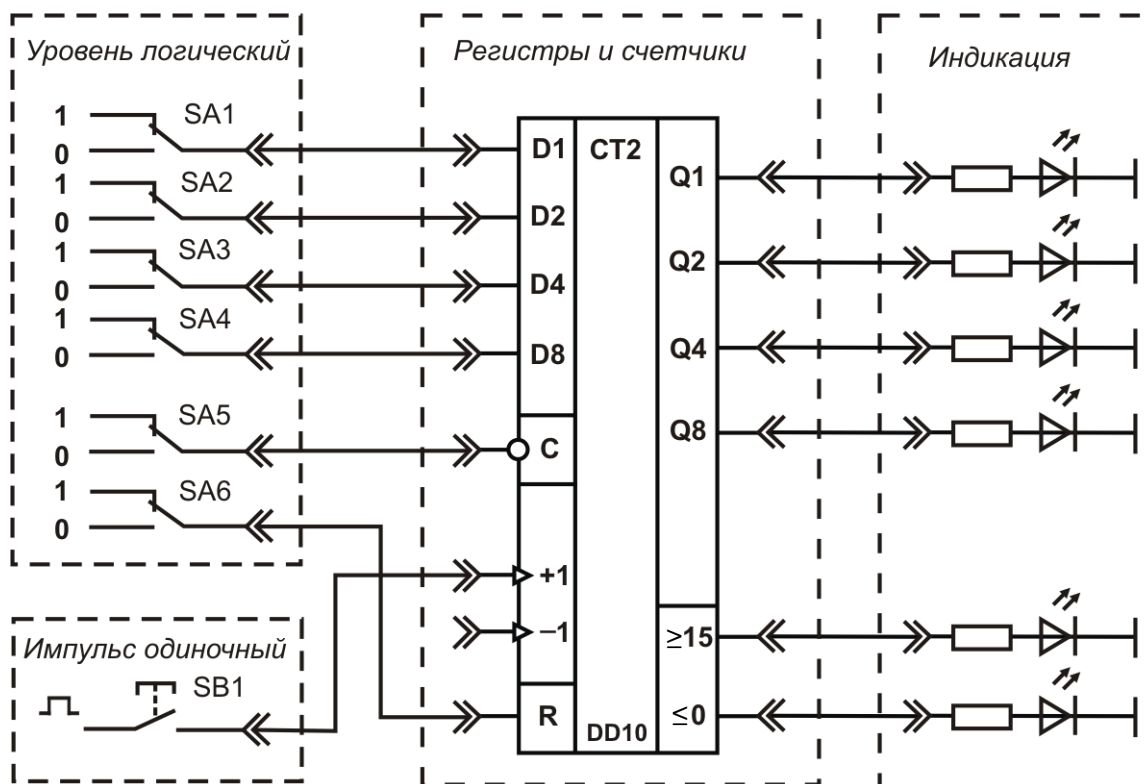


**Рисунок 5.2 — Схема для исследования двоичного счетчика при подаче одиночных импульсов**

Выходы гнезд «Уровень логический» подключить к соответствующим входам счетчика: R, D1-D8 и C.

Источник сигнала «Импульс одиночный», формирующий одиночные импульсы с положительной (⌋) полярностью, подключить к входу счетчика (+1). Выходы счетчика подключить к светодиодам на поле «Индикация».

Включить тумблер «Сеть». В режиме предустановки задать число, заданное преподавателем. Далее следует по очереди проверить все комбинации, описанные выше и результаты занести в таблицу 5.1.

Таблица 5.1 — Таблица работы двоичного счетчика

| № импульса | Выходы |       |       |       |
|------------|--------|-------|-------|-------|
|            | 1      | 2     | 4     | 8     |
| Уст. «0»   |        |       |       |       |
| 1          |        |       |       |       |
| 2          |        |       |       |       |
| .....      | .....  | ..... | ..... | ..... |
| 15         |        |       |       |       |

Сравнить полученные результаты с таблицей работы счетчика. Состояния выходных разрядов счетчика ( $Q1$ ,  $Q2$ ,  $Q4$ ,  $Q8$ ) необходимо определять по свечению светодиодов. В работе необходимо обратить внимание, на каком фронте синхроимпульса  $C$  происходит переключение счетчика.

5.3.1.2. Далее следует переключить выход источника «Импульс одиночный» ко входу (-1). Перейти в режим предустановки, проверить правильность работы счетчика. Затем следует продолжить работу в счетном режиме. Задать на входе  $R$  тумблером сигнал «лог.1». Повторить опыты, проведенные ранее. Оцените результат и выключить тумблер «Сеть».

#### 5.3.1.3. Проверка работы счетчика с помощью осциллографа.

5.3.1.3.1. Для этого необходимо собрать схему, изображенную на рисунке 5.3. В этом опыте необходимо подключить выходное гнездо «Генератора импульсов» с частотой 1600 Гц к входу (+1) счетчика и ко входу осциллографа  $CH1$ , а вход осциллографа  $CH2$  — последовательно к каждому из выходов счетчика (корпус осциллографа « $\perp$ » соединить с общей точкой модуля). Включить тумблер «Сеть».

5.3.1.3.2. Зарисовать временные диаграммы сигналов на входе и выходах счетчика.

5.3.1.3.3. Переключить выход генератора к входу (-1). Зарисовать осциллограммы также как и в предыдущем опыте. Последовательно переключая вход осциллографа  $CH1$  к выходам  $Q2$ ,  $Q4$ ,  $Q8$  зарисовать осциллограммы выходных сигналов счетчика.

5.3.1.3.4. Подключить выход генератора с частотой сигнала 1600 Гц к входу счетчика (+1), а выход генератора с частотой сигнала 200 Гц ко входу счетчика (-1). Далее следует подключить каналы осциллографа сначала к входным сигналам, как показано на рисунке, потом последовательно ко всем выходам счетчика. В отчете представить все осциллограммы. Выключить тумблер «Сеть».

5.3.1.3.4. Сравнить полученные результаты с таблицей 5.5. работы счетчика.

#### 5.3.2. Экспериментальное исследование двоично-десятичного счетчика

5.3.2.1. Для этого исследования следует повторить опыты 5.3.1.1 - 5.3.1.5 для двоично-десятичного счетчика *DD11*.

5.3.2.2. Сравнить полученные результаты с таблицей работы счетчика. счетчика 5.5.

Сделать выводы о сходстве и различии двух счетчиков.

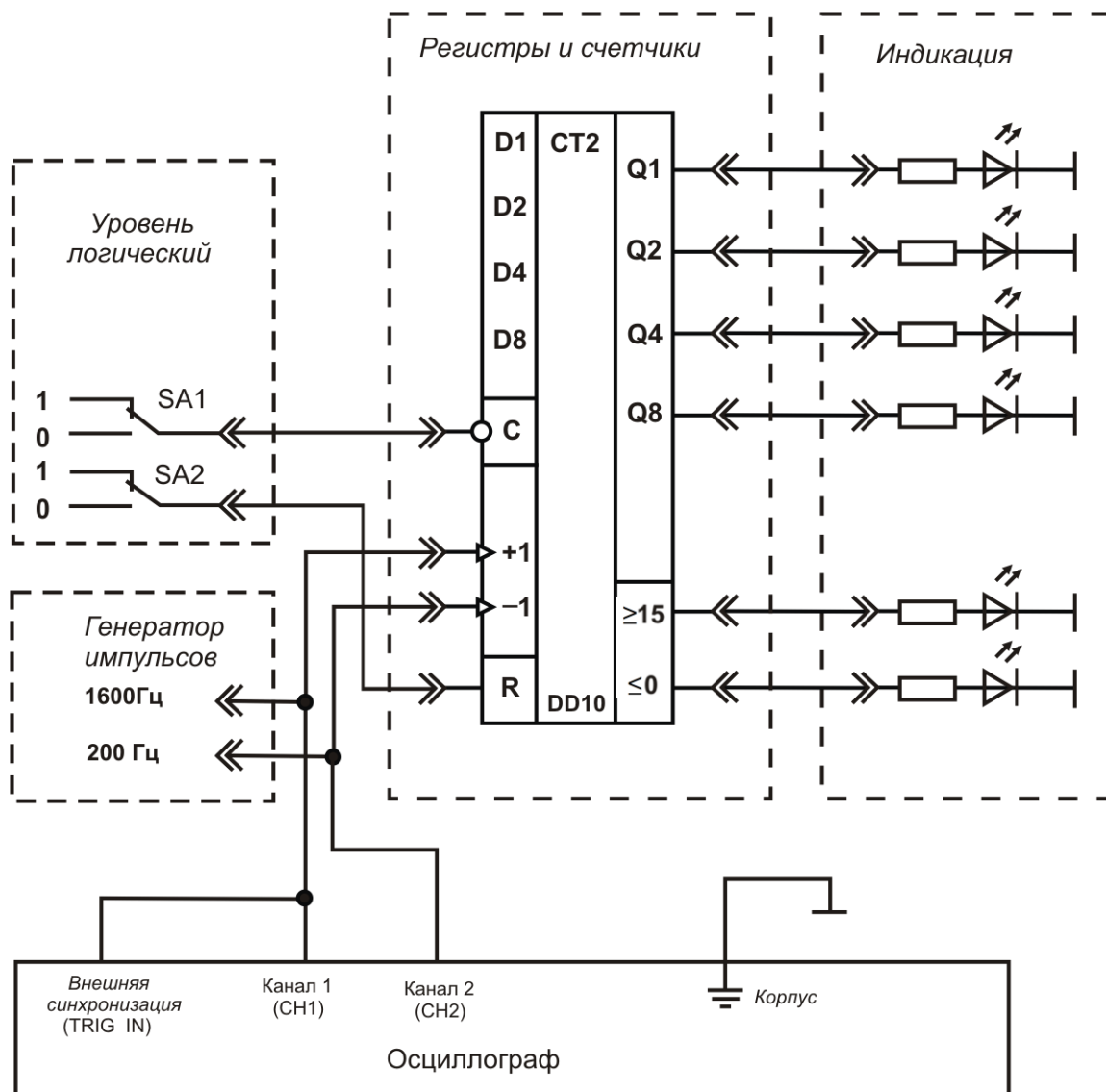


**Рисунок 5.3 — Схема соединений для тестирования двоичного счетчика при подаче импульсов от генератора**

## 5.4 Примерный план отчета

Отчет должен содержать следующие пункты:

- наименование и цель работы;
- принципиальные электрические схемы для выполненных экспериментов;
- результаты экспериментальных исследований в таблицах;
- обработанные осциллограммы;
- выводы по работе.

## 5.5 Основные теоретические положения

### 5.5.1 Основные понятия

**Счетчик** — это устройство для подсчета числа входных импульсов. По фронту каждого из них изменяется на единицу число, определяемое состоянием его выходов.

В суммирующих счетчиках каждый входной импульс увеличивает число на его выходе на единицу, в вычитающих счетчиках каждый входной импульс уменьшает это число на единицу. Счетчики обычно реализуются с помощью *T*-триггеров [2]. Счетчики используются в десятичной, двоичной, шестнадцатеричной и других системах счисления. Также можно считать во всевозможных кодах.

Основными параметрами счетчика являются быстродействие и коэффициент пересчета  $K_{сч}$ :

$$K_{сч} = N_i / N_0,$$

где  $N_i$  — число импульсов на входе счетчика за определенный период;  $N_0$  — число импульсов на выходе старшего разряда счетчика за тот же период.

В зависимости от коэффициента пересчета счетчики подразделяются на двоичные, у которых  $K_{сч} = 2^n$ , где  $n$  — количество разрядов счетчика, и с произвольным коэффициентом пересчета ( $K_{сч} \leq 2^n$ ), например, двоично-десятичные счетчики ( $K_{сч} = 10$ ). После счета числа импульсов  $N = K_{сч}$  счетчик возвращается в исходное состояние. Максимальное количество импульсов, которые он может подсчитать [4]:

$$N_{\max} = N_{сч} - 1.$$

Если все триггеры счетчика переключаются одновременно, то это синхронный режим работы. В асинхронном режиме триггеры переключаются в разные моменты времени. По способу передачи сигналов между триггерами различают счетчики с последовательным, параллельным, сквозным переносами и параллельно-последовательным переносом. Самые простые и вместе с тем самые медленные — это счетчики с последовательным переносом. Наибольшим быстродействием обладают счетчики с параллельным переносом.

### 5.5.2 Двоичные счетчики

Двоичные счетчики выполняют счет входных импульсов в двоичной системе счисления. Число разрядов  $n$  двоичного счетчика, при заданном значении  $K_{сч}$ , определяется из выражения:

$$n = \log_2 K_{сч}.$$

Количество импульсов, подсчитанных счетчиком, определяется в любой момент времени из следующего уравнения [3]:

$$N = 2^{n-1}Q_{n-1} + 2^{n-2}Q_{n-2} + \dots + 2^0Q_0,$$

где  $2^i$  — вес  $i$ -го разряда;  $Q_i$  — логическое значение на выходе триггера  $i$ -го разряда.

Данное выражение справедливо, если счет проводился от нулевого начального значения.

### 5.5.3 Суммирующий асинхронный двоичный счетчик

Схема трехразрядного суммирующего асинхронного двоичного счетчика на *MS*-триггерах изображена на рисунке 5.4,а, а графическое обозначение — на рисунке 5.4,б [5].

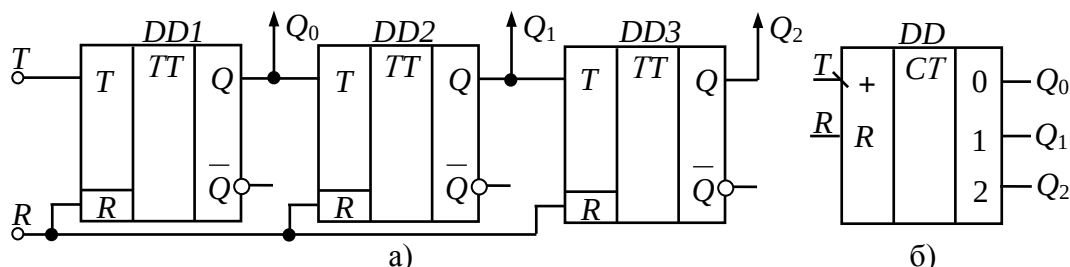


Рисунок 5.4 — Схема трехразрядного суммирующего асинхронного двоичного счетчика на *MS*-триггерах (а) и его графическое обозначение (б)

Временные диаграммы работы счетчика показаны на рисунке 5.5.

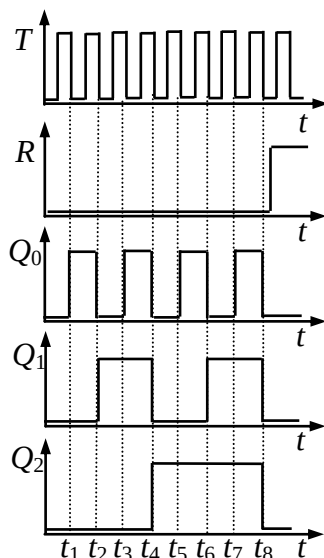


Рисунок 5.5 — Временные диаграммы работы трехразрядного суммирующего асинхронного двоичного счетчика на *MS*-триггерах

Подсчитываемые сигналы подаются на вход *T*. По их заднему фронту происходит переключение *T*-триггеров, т.к. они относятся к *MS*-триггерам. Для установки нулевых значений во всех разрядах служит вход *R*.

В асинхронном счетчике триггеры переключаются общим тактовым сигналом *T* не одновременно. Задержка переключения триггера объясняется конечным значением его быстродействия. Оно составляет в среднем для различных типов микросхем 20...40 нс. Смещение моментов переключения триггеров является недостатком асинхронного метода переключения. Счетчик может считать от нуля до семи. После поступления восьмого импульса *T*, он возвращается в исходное состояние. Таблица состояний трехразрядного счетчика приведена в таблице 5.2. Знаком «X» в таблице обозначается, что любая величина переменной не оказывает влияния на результат. Если суммирующий счетчик состоит из триггеров с переключением по переднему фронту входного импульса, то для управления триггерами используются инверсные выходы триггеров. Достоинством асинхронных счетчиков является простота схемы. Увеличение разрядно-

сти производится подключением необходимого числа триггеров. К недостаткам счетчика можно отнести сравнительно низкое быстродействие.

Таблица 5.2 — Таблица состояний трехразрядного суммирующего счетчика

| № набора | Число импульсов    | Сброс | Выходы счетчика |       |       |
|----------|--------------------|-------|-----------------|-------|-------|
|          | (десятичное число) |       | $Q_2$           | $Q_1$ | $Q_0$ |
| 1        | 0                  | 0     | 0               | 0     | 0     |
| 2        | 1                  | 0     | 0               | 0     | 1     |
| 3        | 2                  | 0     | 0               | 1     | 0     |
| 4        | 3                  | 0     | 0               | 1     | 1     |
| 5        | 4                  | 0     | 1               | 0     | 0     |
| 6        | 5                  | 0     | 1               | 0     | 1     |
| 7        | 6                  | 0     | 1               | 1     | 0     |
| 8        | 7                  | 0     | 1               | 1     | 1     |
| 9        | 8                  | 0     | 0               | 0     | 0     |
| 10       | X                  | 1     | 0               | 0     | 0     |

### 5.5.4 Вычитающий асинхронный счетчик

Двоичный вычитающий счетчик ведет отсчет от максимального значения до нуля, затем цикл повторяется. Схема трехразрядного вычитающего асинхронного двоичного счетчика на *MS*-триггерах изображена на рисунке 5.6,а, а графическое обозначение — на рисунке 5.6,б [6].

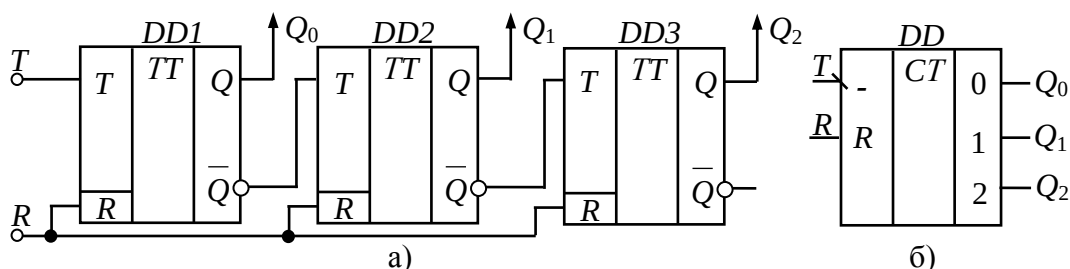


Рисунок 5.6 — Схема трехразрядного вычитающего асинхронного двоичного счетчика на *MS*-триггерах (а) и его графическое обозначение (б)

Таблица состояний трехразрядного вычитающего счетчика приведена в таблице 5.3.

Таблица 5.3 — Таблица состояний трехразрядного вычитающего счетчика

| № набора | Число импульсов <i>T</i> | Сброс | Выходы счетчика |       |       |
|----------|--------------------------|-------|-----------------|-------|-------|
|          | (десятичное число)       |       | $Q_2$           | $Q_1$ | $Q_0$ |
| 1        | 0                        | 0     | 0               | 0     | 0     |
| 2        | 1                        | 0     | 1               | 1     | 1     |
| 3        | 2                        | 0     | 1               | 1     | 0     |
| 4        | 3                        | 0     | 1               | 0     | 1     |
| 5        | 4                        | 0     | 1               | 0     | 0     |
| 6        | 5                        | 0     | 0               | 1     | 1     |
| 7        | 6                        | 0     | 0               | 1     | 0     |
| 8        | 7                        | 0     | 0               | 0     | 1     |
| 9        | 8                        | 0     | 0               | 0     | 0     |
| 10       | X                        | 1     | 0               | 0     | 0     |

Временные диаграммы работы счетчика изображены на рисунке 5.7. Из временных диаграмм следует, что это устройство можно построить на основе суммирующего счетчика, выбрав в качестве выходов инверсные значения выходов  $Q_0$ ,  $Q_1$  и  $Q_2$ .

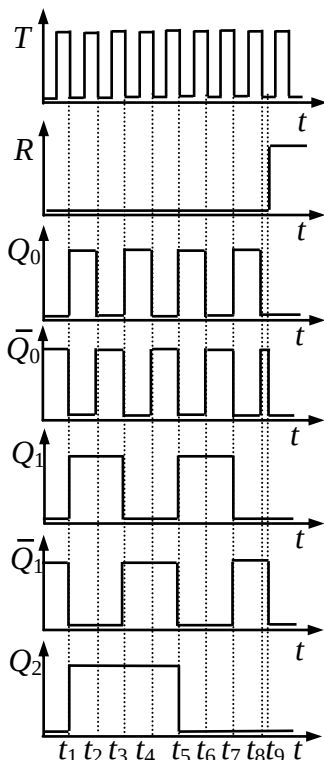


Рисунок 5.7 — Временные диаграммы работы трехразрядного вычитающего асинхронного двоичного счетчика на MS-триггерах

### 5.5.5 Счетчики по модулю $n$

Данные устройства считают до числа  $n-1$  и на следующем импульсе сбрасываются в ноль. Для уменьшения коэффициента  $K_{сч}$  в качестве выхода счетчика используются выходы триггеров промежуточных каскадов. Например, для трехразрядного счетчика  $K_{сч}=8$ , если взять выход второго триггера, то  $K_{сч}=4$ . За счет отказа от использования части триггеров, этот коэффициент изменяется от 2 до 7. На основе всех трех триггеров, с помощью дополнительных элементов, можно получить:  $2^2 < K_{сч} < 2^3$ . В качестве примера приведем схему суммирующего асинхронного счетчика с  $K_{сч}=5$ . Схема суммирующего асинхронного счетчика с  $K_{сч}=5$  изображена на рисунке 5.8.

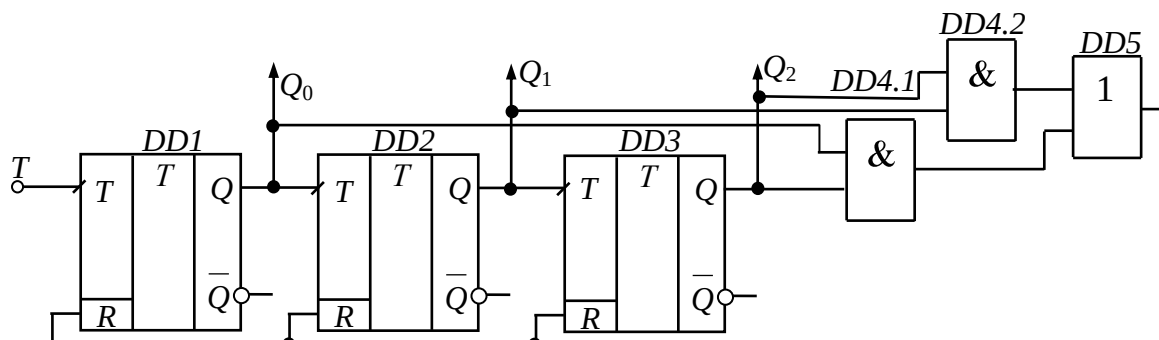


Рисунок 5.8 — Схема суммирующего асинхронного счетчика с  $K_{сч}=5$

В этом устройстве, после формирования последнего числа из ряда целых чисел 0, 1, ..., 4, осуществляется переход к 0 (а не к 5). Следовательно, двоичные коды чисел 5, 6, 7 являются запрещенными и их появление должно привести к сбросу данных во всех разрядах счетчика, согласно таблице 5.4. Недостатком схемы является кратковременное появление запрещенного состояния перед сбросом. Поэтому данная схема применяется для управления индикаторами, где указанный недостаток не имеет принципиального значения.

| Десятичное число | Двоичное число |       |       |
|------------------|----------------|-------|-------|
|                  | $Q_2$          | $Q_1$ | $Q_0$ |
| 0                | 0              | 0     | 0     |
| 1                | 0              | 0     | 1     |
| 2                | 0              | 1     | 0     |
| 3                | 0              | 1     | 1     |
| 4                | 1              | 0     | 0     |
| 5                | 1              | 0     | 1     |
| 6                | 1              | 1     | 0     |
| 7                | 1              | 1     | 1     |

### 5.5.6 Двоично-десятичные счетчики

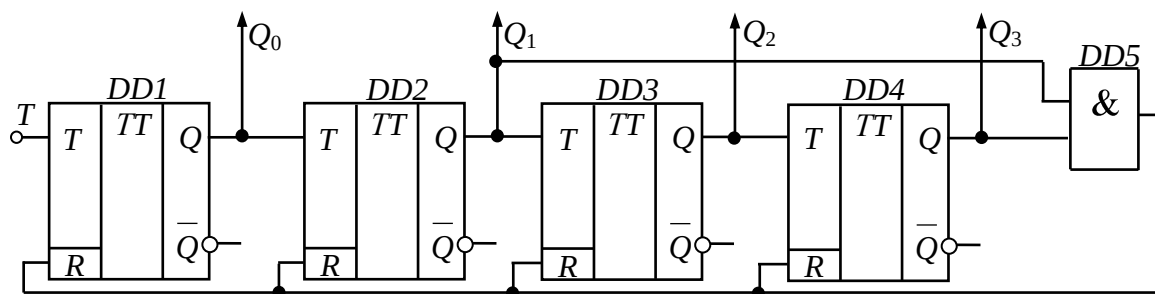


**Рисунок 5.9 — Схема декадного счетчика**

Эти устройства являются разновидностью счетчиков по модулю  $n$ . В своем составе они имеют четыре триггера. Логический элемент «2И» выявляет первый запрещенный набор 1010, который соответствует десятичному числу 10, и производит сброс триггеров.

С помощью нескольких декадных счетчиков можно производить подсчет количества единиц, десятков, сотен импульсов и т.д., присвоив каждому из счетчиков соответствующий вес. Данные счетчики бывают суммирующими, вычитающими и реверсивными.

### 5.5.7 Реверсивные двоичные счетчики

В двоичном счетчике направление счета можно менять переключением выходных сигналов триггеров.

Для переключения используются мультиплексоры *MUX* (2-1) [8].

На рисунке 5.10 изображен трехразрядный реверсивный счетчик.

Если на управляющий вход *U* подан сигнал логической единицы, то счетчик работает как суммирующий, если ноль — как вычитающий.

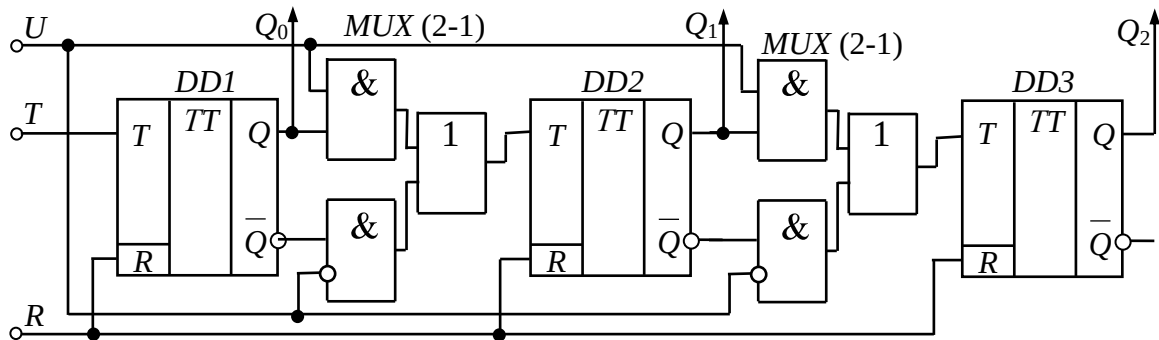


Рисунок 5.10 — Схема трехразрядного реверсивного счетчика

### 5.5.8 Синхронные счетчики

Схема синхронного счетчика изображена на рисунке 5.11.

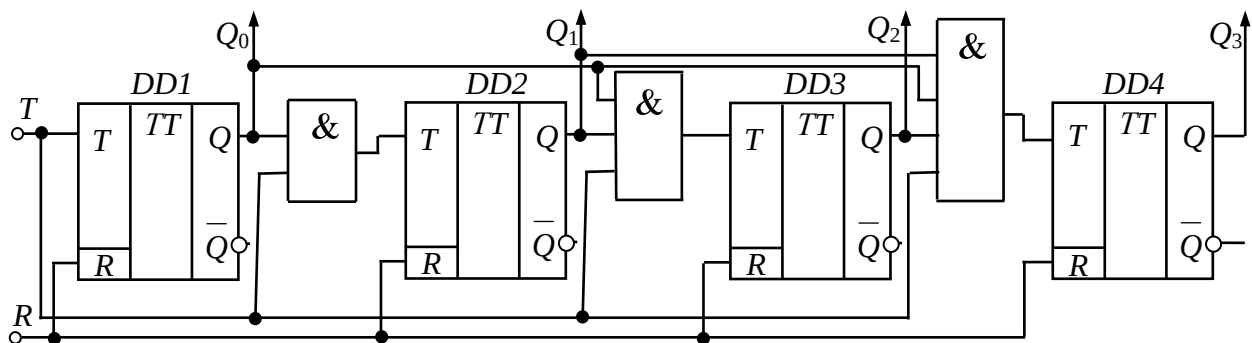


Рисунок 5.11 — Схема синхронного счетчика

Счетчик называется синхронным, если все его триггеры переключаются одновременно общим сигналом синхронизации [4].

Это возможно, когда условия для переключения нужных триггеров создаются до появления сигнала синхронизации.

Любой триггер переключается, если во всех триггерах младших по отношению к нему разрядов записаны единицы.

Триггер самого младшего разряда переключается каждым задним фронтом входного импульса.

При построении этой схемы выполнялись следующие правила:

- импульсы, которые требуется сосчитать, подаются на вход первого триггера;

- каждый следующий триггер получает входной сигнал в виде результата логического умножения сигналов с выходов всех предыдущих триггеров.

В электронике счетчики используются в качестве: делителей частоты, генераторов случайных чисел, устройств памяти и т.д.

### 5.5.9 Двоичные и двоично-десятичные счетчики, исследуемые в работе

Принцип работы счетчиков заключается в следующем. При подаче на вход  $C$  низкого «0» логического уровня счетчик переходит в режим предустановки. В этом режиме подачей сигналов на входы  $D1-D8$  создается соответствующая комбинация на выходах  $Q1-Q4$ . При подаче на вход  $C$  высокого «1» высокого логического уровня счетчик переходит в счетный режим. В этом режиме пересчет импульсов осуществляется подачей положительного перепада на входы (+1) или (-1) в зависимости от выполняемой операции (суммирование или вычитание). При превышении максимального числа на выходе (9 для двоично-десятичного или 15 для двоичного счетчика) появляется единица на выходе переноса старшего разряда. Вход  $R$  служит для обнуления выходов счетчика.

Таблица 5.5 — Таблица работы счетчиков, исследуемых в работе

| DD10                                       | Входы |   |    |    |    |    |    |    | Выходы                         |    |    |    |     |    |
|--------------------------------------------|-------|---|----|----|----|----|----|----|--------------------------------|----|----|----|-----|----|
|                                            | R     | C | +1 | -1 | D1 | D2 | D3 | D4 | Q1                             | Q2 | Q4 | Q8 | ≥15 | ≤0 |
| Сброс                                      | 1     | X | X  | 0  | X  | X  | X  | X  | 0                              | 0  | 0  | 0  | 1   | 0  |
|                                            | 1     | X | X  | 1  | X  | X  | X  | X  | 0                              | 0  | 0  | 0  | 1   | 1  |
| Парал<br>лель-<br>ная<br><br>за-<br>грузка | 0     | 0 | X  | 0  | 0  | 0  | 0  | 0  | 0                              | 0  | 0  | 0  | 1   | 0  |
|                                            | 0     | 0 | X  | 1  | 0  | 0  | 0  | 0  | 0                              | 0  | 0  | 0  | 1   | 1  |
|                                            | 0     | 0 | 0  | X  | 1  | X  | X  | 1  | Q <sub>n</sub> =D <sub>n</sub> |    | 0  |    | 1   |    |
|                                            | 0     | 0 | 1  | X  | 1  | X  | X  | 1  | Q <sub>n</sub> =D <sub>n</sub> |    | 1  |    | 1   |    |
| Пря-<br>мой<br>счет                        | 0     | 1 | ┐  | 1  | X  | X  | X  | X  | Прямой<br>счет                 |    | 1  |    | 1   |    |
| Обрат<br>ный<br>счет                       | 0     | 1 | 1  | ┐  | X  | X  | X  | X  | Обрат-<br>ный счет             |    | 1  |    | 1   |    |
| DD11                                       | Входы |   |    |    |    |    |    |    | Выходы                         |    |    |    |     |    |
|                                            | R     | C | +1 | -1 | D1 | D2 | D3 | D4 | Q1                             | Q2 | Q4 | Q8 | ≥9  | ≤0 |
| Сброс                                      | 1     | X | X  | 0  | X  | X  | X  | X  | 0                              | 0  | 0  | 0  | 1   | 0  |
|                                            | 1     | X | X  | 1  | X  | X  | X  | X  | 0                              | 0  | 0  | 0  | 1   | 1  |
| Парал<br>лель-<br>ная<br><br>за-<br>грузка | 0     | 0 | X  | 0  | 0  | 0  | 0  | 0  | 0                              | 0  | 0  | 0  | 1   | 0  |
|                                            | 0     | 0 | X  | 1  | 0  | 0  | 0  | 0  | 0                              | 0  | 0  | 0  | 1   | 1  |
|                                            | 0     | 0 | 0  | X  | 1  | X  | X  | 1  | Q <sub>n</sub> =D <sub>n</sub> |    | 0  |    | 1   |    |
|                                            | 0     | 0 | 1  | X  | 1  | X  | X  | 1  | Q <sub>n</sub> =D <sub>n</sub> |    | 1  |    | 1   |    |
| Пря-<br>мой<br>счет                        | 0     | 1 | ┐  | 1  | X  | X  | X  | X  | Прямой<br>счет                 |    | 1  |    | 1   |    |
| Обрат<br>ный<br>счет                       | 0     | 1 | 1  | ┐  | X  | X  | X  | X  | Обрат-<br>ный счет             |    | 1  |    | 1   |    |

## **5.6 Контрольные вопросы**

1. Для чего предназначены счетчики?
2. С помощью каких триггеров реализуются обычно счетчики?
3. Чем отличаются асинхронные счетчики от синхронных счетчиков?
4. Как устроены двоичные суммирующие счетчики?
5. Каков принцип работы двоичных вычитающих счетчиков?
6. Как устроены двоичные реверсивные счетчики?
7. Как различаются счетчики по способу передачи сигналов между триггерами?
8. Для чего предназначен десятичный счетчик?
9. Что называется декадой десятичного счетчика?
10. Как можно реализовать реверсивный десятичный счетчик?

## Лабораторная работа № 6 ИССЛЕДОВАНИЕ РЕГИСТРОВ

**Время:** 2 часа.

### 6.1 Цель работы

6.1.1. Ознакомление с основными функциями и тестирование регистров сдвига и памяти.

6.1.2. Получение практических навыков при работе с микросхемой.

### 6.2 Описание стенда лабораторной работы № 6

Исследование регистров проводится на рабочем поле «РЕГИСТРЫ И СЧЕТЧИКИ». Вид стенда лабораторной работы № 6 изображен на рисунке 6.1.

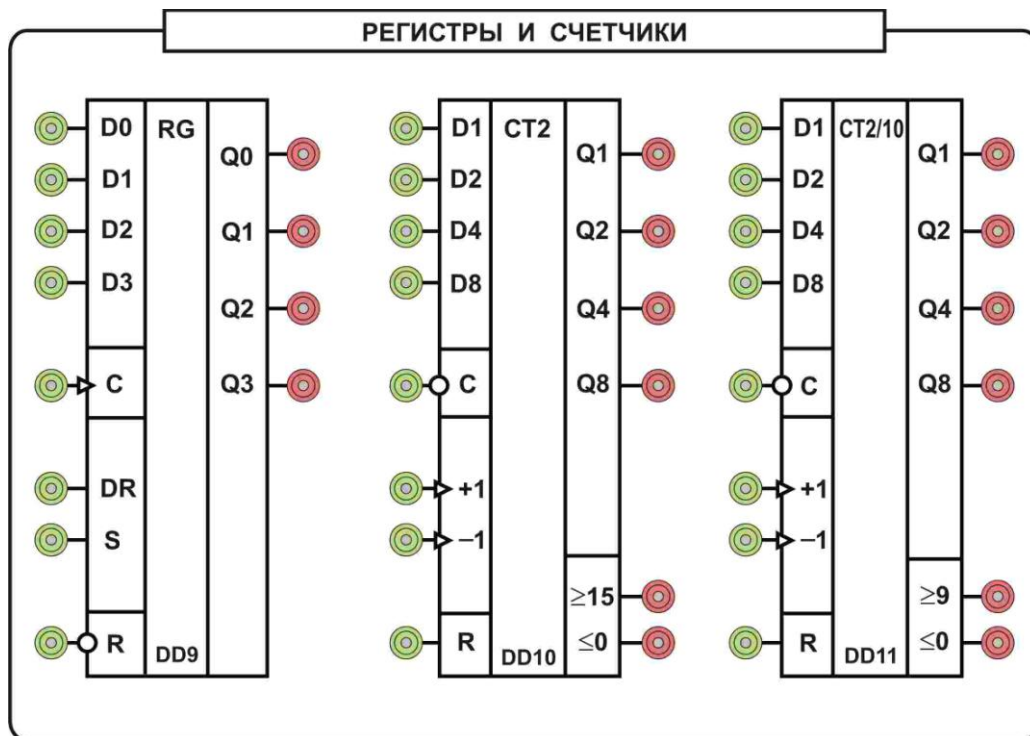


Рисунок 6.1 — Стенд лабораторной работы № 6

В работе исследуется четырехразрядный, однонаправленный регистр сдвига с последовательным вводом и параллельным выводом информации. А также четырехразрядный регистр памяти с параллельным вводом и параллельным выводом информации. Исследование регистров (микросхема DD9) проводится на рабочем поле стенда.

Регистр сдвига имеет: информационный вход  $S$ , вход  $R$  для установки регистра в состояние 0 (в данном регистре вход  $R$  инверсный), тактовый вход  $C$ , вход  $DR$  для выбора режима работы регистра, входы  $D0 - D3$  для параллельного ввода информации и четыре выхода  $Q0 - Q3$ .

Регистр имеет два режима работы: в качестве регистра памяти и регистра сдвига. Для работы в режиме регистра памяти на вход  $DR$  подается низкий логический уровень «0». Для работы в режиме регистра сдвига на вход  $DR$  подается высокий логический уровень «1».

Для формирования логических сигналов высокого «1» и низкого «0» логических уровней используется источник сигналов «Уровень логический». Включение соответствующих сигналов осуществляется при помощи тумблеров SA1 – SA8.

Источник сигналов «Импульс одиночный» формирует одиночные импульсы с положительной ( $\neg$ ) и отрицательной ( $\neg$ ) полярностью. При нажатии на кнопку SB1 на выходе генератора, находящемся в состоянии «0», вырабатывается сигнал логической «1», а при нажатии на кнопку SB2 – сигнал логического «0».

«Генератор импульсов» генерирует последовательности прямоугольных импульсов с частотами 100 Гц; 200 Гц и 1600 Гц.

С помощью светодиодов поля «Индикация» осуществляется индикация сигналов логической «1». Коннекторы позволяют увеличить число проводов, подключаемых к одной точке.

Таблица истинности (таблица рабочих состояний) регистров, поясняющая его работу, приведена в таблице теоретической части работы.

Источник сигналов «Уровень логический» предназначен для формирования логических сигналов высокого «1» и низкого «0» уровней. Включение соответствующих сигналов осуществляется при помощи тумблеров SA1 – SA8. С помощью светодиодов осуществляется индикация сигналов, соответствующих логической «1».

Входные сигналы подаются на входы микросхем находящиеся на одной горизонтали с тумблерами.

«Генератор импульсов» генерирует последовательности прямоугольных импульсов с частотами 100 Гц; 200 Гц и 1600 Гц.

Коннекторы позволяют увеличить число проводов, подключаемых к одной точке.

### 6.3 Порядок выполнения работы

#### 6.3.1. Экспериментальное исследование регистра памяти

##### 6.3.1.1. Проверка таблицы истинности регистра памяти

6.3.1.1.1. Для этого необходимо собрать схему для исследования, согласно рисунка 6.2, подключив выходы гнезд «Уровень логический» к входам R, DR, D0, D1, D2 и D3.

6.3.1.1.2. Далее следует подключить источник сигнала «Импульс одиночный», формирующий одиночные импульсы с положительной ( $\neg$ ) полярностью, к входу C. Включить тумблер «Сеть».

6.3.1.1.3. Задать на входе DR тумблером SA5 сигнал «0».

Задать на входе R тумблером SA6 сигнал «1». Задавая тумблерами SA1-SA4 на входах D0 - D3 уровень логического «0» или «1» и используя кнопку SB1, проверить таблицу истинности регистра памяти. **Таблица истинности регистра 6.1 приведена в теоретической части работы.**

Уровню логической «1» на выходах соответствует свечение светодиода.

Обратить внимание, на каком фронте синхроимпульса происходит переключение регистра памяти.

6.3.1.1.4. Задать на входе *R* тумблером *SA2* сигнал логического уровня «0» и повторить опыты, оценить результат. Выключить тумблер «Сеть». Сравнив полученные результаты с таблицей 6.1 определить, исправен ли регистр памяти.

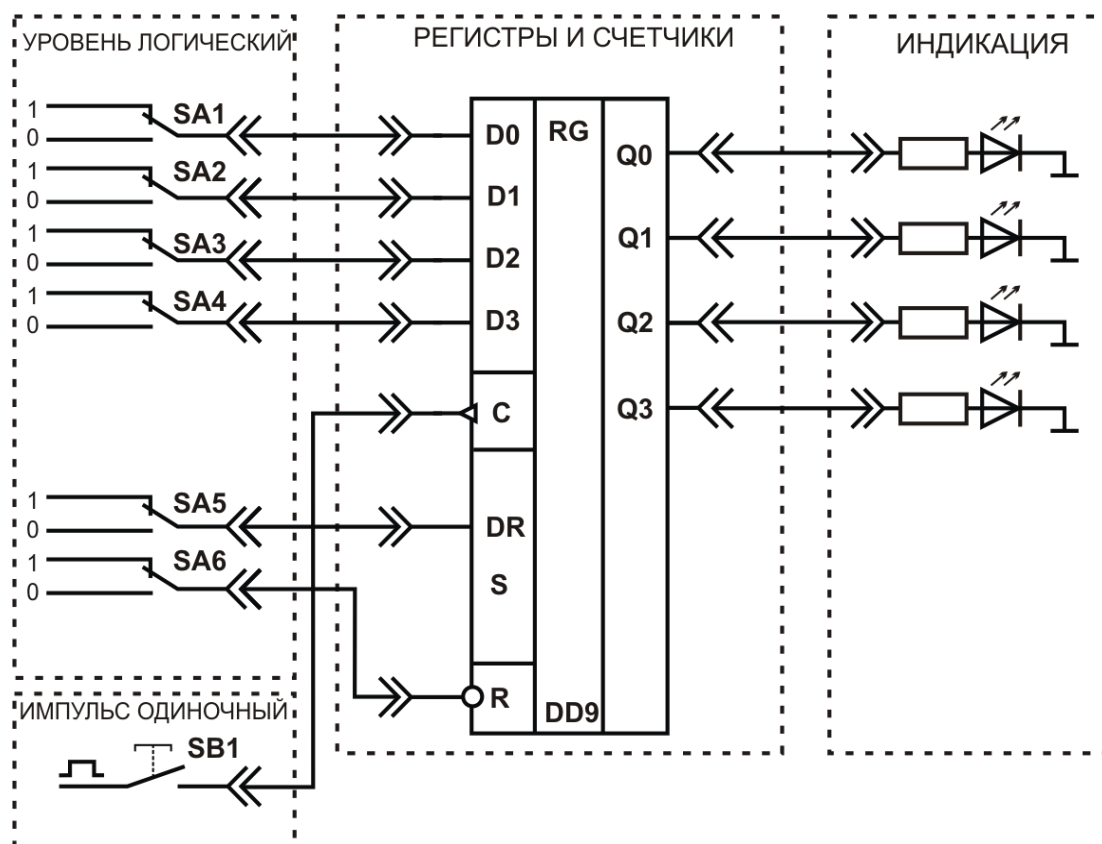


Рисунок 6.2 — Схема для исследования таблицы истинности регистра памяти

#### 6.3.1.2. Проверка работы регистра памяти с помощью осциллографа.

6.3.1.2.1. В первом опыте следует проверить работу регистра памяти с помощью осциллографа при подаче на входы импульсов от генератора. Подключить выходные гнезда «Генератора импульсов» с частотой 100, 200 и 1600 Гц к входам *R*, *D0–D3* и *C* в соответствии с рисунком 6.3. Осциллограф перевести в режим внешней синхронизации «*EXT*», соединив вход внешней синхронизации осциллографа «*TRIG IN*» с гнездом «Генератора импульсов» 100 Гц. Затем вход осциллографа *CH1* (канал 1) подключить к входу *C*, а вход осциллографа *CH2* – к входу *R*. Для подключения каналов осциллографа воспользоваться клеммами-коннекторами на лицевой панели модуля. Корпус осциллографа «⊥» соединить с общей точкой модуля.

Включить тумблер «Сеть».

Зарисовать осциллограммы входных сигналов.

6.3.1.2.2. Переключить входы осциллографа к входам *D0–D3*, зарисовать осциллограммы. Переключить входы осциллографа к выходам *Q1* и *Q2*, а затем к выходам *Q3* и *Q4*. Зарисовать на той же кальке выходные сигналы друг под другом.

Выключить тумблер «Сеть», сравнив результаты обработки осциллограмм с таблицами истинности определить, исправность элемента.

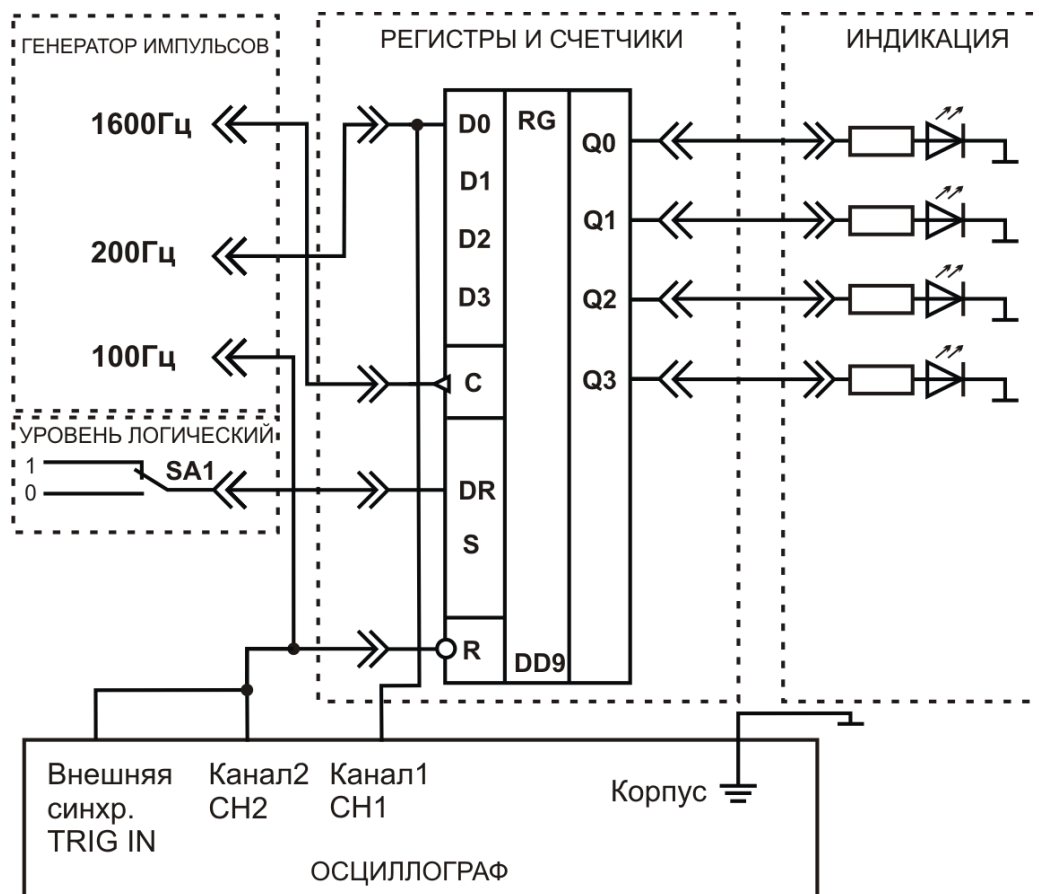


Рисунок 6.3 — Схема для проверки работы регистра памяти с помощью осциллографа

### 6.3.2. Экспериментальное исследование регистра сдвига

#### 6.3.2.1. Проверка таблицы истинности регистра сдвига

Для этого необходимо собрать схему, изображенную на рисунке 6.4.

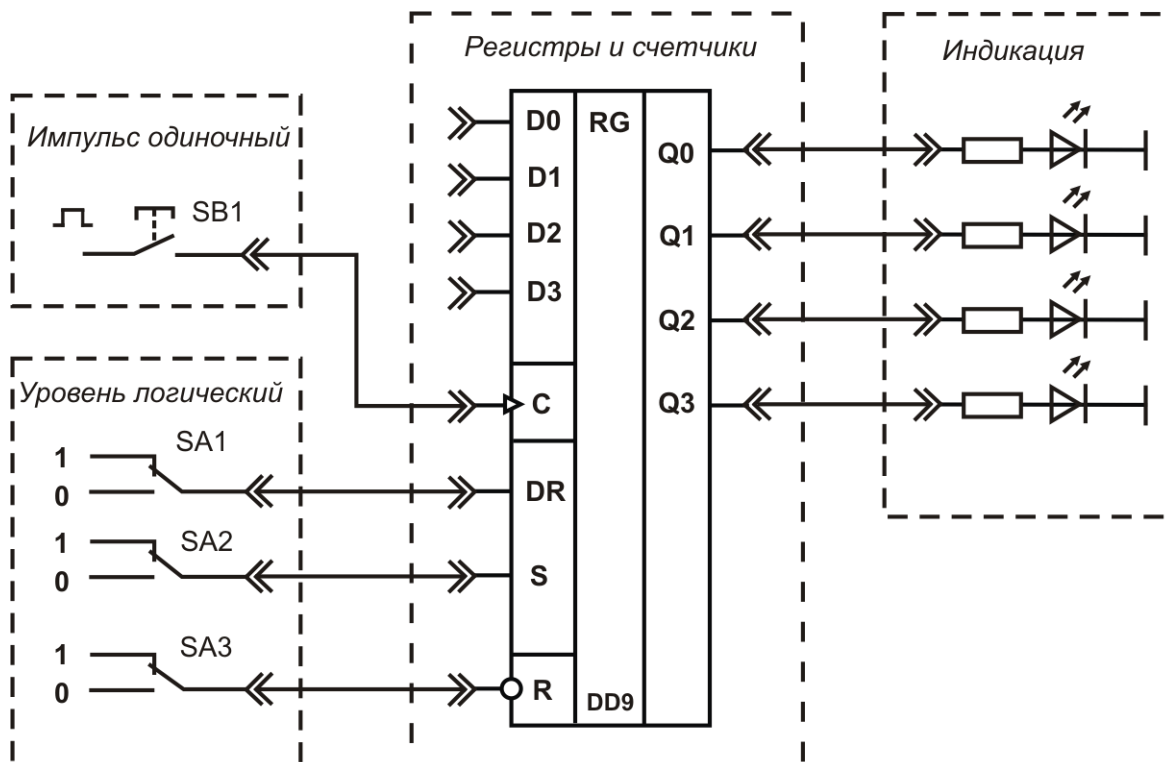


Рисунок 6.4 — Схема для исследования таблицы истинности регистра сдвига

6.3.2.1.1. Подключить выходы гнезд «Уровень логический» к входам  $R$ ,  $DR$  и  $S$ .

6.3.2.1.2. Далее следует подключить источник сигнала «Импульс одиночный», формирующий одиночные импульсы с положительной ( $\neg$ ) полярностью, к входу  $C$ . Включить тумблер «Сеть».

6.3.2.1.3. Задать на входе  $DR$  тумблером  $SA1$  логический сигнал «1», а на входе  $R$  тумблером  $SA3$  сигнал логической «1».

6.3.2.1.4. Задавая тумблером  $SA2$  на входе  $S$  логических «0» или «1» и нажимая на кнопку  $SB1$ , проверить таблицу истинности регистра сдвига. Уровню логической «1» на выходах соответствует свечение светодиода.

6.3.2.1.5. Обратить внимание, на каком фронте синхроимпульса  $C$  происходит переключение регистра сдвига. Задать на входе  $R$  тумблером  $SA3$  сигнал логического «0».

6.3.2.1.6. Повторить опыты, проведенные ранее и оценить результат. **Выключить тумблер «Сеть» и сравнить результаты работы регистра с таблицей истинности 6.2, приведенной в теоретической части работы.**

6.3.2.2. Проверка работы регистра сдвига с помощью осциллографа при подаче на его входы импульсов от генератора.

6.3.2.2.1. Для этого необходимо собрать схему, изображенную на рисунке 6.5.

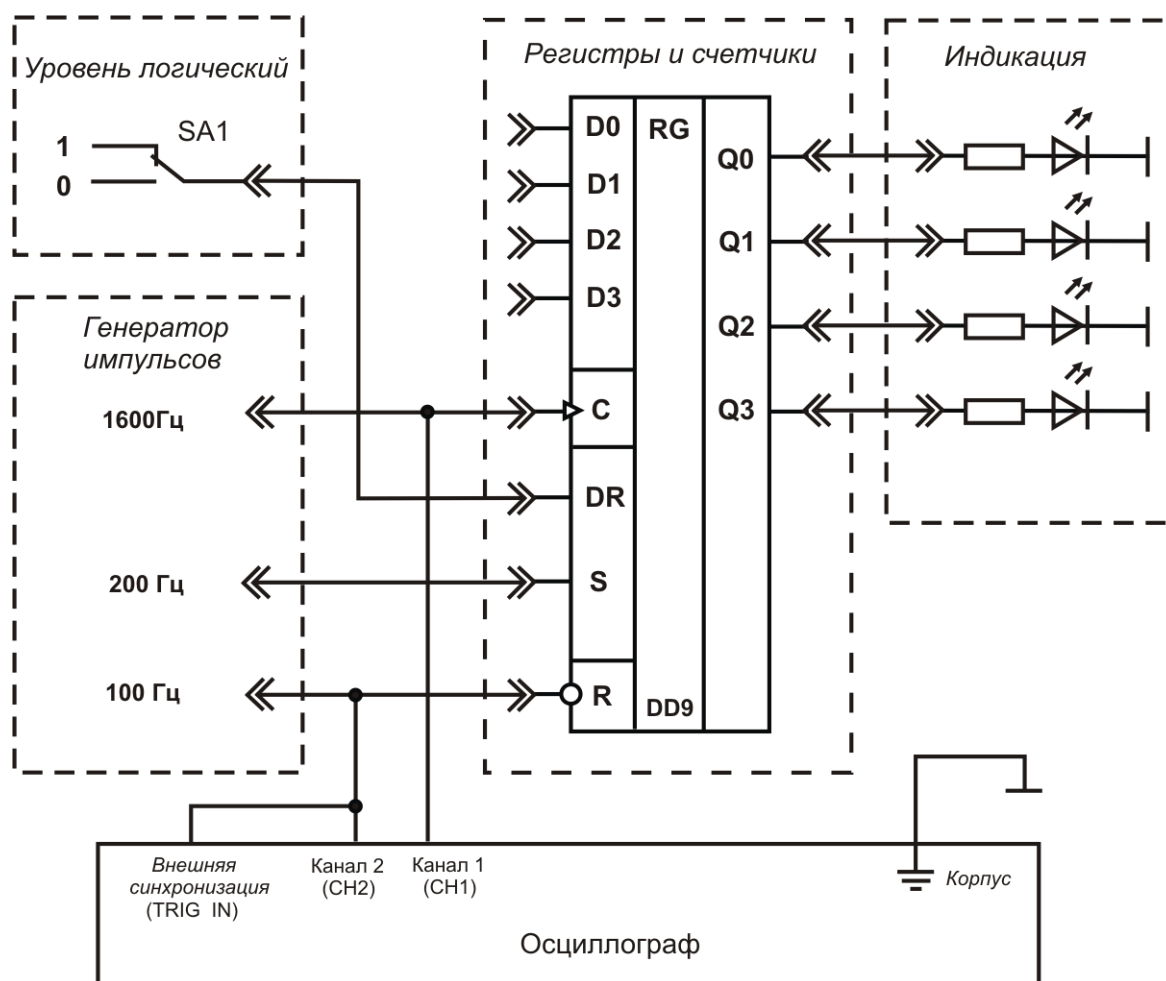


Рисунок 6.5 — Схема для проверки работы регистра сдвига с помощью осциллографа

6.3.2.2.1. Далее следует подключить выходные гнезда «Генератора импульсов» с частотой 100, 200 и 1600 Гц соответственно к входам *R*, *S* и *C*.

6.3.2.2.2. Осциллограф перевести в режим внешней синхронизации «*EXT*», соединив вход внешней синхронизации осциллографа «*TRIG IN*» с гнездом «Генератора импульсов» 100 Гц. Затем вход осциллографа *CH1* (канал 1) подключить к входу *SC*, а вход осциллографа *CH2* – к входу *R*. Для подключения каналов осциллографа воспользоваться клеммами-коннекторами на лицевой панели модуля. Корпус осциллографа « $\perp$ » соединить с общей точкой модуля. Включить тумблер «Сеть».

## 6.4 Примерный план отчета

Отчет должен содержать следующие пункты:

- а) наименование и цель работы;
- в) принципиальные электрические схемы для выполненных экспериментов;
- г) результаты экспериментальных исследований в таблицах;
- д) обработанные осциллограммы;
- е) выводы по работе.

## 6.5 Основные теоретические положения

### 6.5.1 Общие понятия

Регистры предназначены для хранения и обработки информации. Регистры строятся на основе триггеров, их число соответствует количеству разрядов в обрабатываемой двоичной информации. Эти устройства выполняют преобразование цифровых данных из параллельного кода в последовательный код и обратно, используются в арифметических и логических операциях. Существуют регистры: параллельные, последовательные, сдвигающие и хранения.

### 6.5.2 Параллельные регистры

Рассмотрим принцип действия параллельных регистров. Схема параллельного трехразрядного регистра изображена на рисунке 6.6,а, а графическое обозначение — на рисунке 6.6,б.

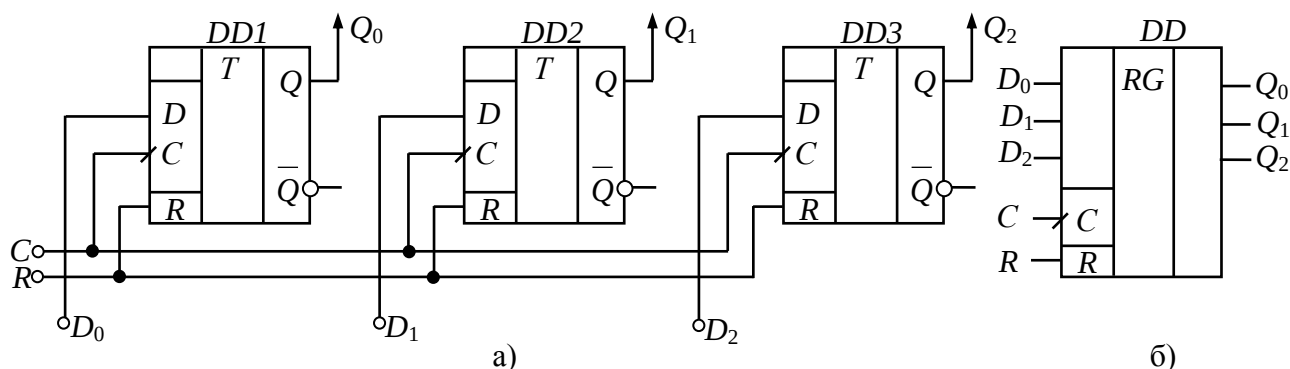


Рисунок 6.6 — Схема параллельного трехразрядного регистра (рисунок а) и его графическое обозначение (рисунок б)

Параллельные регистры применяются для хранения информации [16]. В данных регистрах запись информации производится параллельным кодом од-

новременно во всех разрядах. Эти регистры можно реализовать практически на всех видах триггеров. Чаще всего используются *D*-триггеры, как наиболее простые устройства.

Входы  $D_0, D_1, D_2$  служат для записи информации по переднему фронту тактового сигнала  $C$ . Выходные сигналы появляются на выходах  $Q_0, Q_1, Q_2$ . Для разрешения записи и считывания информации к перечисленным выводам регистров подключаются логические элементы. Вход  $R$  служит для приоритетного асинхронного стирания данных во всех триггерах перед началом работы микросхемы.

### 6.5.3 Последовательные регистры

Схема последовательного трехразрядного регистра изображена на рисунке 6.7,а, а графическое обозначение — на рисунке 6.7,б.

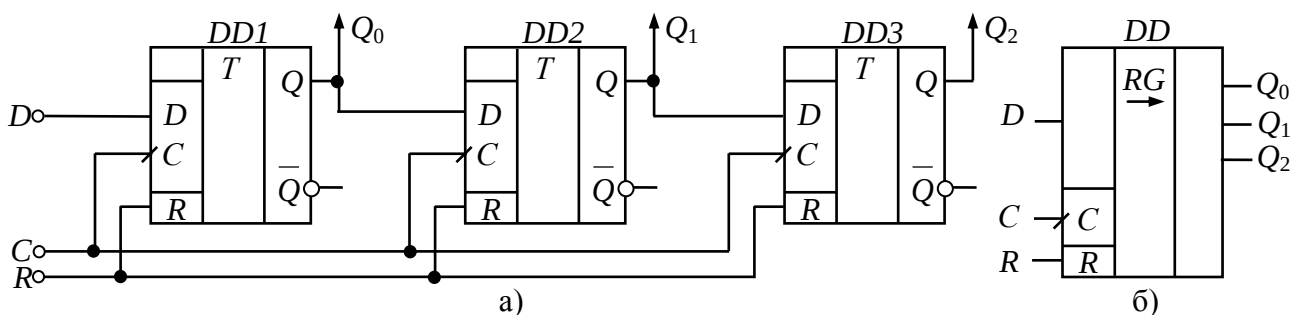


Рисунок 6.7 — Схема последовательного трехразрядного регистра (рисунок а) и его графическое обозначение (рисунок б)

Временные диаграммы работы трехразрядного последовательного регистра изображены на рисунке 6.8.

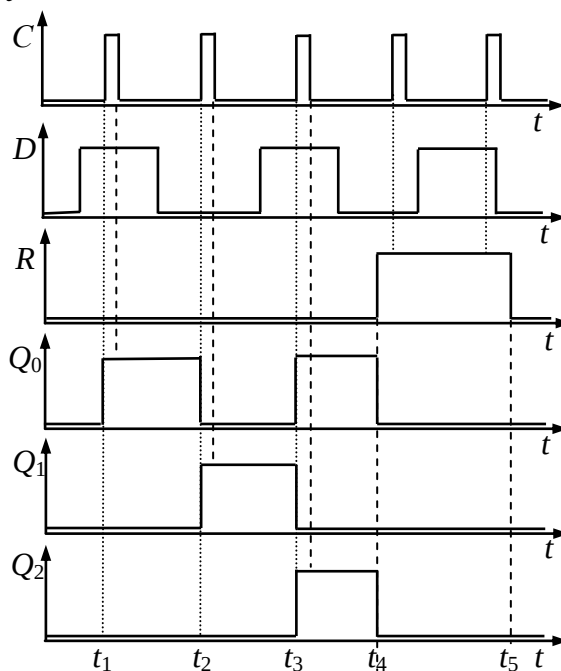


Рисунок 6.8 — Временные диаграммы работы трехразрядного последовательного регистра

В последовательных сдвигающих регистрах выполняется сдвиг информации последовательно во времени, поразрядно, бит за битом. Различают регист-

ры, сдвигающие в сторону старшего разряда, в сторону младшего разряда и реверсивные. Информация может поступать в последовательном или параллельном коде и выдаваться с выходных шин в последовательном или параллельном коде. Следовательно, в сдвигающих регистрах осуществляется преобразование из последовательного кода в параллельный и обратно.

В сдвигающих регистрах используются двухступенчатые (*MS*) триггеры или триггеры с динамическим управлением. Это гарантирует сдвиг информации на один разряд по каждому импульсу синхронизации. Схема трехразрядного сдвигающего регистра содержит три динамических *D*-триггера, включенных последовательно. Запись информации осуществляется по переднему фронту тактового сигнала *C* [6]. Последовательный код, начиная со старшего разряда, поступает на вход *D*.

Рассмотрим временные диаграммы работы трехразрядного последовательного регистра. В момент времени  $t_1$  по переднему фронту тактового сигнала единица старшего разряда (значение  $2^2$ ) записывается в первый триггер и, с некоторой задержкой во времени, появляется на выходе  $Q_0$ . Второй триггер сохранил значение  $Q_0$  до момента переключения первого триггера, поскольку фронт сигнала *C* к времени переключения первого триггера уже закончился. Это же относится и к третьему триггеру.

В момент времени  $t_2$  по переднему фронту тактового сигнала единица старшего разряда перемещается во второй триггер. Логический ноль (значение  $2^1$ ) считывается с входа *D* в первый триггер.

В момент времени  $t_3$  единица младшего разряда (значение  $2^0$ ) записывается в первый триггер, ноль (значение  $2^1$ ) во второй, единица старшего разряда (значение  $2^0$ ) — в последний триггер. Запись трехразрядного кода в регистр завершилась за три такта. Считывание информации можно осуществить в параллельном коде одновременно с выходов  $Q_0$ ,  $Q_1$ ,  $Q_2$ , или в последовательном коде, подав на вход  $D=0$ , а на вход *C* три тактовых импульса. С выхода  $Q_3$  информация передается, начиная со старшего разряда поразрядно, бит за битом. После этого, сдвигающий регистр не содержит больше никакой информации, во всех разрядах логические нули. Сдвигающие регистры всегда имеют возможность последовательного ввода – вывода данных. Без этого свойства схема не может называться сдвигающим регистром. При значении  $R=1$  работа регистра блокируется, и во все триггеры асинхронно записываются нули.

#### **6.5.4 Сдвигающие регистры с параллельным вводом-выводом данных**

Сдвигающий регистр с параллельным считыванием может транслировать хранимые данные одновременно. Схема последовательного трехразрядного регистра изображена на рисунке 6.9 [5].

Для построения сдвигающего регистра использованы *D*-триггеры  $D_1$ ,  $D_2$ ,  $D_3$ . Каждый выход  $Q$  связан с *D*-входом следующего триггера. Параллельная запись информации в триггеры осуществляется посредством асинхронных входов  $R$ ,  $S$  при наличии разрешающего сигнала  $EI=1$ . Сигналы  $R$ ,  $S$  формируются логическими элементами  $D_4$ ,  $D_5$ ,  $D_6$ . Коды  $D_2$ ,  $D_1$ ,  $D_0$  поступают на входы  $S$  в прямом виде, а на входы  $R$  в инверсном и, согласно таблице истинности *RS*-

триггера, происходит запись значения этих логических сигналов. Хранимая в сдвигающем регистре информация может быть считана на выходах  $Q_2$ ,  $Q_1$ ,  $Q_0$ . Сдвиг данных в регистре происходит после подачи тактового сигнала  $C$ . Возможна запись последовательного кода с помощью входа  $D$ , а считывание с выхода  $Q_2$ . Комбинация сигналов  $EI=1$ ,  $C=1$  запрещена с целью исключения ошибок.

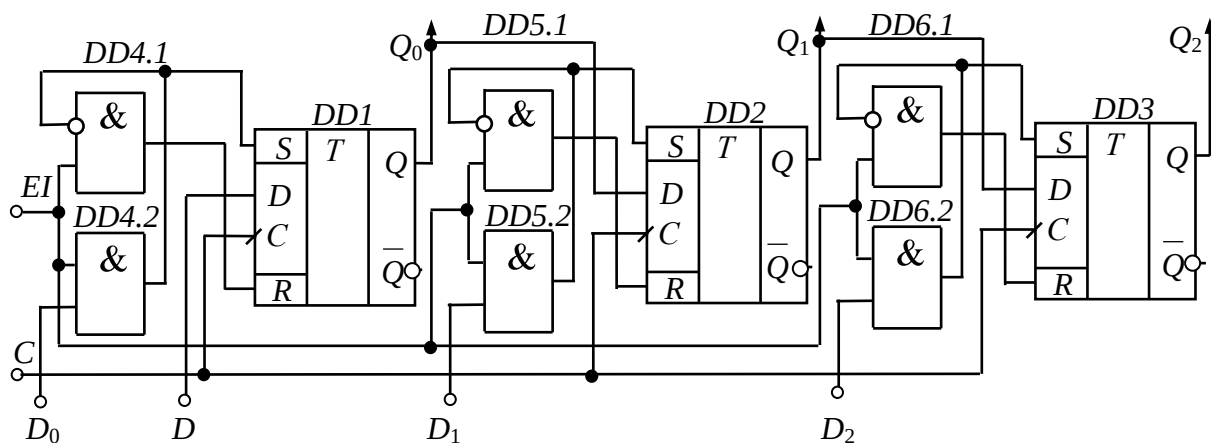


Рисунок 6.9 — Схема регистра с параллельным вводом-выводом данных

Таким образом, последовательное и параллельное считывания одновременно производиться не могут. Параллельные операции считывания и записи в данной схеме не тактируемы. Регистры этого типа могут применяться для обеспечения передачи информации из устройства, работающего в параллельном коде, по линии связи в последовательном коде в другое цифровое устройство.

### 6.5.5 Реверсивные сдвигающие регистры и регистры хранения

Если сдвиг в регистре, согласно управляющему сигналу, может быть и влево и вправо, то такие регистры называются реверсивными.

Схема трехразрядного реверсивного сдвигающего регистра изображена на рисунке 6.10 [5].

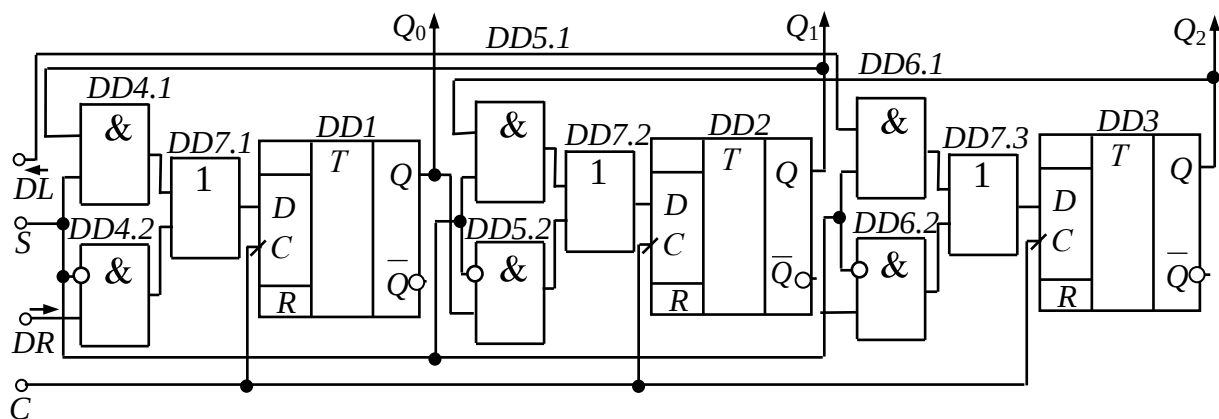


Рисунок 6.10 — Схема трехразрядного реверсивного сдвигающего регистра

Схема имеет два последовательных информационных входа для сдвига информации вправо  $DR$ , влево  $DL$  и тактовый вход  $C$ .

Логические элементы  $DD7.1$ ,  $DD7.2$ ,  $DD7.3$  являются мультиплексорами, которые, в зависимости от управляющего сигнала  $S$ , соединяют триггеры в последовательности  $DD1 - DD2 - DD3$ , если  $S=0$  или  $DD3 - DD2 - DD1$ , при  $S=1$ .

В первом случае последовательный код поступает на вход  $DR$ , выход регистра –  $Q_2$ . Информация записывается в каждый триггер от левого по схеме соседнего триггера (происходит сдвиг вправо). Во втором случае, вход регистра для последовательного ввода информации  $DL$ , информация в каждый триггер, записывается от правого по схеме соседнего триггера (происходит сдвиг влево), выход регистра –  $Q_0$ .

Реверсивный регистр может использоваться для умножения или деления двоичных чисел на  $2^n$ , где  $n$  – число сдвигов, т.к. сдвиг числа на один разряд вправо равносителен умножению на 2, а влево – делению пополам. Например, после сдвига по направлению к старшим разрядам, вправо, на 2 позиции числа 1 (из  $Q_0$  в  $Q_2$ ), получается число 4.

Среди разнообразия схем регистров, широкое применение нашли регистры хранения. В регистрах хранения отсутствует операция перемещения данных. Они состоят из триггеров, в которых записывается и хранится информация. Регистр хранения записывает бинарное слово, длина которого совпадает с разрядностью регистра. Информация считывается с выходов триггеров. Регистры хранения применяются в составе микропроцессоров для сохранения промежуточных результатов расчетов, устройствах управления, вычисления.

#### 6.5.6 Регистры памяти и сдвига, исследуемые в работе

Регистр памяти основан на четырех  $D$ -триггерах, при этом входы триггеров являются входами регистра, выходы построены аналогично входам. Синхронизирующие входы триггеров объединены, поэтому синхроимпульс подается одновременно на все триггеры и происходит параллельная передача сигналов с входов на выходы. Таблица истинности (таблица рабочих состояний) регистра памяти (таблица 6.1) поясняет его работу.

Таблица 6.1 — Таблица рабочих состояний регистра памяти, исследуемого в работе

| Входы          |       |     | Выходы      |             |
|----------------|-------|-----|-------------|-------------|
| $C$            | $D_0$ | $R$ | $Q_0$       | $Q_n$       |
| $\overline{1}$ | 0     | 1   | 0           | $D_n$       |
| $\overline{1}$ | 1     | 1   | 1           | $D_n$       |
| 0              | X     | 1   | Не меняется | Не меняется |
| 1              | X     | 1   | Не меняется | Не меняется |
| X              | X     | 0   | 0           | 0           |

Базовым элементом регистра сдвига является последовательное включение  $D$ -триггеров, когда прямой выход предыдущего триггера подключается к  $D$ -входу последующего триггера, а синхроимпульс подается на все  $C$ -входы одновременно. При подаче на вход  $R$  логической единицы обнуляются выходы во всех разрядах независимо от состояния входов  $C$  и  $S$ . При подаче на вход  $R$  логического нуля регистр может работать.

Сдвиг информации в регистре осуществляется при подаче положительного перепада напряжения на вход  $C$ . Четырехразрядное слово вводится в регистр за четыре такта. При отсутствии тактовых импульсов информация, записанная в

регистр, будет храниться как угодно долго. В таблице 6.2 представлены рабочие состояния исследуемого регистра сдвига.

Таблица 6.1 — Таблица рабочих состояний регистра сдвига, исследуемого в работе

| Входы                 |     |     | Выходы      |                         |
|-----------------------|-----|-----|-------------|-------------------------|
| $C$                   | $S$ | $R$ | $Q_0$       | $Q_n$                   |
| $\overline{\text{—}}$ | 0   | 1   | 0           | Выход разряда ( $n-1$ ) |
| $\overline{\text{—}}$ | 1   | 1   | 1           | Выход разряда ( $n-1$ ) |
| 0                     | X   | 1   | Не меняется | Не меняется             |
| 1                     | X   | 1   | Не меняется |                         |
| X                     | X   | 0   | 0           |                         |

## 6.6 Контрольные вопросы

1. Каково назначение регистров?
2. Что такое регистры с последовательным вводом и регистры с параллельным вводом?
3. Что называется сдвиговым регистром?
4. Что такое статические и что такое динамические сдвиговые регистры?
5. Как устроены регистры, сдвигающие число вправо?
6. Как устроены регистры, сдвигающие число влево?
7. Как устроены реверсивные регистры?
8. Что означает режим сдвига «вправо», «влево»?
9. С помощью каких входов регистра производится предварительная установка триггеров в нулевое состояние?
10. По каким признакам классифицируются регистры?

## Лабораторная работа № 7

### ИССЛЕДОВАНИЕ АНАЛОГО-ЦИФРОВОГО ПРЕОБРАЗОВАТЕЛЯ

Время: 2 часа.

#### 7.1 Цель работы

7.1.1. Ознакомление с основными функциями и тестирование аналого-цифрового преобразователя (АЦП).

7.1.2. Получение практических навыков при работе с АЦП.

#### 7.2 Описание стенда лабораторной работы № 7

Исследование регистров проводится на рабочем поле «МУЛЬТИВИБРАТОРЫ И АЦП». Вид стенда лабораторной работы № 7 изображен на рисунке 7.1. В работе исследуется 8-разрядный АЦП последовательного приближения (АЦП с поразрядным уравниванием).

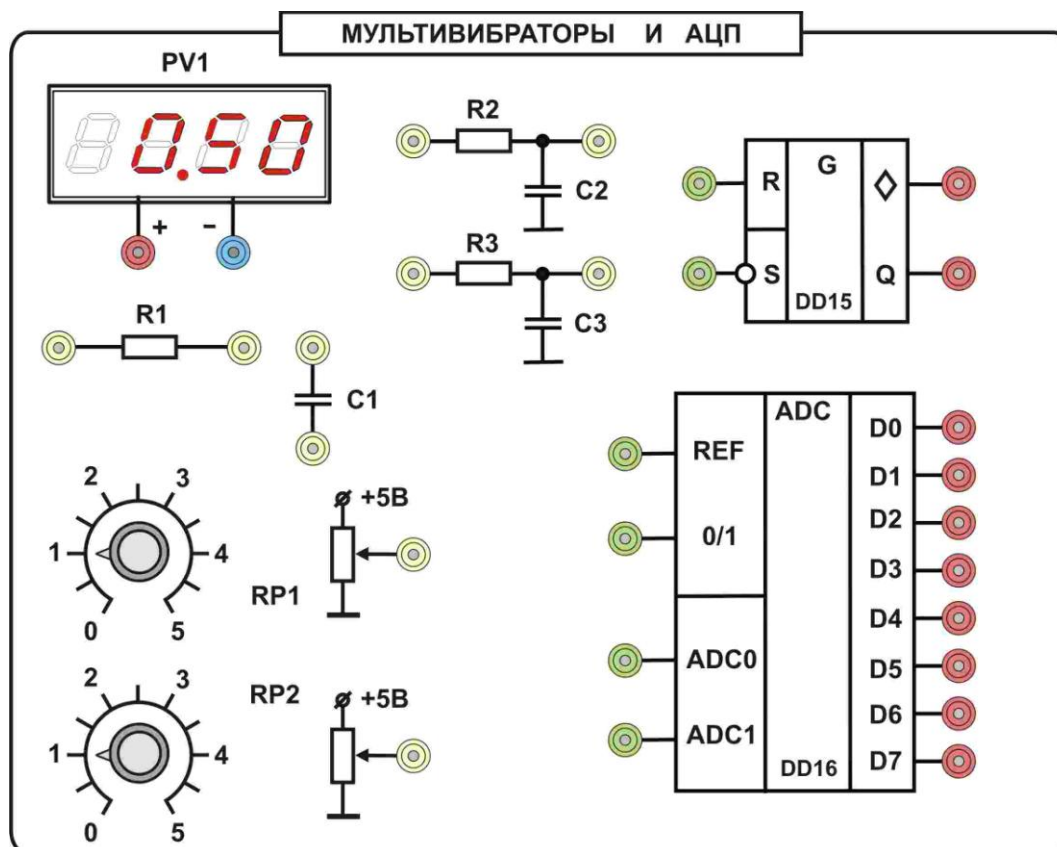


Рисунок 7.1 — Стенд лабораторной работы № 7

Основные параметры АЦП следующие:

- число каналов 4;
- абсолютная погрешность:  $\pm 2$  МЗР (младший значащий разряд);
- время преобразования 240 мкс.

АЦП имеет:

- информационные входы  $ADC0$  и  $ADC1$  для ввода измеряемой величины;
- вход  $0/1$  для установки номера канала;

- вход *REF*, разрешающий работу АЦП;
- восемь выходов от первого до восьмого разряда *D0 – D7*.

На выходе АЦП создается цифровой сигнал, соответствующий аналоговому сигналу того канала, номер которого указан на входе установки: «0» — низкий логический уровень, «1» — высокий логический уровень. При подаче низкого уровня сигнала на вход разрешения *REF* все выходы сбрасываются в состояние логической единицы «1».

Органы управления и индикации объединены на стенде в функциональные группы и снабжены надписями на лицевой панели.

Источник сигналов «Уровень логический» предназначен для формирования логических сигналов высокого «1» и низкого «0» уровней. Включение соответствующих сигналов осуществляется при помощи тумблеров *SA1 – SA8*. С помощью светодиодов осуществляется индикация сигналов, соответствующих логической «1».

Источник сигналов «Импульс одиночный» формирует одиночные импульсы с положительной ( $\neg$ ) и отрицательной ( $\neg$ ) полярностью. При нажатии на кнопку *SB1* на выходе генератора, находящемся в состоянии «0», вырабатывается сигнал логической «1», а при нажатии на кнопку *SB2* — сигнал логического «0». Источники регулируемого постоянного напряжения (0...5 В) осуществляют плавное регулирование напряжения в указанном диапазоне.

### 7.3 Порядок выполнения работы

**7.3.1. Снятие зависимости выходного напряжения АЦП (в цифровом коде) от аналогового напряжения на его входе.**

7.3.1.1. Для этого необходимо собрать, согласно рисунка 7.2, схему соединений для исследования АЦП.

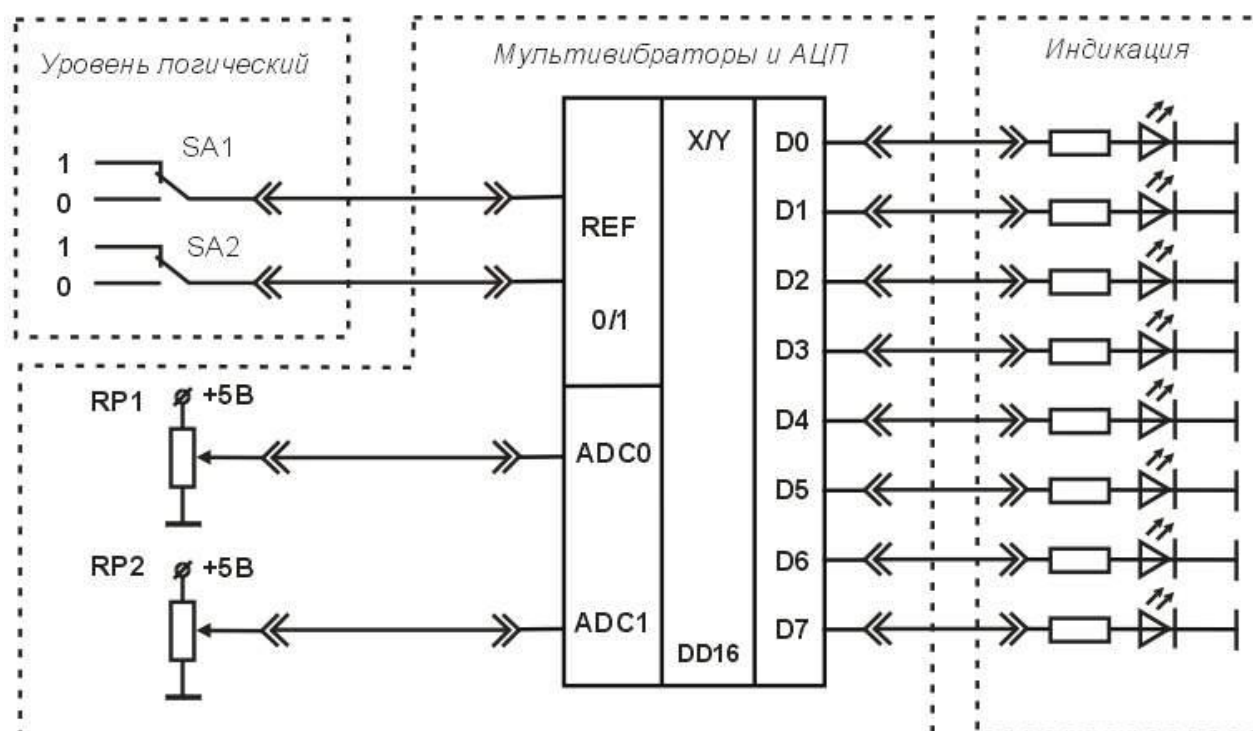


Рисунок 7.2 — Схема соединений для исследования АЦП

7.3.1.2. Подключить аналоговые входы АЦП к входам потенциометров *RP1* и *RP2*. Далее необходимо соединить выходы тумблеров *SA1* и *SA2* со входами разрешения *REF* и выбора сигнала 0/1 АЦП.

7.3.1.3. Соединить выходы АЦП со светодиодами индикации.

7.3.1.4. Включить тумблер «Сеть» и снять зависимость выходного напряжения АЦП (в цифровом коде) от аналогового напряжения на его входе, регулируя и измеряя напряжение на его входе, измерять напряжение на выходе в двоичном коде по свечению светодиодов. Результаты опытов занести в таблицу 7.1.

Таблица 7.1 — Результаты опытов по исследованию АЦП

| № опыта     | Напряжение на входе АЦП, В | Напряжение на выходе АЦП в двоичном коде | Напряжение на выходе АЦП в десятичной системе, В | Абсолютная погрешность работы АЦП |
|-------------|----------------------------|------------------------------------------|--------------------------------------------------|-----------------------------------|
| 1           |                            |                                          |                                                  |                                   |
| 2           |                            |                                          |                                                  |                                   |
| 3           |                            |                                          |                                                  |                                   |
| ⋮           |                            |                                          |                                                  |                                   |
| <i>n</i> -й |                            |                                          |                                                  |                                   |

### 7.3.2. Экспериментальное исследование АЦП в дифференциальном режиме

7.3.2.1. В этом исследовании схема остается без изменений, кроме тумблера выбора режима. Установить тумблер выбора режима в положение «1» и подключить вольтметр для измерения напряжения точками *ADC0* и *ADC1*.

7.3.2.2. Повторить эксперимент. Выключить тумблер «Сеть».

7.3.3. Провести обработку экспериментальной информации:

— перевести двоичный код в десятичный и построить характеристику «код-напряжение»;

— определить диапазон входных напряжений и разрешающую способность АЦП;

— определить погрешности работы АЦП и оценить соответствуют ли погрешности паспортным данным АЦП.

## 7.4 Примерный план отчета

Отчет должен содержать следующие пункты:

- наименование и цель работы;
- принципиальные электрические схемы для выполнения экспериментов;
- результаты экспериментальных исследований;
- выводы по работе.

## 7.5 Основные теоретические положения

### 7.5.1 Общие понятия об аналого-цифровом преобразовании

На рисунке 7.3 изображена последовательность операций, выполняемых в АЦП, а на рисунке 7.4 — виды сигналов, получаемых при преобразовании.

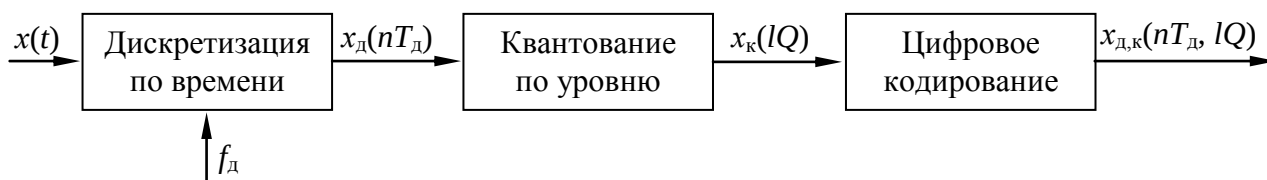


Рисунок 7.3 — Последовательность операций, выполняемых в АЦП

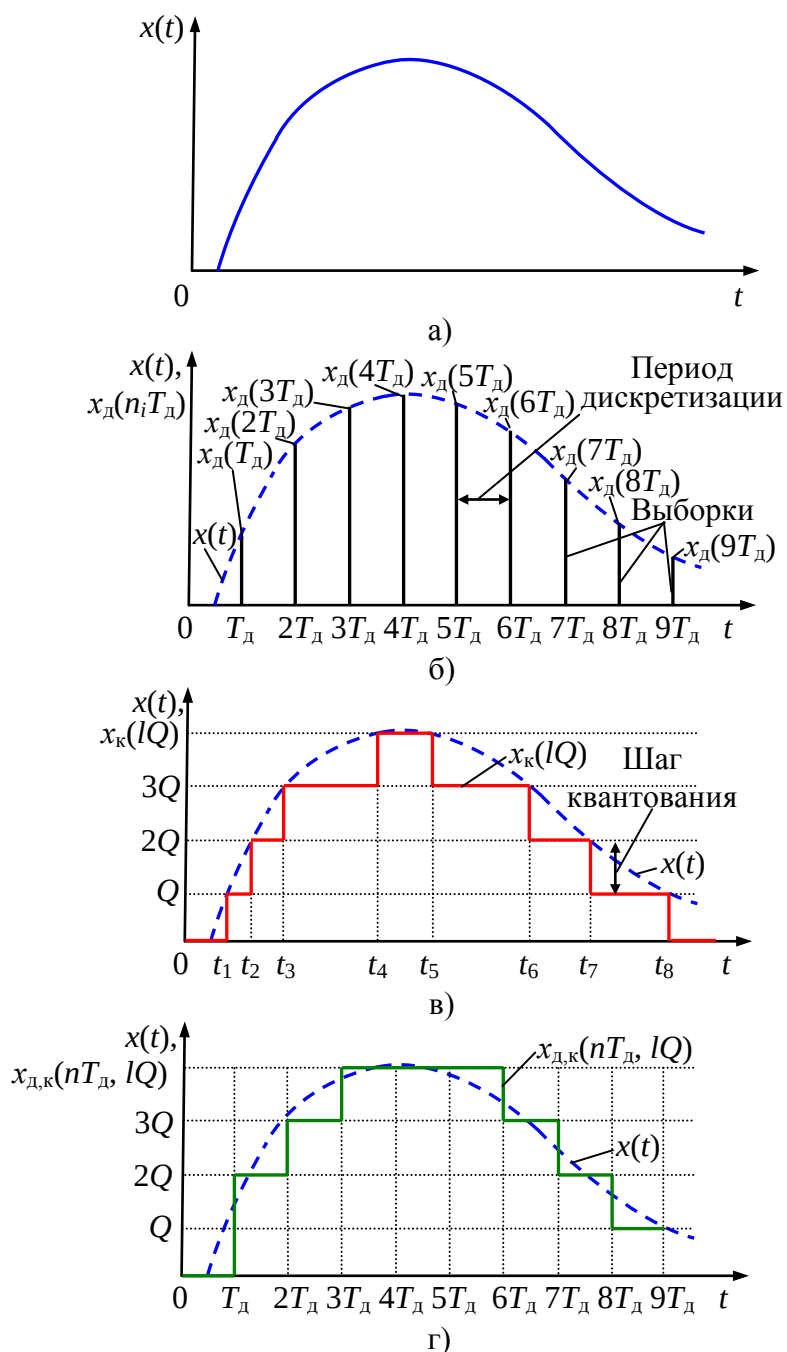


Рисунок 7.4 — Виды сигналов, получаемых в ходе операций аналого-цифрового преобразования:

- а) исходной аналоговый сигнал;
- б) сигнал, дискретизированный по времени;
- в) сигнал, квантованный по уровню;
- г) сигнал, представленный в цифровом виде

Аналого-цифровое преобразование включает в себя следующие операции: дискретизацию сигнала по времени; квантование по уровню (квантование значений амплитуды) и цифровое кодирование.

Рассмотрим последовательность операций, выполняемых в АЦП.

На рисунке 7.4,а представлена зависимость исходного аналогового входного сигнала  $x(t)$ . Первая операция, осуществляемая в АЦП, называется дискретизацией по времени. Процесс операции дискретизация по времени в АЦП изображен на рисунке 7.4,б. Дискретизация по времени — это есть процесс получения отсчетов (выборок) измеряемой величины в определенные дискретные моменты времени. В этом процессе непрерывная измеряемая величина  $x(t)$  заменяется последовательностью отсчетов  $x_d(nT_d)$ , взятых в некоторые дискретные и равноотстоящие  $n$ -е моменты времени  $nT_d$ , где  $T_d = \frac{1}{f_d}$  — период (шаг)

дискретизации сигнала ( $n$  — целое число).

Дискретизация значений измерительного сигнала по уровню носит название квантования. Процесс операции квантования по уровню изображен на рисунке 7.4,в.

Операция квантования по уровню сводится к тому, что непрерывная по времени и амплитуде величина  $x(t)$  заменяется ближайшим фиксированным значением ступенчатой функции  $x_k(lQ)$  по установленной шкале дискретных (разрешенных) уровней, различающихся на величину  $Q$ , называемую шагом квантования. Функция  $x_k(lQ)$  является непрерывной по времени.

На рисунке 7.4,в видно, что пересечение функции  $x(t)$  с квантованными уровнями  $lQ$  будет наблюдаться в неравные промежутки времени, причем значения функций  $x(t)$  и  $x_k(lQ)$  в произвольные моменты времени  $t_i$  будут совпадать. Таким образом, диапазон, в котором изменяется функция  $x(t)$ , разбивается на  $l$  квантованных уровней  $lQ$  с равным шагом  $Q$ , а преобразование сигнала осуществляется только в фиксированные моменты времени  $t_i$  с равными периодами дискретизации  $T_d$ . Форма исходного аналогового сигнала, представленная в цифровом виде, изображена на рисунке 7.4,г. На этом рисунке видно, что значения функции  $x(t)$  в эти моменты времени не совпадают с заданными квантованными уровнями  $lQ$ . Вследствие этого в моменты времени  $t_i$  в качестве значений ступенчатой функции  $x_{d,k}(nT_d, lQ)$  выбирают округленные до ближайшего уровня  $lQ$  значения исходной функции  $x(t)$ . В результате такого округления погрешность преобразовании будет определяться величиной, равной половине кванта ( $\pm Q/2$ ). Сигнал, дискретный во времени и квантованный по уровню, называют цифровым сигналом.

Последующей операцией в АЦП является кодирование. Цифровой код — это последовательность цифр или сигналов, с помощью которой выполняется условное представление численного значения величины по определенному закону. Для этого необходимо значению каждого квантованного уровня (см. рисунок 7.4,г) присвоить цифровой код. Чаще всего цифровой код выбирается равным десятичному эквиваленту номера  $l$  квантованного уровня. Нумерация уровней обычно ведётся с нуля. Тогда максимально возможному значению

входного напряжения АЦП будет соответствовать максимальное значение кода за вычетом одного кванта, так как одна кодовая комбинация соответствует нулевому значению входного напряжения АЦП. Например, при выборе кода в соответствии с порядковыми номерами уровней квантования, представленная на рисунке 7.4,г функция  $x(t)$  может быть заменена последовательностью десятичных чисел:  $K_l = \{0, 2, 3, 4, 4, 4, 3, 2, 1\}$ , или в двоичной форме  $K_l = \{000, 010, 011, 100, 100, 100, 011, 010, 001\}$ .

Схемная реализация АЦП может быть выполнена с применением одной специализированной микросхемы АЦП или с использованием нескольких аналоговых и цифровых схем. Микросхемы АЦП, выпускаемые промышленностью, в основном предназначены для работы с напряжением. В связи с этим, существуют АЦП: мгновенных и средних значений напряжения.

Аналого-цифровые преобразователи подразделяются на АЦП: прямого преобразования и сравнения (уравновешивающего преобразования). В АЦП прямого преобразования преобразование непрерывной аналоговой величины осуществляется непосредственно в дискретную величину, а в АЦП сравнения — путем сравнения с известной величиной.

АЦП прямого преобразования существуют: параллельного; последовательного и параллельно-последовательного типов. В свою очередь, АЦП сравнения существуют следующих видов: последовательного приближения (с поразрядным уравновешиванием); сравнения с пилообразным сигналом (интегрирующие, последовательного счета); с двухстадийным интегрированием; с промежуточным преобразованием в частоту следования импульсов; с дельта-сигма модуляцией.

Рассмотрим основные характеристики АЦП. Одним из основных параметров АЦП, определяющих точность преобразования, является **разрядность  $n$  выходного кода АЦП**, характеризующая количество разрядов для отображения аналогового сигнала. При двоичной системе исчисления разрядность  $n$  определяет количество квантованных уровней  $I_{\text{макс}} = 2^n$ . является его разрядность. Эта характеристика определяет предельно достижимую точность АЦП (когда все остальные элементы являются идеальными и не имеют погрешностей), обусловленную погрешностью дискретности.

Погрешность дискретности (квантования) — это погрешность представления аналоговой (непрерывной) величины в виде цифрового кода. Ее значение является величиной обратной количеству двоичных разрядов числового кода на выходе устройства. Так для 8-разрядного АЦП эта погрешность (предельная точность) составит  $\delta = 100/2^8 \% = 0,39 \%$ , а для 16-разрядного АЦП —  $\delta \approx 0,002 \%$ .

Следующей характеристикой АЦП является **разрешающая способность (чувствительность)**, означающая значение минимального изменения входного сигнала АЦП, которое вызовет изменение цифрового кода на единицу.

Каждый АЦП имеет свой диапазон входных напряжений, которые преобразователь в состоянии отобразить принятым выходным кодом. Поскольку в процессе квантования отсчеты могут принимать только значения кратные шагу квантования, то при оценке истинного значения выборки будет возникать ошибка, которую рассматривая как функцию времени называют **шумом кван-**

**тования.** Величина этой ошибки равна половине шага квантования и не зависит от уровня квантуемого сигнала. Чем больше число разрядов квантования, тем меньше величина шума квантования.

### 7.5.2 Принцип работы АЦП последовательного приближения

Структурная схема одного канала АЦП последовательного приближения, которая соответствует принципиальной схеме исследуемого АЦП, изображена на рисунке 7.5.

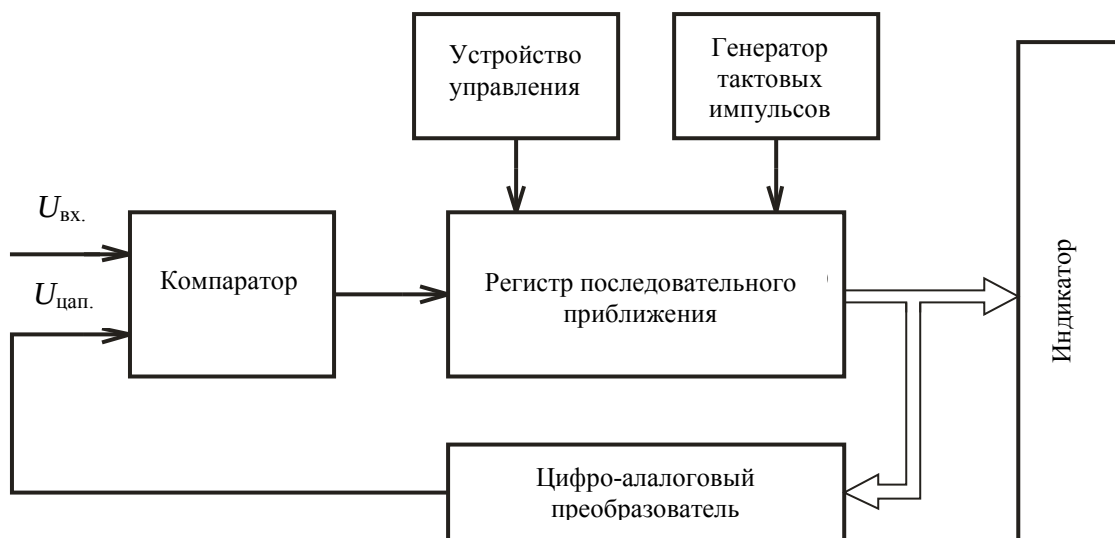


**Рисунок 7.5 — Структурная схема одного канала АЦП последовательного приближения**

АЦП последовательного приближения или АЦП с поразрядным уравниванием содержит компаратор, вспомогательный ЦАП и регистр последовательного приближения. АЦП преобразует аналоговый сигнал в цифровой за  $n$  шагов, где  $n$  — разрядность АЦП. На каждом шаге определяется по одному биту искомого цифрового значения, начиная от СЗР и заканчивая МЗР. Последовательность действий по определению очередного бита заключается в следующем. На вспомогательном ЦАП выставляется аналоговое значение, образованное из битов, уже определённых на предыдущих шагах; бит, который должен быть определён на этом шаге, выставляется в логическую 1, более младшие биты установлены в логический 0. Полученное на вспомогательном ЦАП значение сравнивается с входным аналоговым значением. Если значение входного сигнала больше значения на вспомогательном ЦАП, то определяемый бит получает значение 1, в противном случае 0. АЦП этого типа обладают одновременно высокой скоростью и хорошим разрешением. Тактирование работы внутреннего цикла АЦП осуществляется от генератора тактовых импульсов. Главным недостатком АЦП подобного типа является выборка мгновенных значений аналогового сигнала, что требует дополнительного устройства выборки-хранения сигнала. В этом случае значения статического и динамического сигнала за интервал преобразования могут как совпасть, так и не совпасть.

### **7.6 Контрольные вопросы**

1. Какие основные операции с сигналом осуществляются в АЦП?
2. Как влияет разрядность АЦП на погрешность преобразования?
3. Где применяются АЦП?
4. Какие требования предъявляются к АЦП?
5. Отчего возникают погрешности в АЦП?
6. В чем заключается принцип действия АЦП последовательного приближения?
7. Что понимают под операцией квантования при аналого-цифровом преобразовании?
8. Что понимают под операцией дискретизации при аналого-цифровом преобразовании?
9. В чем заключается операция цифрового кодирования при аналого-цифровом преобразовании?
10. От чего зависит величина шума квантования?

## ЛИТЕРАТУРА

1. Бородянко В.Н. Основы цифровой техники : методические указания к проведению лабораторных работ / В.Н. Бородянко. — Челябинск: ЮУрГУ, 2020. — 65 с.
2. Кузовкин В. А. Электротехника и электроника : учебник для академического бакалавриата / В. А. Кузовкин, В. В. Филатов. — Москва : Издательство Юрайт, 2019. — 431 с. — (Бакалавр. Академический курс). — ISBN 978-5-534-08114-5. — Текст : электронный // ЭБС Юрайт [сайт]. — URL: <https://biblio-online.ru/bcode/432002>
3. Электротехника и электроника в 3 т. Том 3. Основы электроники и электрические измерения : учебник и практикум для академического бакалавриата / Э. В. Кузнецов, Е. А. Куликова, П. С. Культиасов, В. П. Лунин ; под общей редакцией В. П. Лунина. — 2-е изд., перераб. и доп. — Москва : Издательство Юрайт, 2019. — 234 с. — (Бакалавр. Академический курс). — ISBN 978-5-9916-8414-9. — Текст : электронный // ЭБС Юрайт [сайт]. — URL: <https://biblio-online.ru/bcode/433379>
4. Подкин, Ю. Г. Электротехника и электроника: учебное пособие: в 2-х т. / Ю. Г. Подкин, Т. Г. Чикуров, Ю. В. Данилов. — М.: Академия. — Т. 1: Электротехника / Т. Г. Чикуров, Ю. В. Данилов. — 2011. — 399 с.
5. Гусев В.Г. Электроника / В.Г. Гусев, Ю.М. Гусев. — М.: Высшая школа, 1991. — 622 с.
6. Падчий Ю.Ф. Аналоговая и цифровая электроника / Ю.Ф. Опадчий, О.П. Грудкин, А.И. Гуров. — М.: Горячая линия — Телеком, 2002. — 768с.
7. Цифровые и аналоговые интегральные микросхемы: Справочник/ С.В. Якубовский, Л.И. Ниссельсон, В.И. Кулешова и др.; Под ред. С.В. Якубовского. — М.: Радио и связь, 1990. — 496 с.
8. Зельдин Е.А. Цифровые и интегральные микросхемы в информационно-измерительной аппаратуре. — Л.: Энергоатомиздат. Ленинградское отделение, 1986. — 280 с.

## **ПРИЛОЖЕНИЕ А**

### **Образец бланка титульного листа к лабораторной работе**

**МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ  
РОССИЙСКОЙ ФЕДЕРАЦИИ**

**Федеральное государственное автономное образовательное  
учреждение высшего образования  
«СЕВАСТОПОЛЬСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ»**

**Морской институт**

**Кафедра “Судовое электрооборудование”**

### **ЛАБОРАТОРНАЯ РАБОТА №**

**по дисциплине “Общая электротехника и электроника”**

Название работы \_\_\_\_\_

Цель работы \_\_\_\_\_

Студент \_\_\_\_\_

Группа \_\_\_\_\_

Дата выполнения \_\_\_\_\_

Проверил \_\_\_\_\_

Севастополь  
2023 г.



**Матвеев Юрий Валентинович  
Ходак Евгений Николаевич**

**ОБЩАЯ ЭЛЕКТРОТЕХНИКА И ЭЛЕКТРОНИКА**

*Методические указания*

Часть 2

В авторской редакции

Изд. № 148/2023. Объем 5 п.л. Усл. печ. л. 4,65. Уч.-изд. л. 4,9.  
РИИЦМ ФГАОУ ВО «Севастопольский государственный университет»