

УДК 621.396

В.В. Вертегел, доцент, канд. техн. наук*Севастопольский национальный технический университет**ул. Университетская 33, г. Севастополь, Украина, 99053**E-mail: vertegel@bk.ru***МОДЕЛИРОВАНИЕ СИСТЕМЫ РАДИОЧАСТОТНОЙ ИДЕНТИФИКАЦИИ**

Представлены результат моделирования системы радиочастотной идентификации (RFID). Описаны поведенческие Verilog-модели приемопередатчика и метки RFID, поддерживающих стандарты ISO/IEC 14443 типа A/B, 15693, 18092, которые используются для верификации интегральной схемы на различных этапах маршрута её проектирования.

Ключевые слова: *RFID, Verilog-описание, моделирование.*

Системы радиочастотной идентификации (англ. *RFID — Radio Frequency IDentification*) применяются в различных областях человеческой деятельности. Логистика и транспорт, коммерция и сельское хозяйство, медицина и промышленность — основные области применения *RFID* технологий. В настоящее время системы радиочастотной идентификации широко используются для идентификации продуктов на складах, как автоматические платежные системы, системы контроля безопасности и доступа, системы контроля багажа в авиаперевозках, инвентаризация товаров, электронные паспорта и пр.

RFID системы используют радиоволны, возбуждаемые считывателем (*Reader*) для считывания данных с электронной метки, прикрепленной к объекту идентификации. Считыватель обычно состоит из радиочастотного модуля (приемопередатчика), управляемого блоком управления, и приемопередающей антенны, посредством которой излучается электромагнитное поле. Попавшие в зону действия считывающего поля радиочастотные метки «отвечают» сигналом, содержащим информацию (идентификационный номер объекта). Ответный сигнал принимается антенной считывателя, затем он усиливается, демодулируется и передается в блок управления для обработки и принятия решений [1].

Существуют два вида меток: пассивные и активные. Пассивные метки используют излученное считывателем поле для питания электронной схемы, а ответный сигнал для передачи идентификационных данных обратно к считывателю. Активные метки содержат автономный источник питания и приемопередатчик с антенной. Наибольшее распространение в современных *RFID* системах получили пассивные метки благодаря их низкой цене.

Для унификации *RFID* систем ВЧ диапазона (13,56 МГц) разработаны международные стандарты *ISO/IEC 14443*, *15693*, *18092*, *ECMA-352*. Стандарты устанавливают электрические характеристики протоколов обмена данными между считывателями и метками. Протоколы включают энергетические и временные характеристики радиосигналов, виды модуляции, скорости передачи данных и пр. Для строгого соответствия этим стандартам на различных этапах проектирования новых *RFID* систем необходимо выполнять тщательную верификацию параметров элементов системы. Таким образом, разработка моделей элементов *RFID* системы является актуальной задачей.

Целью работы является разработка поведенческих моделей элементов *RFID* системы и их исследование на различных этапах процесса проектирования системы.

В настоящее время существует тенденция микроминиатюризации систем путем их реализации в виде «система на кристалле» (*System on Chip — SoC*). Реализация универсального (многостандартного) считывателя в виде интегральной схемы (ИС) позволяет использовать его совместно с метками различных стандартов, снизить напряжение питания электронной схемы и потребляемую мощность, а также цену системы. Поэтому современные микросхемы радиочастотных считывателей выпускают в виде *SoC*, содержащих как аналоговые радиочастотные, так и цифровые части [2]. Структурная схема типовой системы радиочастотной идентификации показана на рисунке 1.

RFID система состоит из следующих элементов: считывателя (*Reader*), метки (*TAG/Card*) и канала связи (*RF Channel*). Считыватель включает в себя радиоприемный тракт (*RX chain*), радиопередающий тракт (*TX chain*), детектор поля (*Field detector*), детектор присутствия метки (*Tag detector*), генератор тактовых импульсов (*LFO*) и блок управления (*Reader Control Unit*). На рисунке 1 также показаны основные сигналы, формируемые и принимаемые блоком управления.

В настоящее время для проектирования *SoC* большинством разработчиков применяется лицензионное прикладное программное обеспечение фирмы *Cadence Design Systems*, которое позволяет выполнять сквозное проектирование цифровых, аналоговых, аналогово-цифровых и радиочастотных СБИС: от системного уровня до разработки топологии.

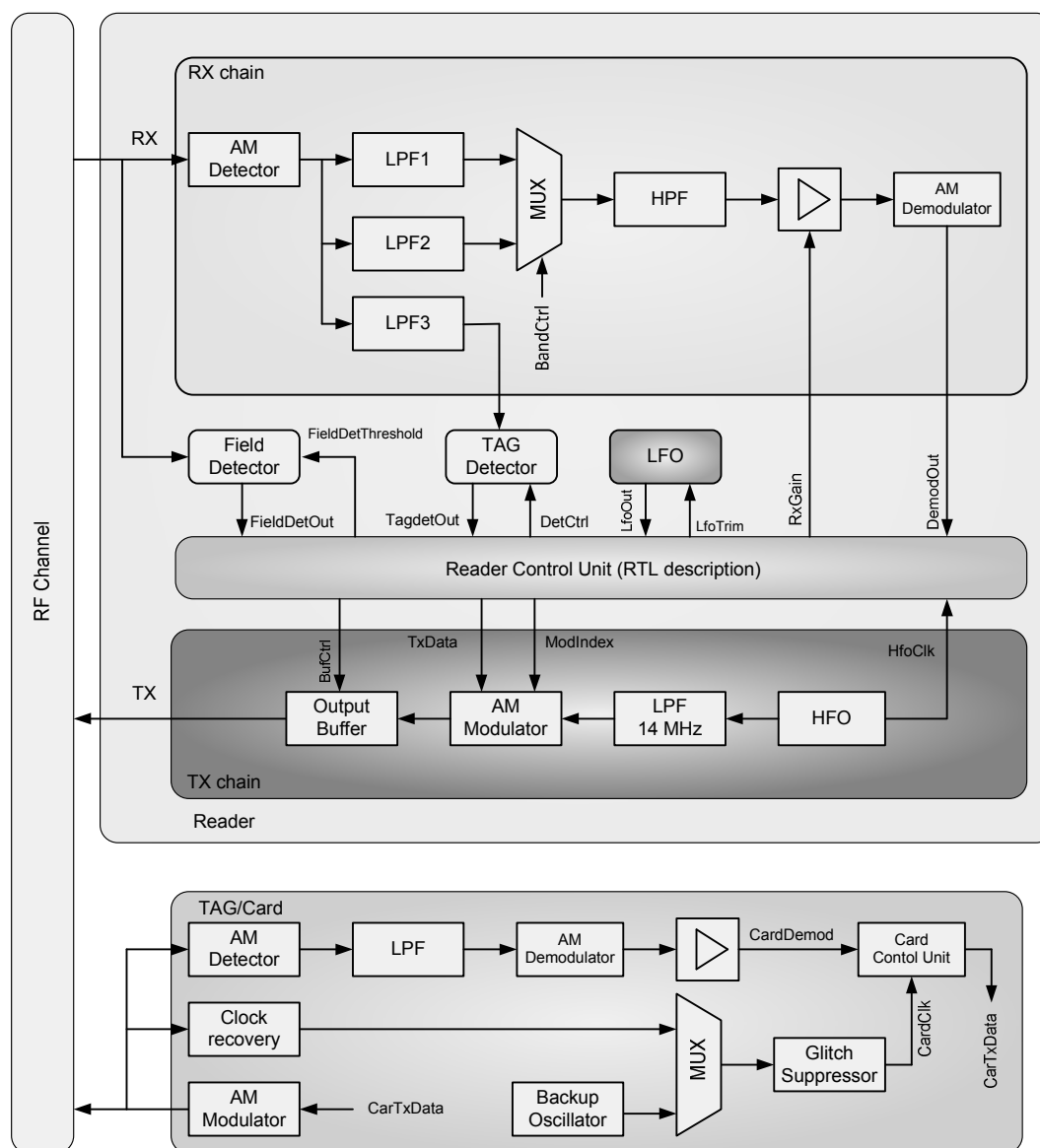


Рисунок 1 — Структурная схема RFID системы

Наибольшее распространение получила специализированная САПР ИС *Cadence IC Design Environment*. Эта система содержит набор инструментов для создания схем, топологии и их верификации, а также поставляемые производителями ИС библиотеки активных и пассивных элементов различных технологий производства (*CMOS*, *BiCMOS*, *SiGe* и пр.). Эти библиотеки, интегрированные в среду *Cadence* совместно с симуляторы *Spectre*, *SpectreS*, *Affirma* пр., позволяют моделировать аналоговые каскады интегральных считывателей на схемотехническом уровне с учетом технологического разброса параметров элементов ИС, нестабильности температуры и напряжения питания. Результатами моделирования являются зависимости параметров аналоговых каскадов в частотной или временной областях, шумовые характеристики и пр., представленные, как правило, в виде графиков.

Одним из важнейших элементов считывателя является цифровой блок управления. В считывателе на этот блок возлагаются задачи декодирования данных, реализации антиколлизийных алгоритмов и взаимодействия с внешними устройствами. Поэтому в многостандартных считывателях он реализуется, как правило, в виде микропроцессорного ядра.

Для проектирования цифровых ИС в настоящее время используют специальные языки описания аппаратуры (*HDL* — *Hardware Description Language*) *Verilog* и *VHDL*. Применение этих языков в САПР позволяет осуществлять функциональную верификацию *HDL*-описаний цифровых устройств с использованием симуляторов *NC-Sim*, *ModelSim* на различных этапах проектирования ИС и автоматический синтез топологии цифровых ИС по их *HDL* описаниям с помощью инструментов *Cadence RTL Compiler* и пр.

Поскольку интегральная схема считывателя является комбинированной, содержащей аналоговые высокочастотные каскады и цифровой блок управления, то стояла задача разработки тестовой среды, позволяющей выполнять моделирование цифрового блока управления с учетом его взаимодействия с аналоговой частью ИС. Такая среда была реализована с помощью поведенческих моделей аналоговых блоков считывателя, метки и канала связи, в котором осуществляется обмен данными. Поведенческие модели аналоговых блоков системы могут быть использованы для функциональной верификации блока управления на системном уровне, когда он представлен в виде идеализированной поведенческой модели, на уровне межрегистровых передач (*RTL level*) и логическом уровне (*Logic level*). Тем самым была обеспечена верификация *HDL*-описаний блока управления на различных этапах маршрута проектирования ИС считывателя.

Предлагаемые поведенческие модели аналоговых блоков считывателя, метки и канала связи реализованы в виде структурных элементов языка *Verilog* — модулей. Они позволяют выполнять моделирование протокола обмена данными между считывателем и меткой с учетом шумов канала связи и проверять периферийные сигналы блока управления на соответствие стандартам *ISO 14443-A*, *14443-B*, *15693* и *18092*. Для функционального моделирования могут использоваться такие симуляторы как *NC-Sim*, *ModelSim*, *Active-HDL*.

Каждый элемент структурной схемы, изображенной на рисунке 1, реализован в виде соответствующего ему по функциональному назначению *Verilog*-модуля. В качестве исходных данных для разработки поведенческих описаний аналоговых блоков использовались результаты моделирования этих блоков на этапе схемотехнического моделирования в среде *Cadence IC Design Environment* с использованием симулятора *Spectre*.

Поведенческая модель радиоприемного тракта (*RX chain*) состоит из *Verilog*-модулей, которые реализуют процессы детектирования поднесущей, фильтрации, усиления и детектирования входного ВЧ сигнала, представленного в языке *Verilog* 16-разрядным двоичным сигналом. Модуль приемного тракта формирует цифровой выходной сигнал «*DemodOut*», который поступает в блок управления для последующей обработки. В соответствии со спецификацией считывателя основные характеристики его приемного тракта изменяются под действием управляющих сигналов, поступающих из блока управления. Например, топ-модуль приемника может изменять полосу пропускания приемника и его усиление. Полоса пропускания приемника изменяется при помощи управляющего сигнала «*BandCtrl*», который переключает выходные сигналы модулей (*LPF1*) или (*LPF2*) в соответствии с выбранным протоколом (стандартом) обмена данными. Указанные модули реализованы в виде поведенческих *Verilog*-описаний цифровых ФНЧ второго порядка с различными частотами среза. Управляющий сигнал «*RxGain*» позволяет в соответствии со спецификацией дискретно изменять усиление приемного тракта в диапазоне от 3 до 40 дБ. Кроме того, модель блока приемника включает модуль входного аттенюатора, который предназначен для ослабления больших по уровню входных сигналов.

На рисунке 2 приведены результаты моделирования процесса обработки входного ВЧ сигнала «*rf_rx*» модуля приемника считывателя, который включает его детектирование, фильтрацию и демодуляцию.

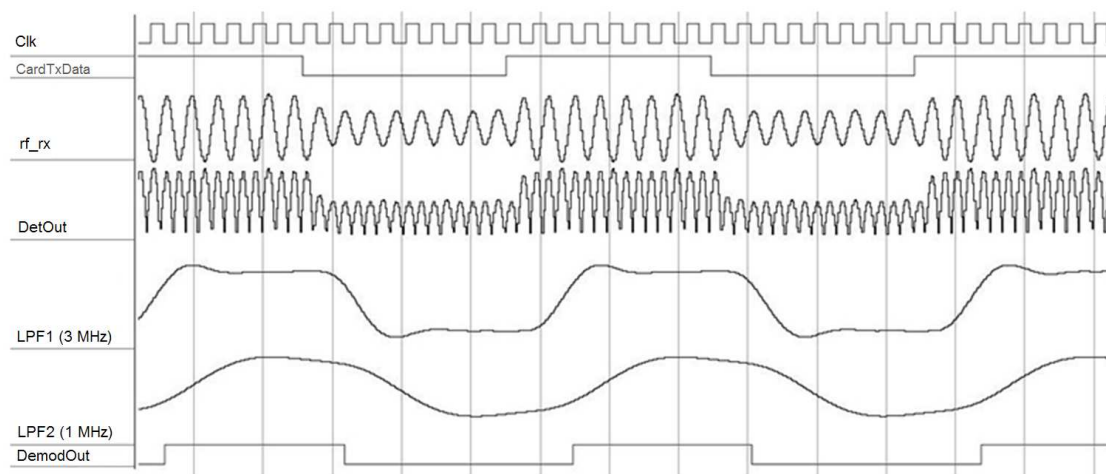


Рисунок 2 — Временные диаграммы процесса обработки входного сигнала приемного тракта считывателя

Поведенческая модель детектора поля (*Field Detector*) осуществляет анализ уровня и частоты входного сигнала считывателя. В соответствии со спецификацией детектор поля формирует цифровой

выходной сигнал «FieldDetOut», который определяется амплитудой и частотой его входного сигнала «Peak Voltage», а также управляющими сигналами «FieldDetThreshold1» и «FieldDet_pwdn», поступающими из блока управления. В Verilog-описании модуля детектора поля реализуется алгоритм измерения частоты входного сигнала считывателя и его уровня. Если частота входного сигнала не равна $13,56 \pm 10\%$ МГц, то выходной сигнал «FieldDetOut» равен логической единице. Его значение также зависит от значения сигнала «FieldDetThreshold1», из которого при помощи Verilog-описания ЦАП формируется опорное пороговое напряжение поведенческой модели компаратора, входящего в этот модуль. На рисунке 3 показаны результаты моделирования блока (*Field Detector*) при различных уровнях и частотах входного ВЧ сигнала «Peak Voltage».

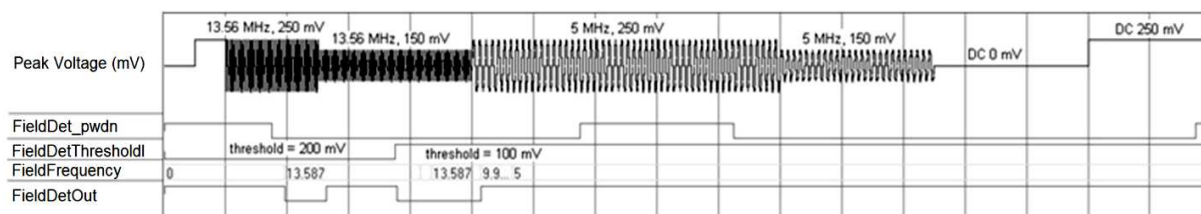


Рисунок 3 — Временные диаграммы моделирования детектора поля

Блок (*TAG Detector*) используется для определения присутствия меток в зоне действия считывателя. Разработанная поведенческая модель этого блока анализирует амплитуду коротких импульсов, поступающих из приемного тракта считывателя, и формирует цифровой выходной сигнал «TagdetOut», который показывает, что метка «шунтирует» поле, излученное антенной считывателя. Модуль (*TAG Detector*) функционально построен на основе двух элементов: ЦАП и компаратора аналоговых сигналов. Величина опорного напряжения компаратора «DAC_Out» определяется сигналом «DetCtrl», поступающим из блока управления.

На рисунке 4 показаны временные диаграммы, на которых отображено формирование выходного сигнала модуля (*TAG Detector*) в зависимости от значений управляющих сигналов и входного сигнала «Tagdet Input».

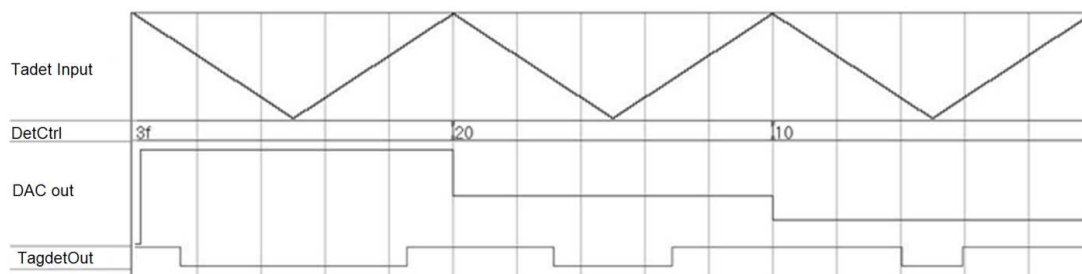


Рисунок 4 — Результаты моделирования модуля *TAG Detector*

Результаты моделирования присутствия метки в зоне действия считывателя при помощи модуля (*LPF3*), на вход которого поступают короткие радиоимпульсы с несущей частотой 13,56 МГц, показаны на рисунке 5.

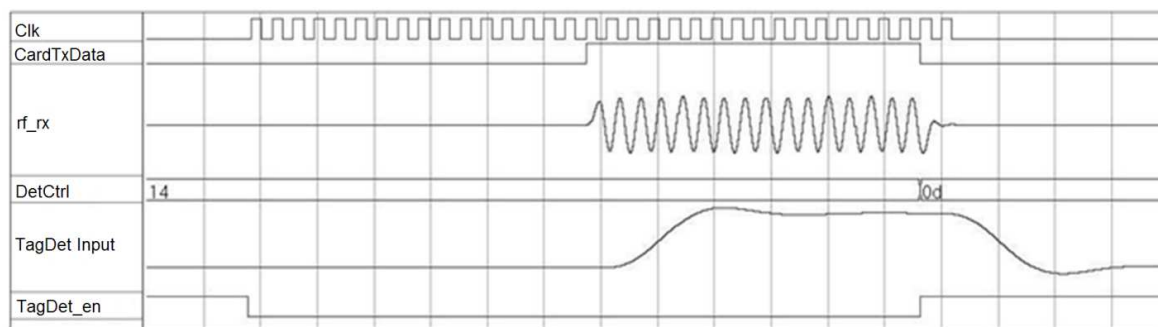


Рисунок 5 — Результаты моделирования присутствия метки в зоне действия считывателя

Поведенческая модель передающего тракта считывателя (*TX chain*) формирует несущее колебание из выходного сигнала генератора высокочастотных колебаний (*HFO*) с частотой 13,56 МГц, используя цифровой ФНЧ (*LPF 14 MHz*). Это несущее колебание модулируется входным цифровым сигналом «TxData», поступающим из блока управления. Коэффициент модуляции определяется двоичным кодом сигнала «ModIndex», поступающего также из блока управления в соответствии с установленным стандартом передачи данных. Блок управления также формирует сигнал «BufCtr», который поступает на управляющий вход блока (*Output Buffer*). Поведенческая модель этого модуля отражает возможность выходного каскада усилителя мощности передатчика изменять выходное сопротивление в зависимости от входного сопротивления антенны считывателя.

Блок генератора тактовых импульсов (*LFO*) формирует последовательность опорных низкочастотных импульсов для управления процессом перехода считывателя из «спящего» режима в режим рабочего функционирования. Поведенческая Verilog-модель этого модуля реализует возможность подстройки частоты генератора под действием управляющего сигнала «LfoTrim», поступающего из блока управления.

Для моделирования различных протоколов обмена данными между считывателем и меткой была разработана поведенческая модель метки (блок (*TAG/Card*) на рисунке 1). Поведенческая модель метки отражает её способность «отвечать» на сигнал запроса, поступающий от считывателя. Это реализуется путем выделения информации содержащейся в модулированном входном сигнале и формирования ответного сигнала, который моделирует изменение нагрузки приемопередающей антенны метки.

Поведенческая модель метки (*TAG/Card*) состоит из Verilog-модулей приемника и передатчика. Приемник осуществляет усиление, фильтрацию и демодуляцию входных сигналов. Демодулятор формирует выходной цифровой сигнал «CardDemod», который является огибающей входного ВЧ сигнала генерируемого считывателем. Из входного сигнала модуль (*Clock Recovery*) восстанавливает опорный тактовый сигнал с частотой 13,56 МГц.

В модели метки реализована функция генерирования резервного опорного колебания при помощи блока (*Backup Oscillator*), позволяющего тактировать схему метки в случае «потери» несущей при приеме сигналов со 100 % амплитудной манипуляцией, а также подавления переходных процессов при помощи блока (*Glitch Suppressor*) во время переключения тактовых сигналов «CardClk», поступающего на вход устройства управления метки (*Card Control Unit*). Ответный сигнал метки модулируется сигналом «CardTxData», который представляет идентификационные данные, хранящиеся в блоке (*Card Control Unit*). Коэффициент модуляции несущей ответного сигнала выбирается в соответствии с используемым протоколом обмена данными.

Все описанные выше поведенческие Verilog-модели аналоговых блоков считывателя и метки имеют цифровое представление высокочастотных аналоговых входных и выходных сигналов. Их разрядность может быть задана параметрически в зависимости от необходимой точности представления и времени моделирования. Результаты моделирования показали, что для верификации блока управления на структурном и регистровом уровнях вполне достаточно использовать 16-разрядное представление аналоговых сигналов.

Входные и выходные высокочастотные сигналы моделей аналоговых блоков *RFID*-системы подаются на модель канала связи (*RF Channel*). Модель канала связи служит для обмена данными между считывателем и метками. Она позволяет учесть шумы, затухание и интерференцию сигналов в реальном канале связи. Поведенческая модель канала реализована в виде Verilog-модуля, позволяющего соединить соответствующие входы и выходы моделей считывателя и метки в единую модель *RFID*-системы. Структурное представление базового блока поведенческой модели канала связи изображено на рисунке 6.

Поведенческая модель канала связи имеет входной порт «rf_in», на который подается выходной сигнал модели считывателя, и выходной порт «rf_out», к которому подключаются входные порты моделей метки и считывателя. Аналоговый вход «card_mod_in» служит для подачи модулирующих сигналов от метки, находящейся в зоне действия считывателя. Кроме того, модель канала содержит порт «noise», на который из файла подаются случайные данные, имитирующие шум реального канала связи. Закон распределения случайных величин и их максимальные значения (уровень шума) задаются в модели параметрически. Модель канала также содержит блок (*dB*),

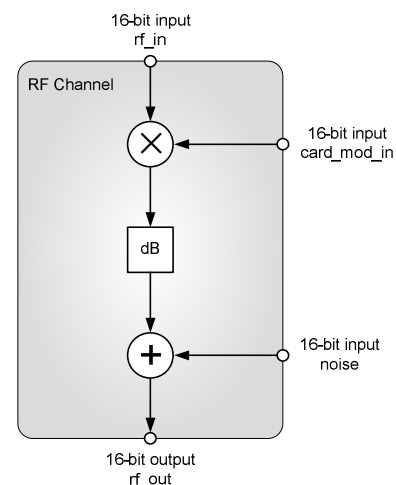


Рисунок 6 — Структурная схема базового блока модели канала связи

характеризуючий затухання ВЧ сигналів в каналі зв'язу.

Така структура базового блоку моделі каналу зв'язу дозволяє моделювати роботу *RFID*-системи, що містить декілька считувачів і меток, що підтримують різні стандарти *ISO*. В якості прикладу, на рисунку 7 зображена структурна схема *Verilog*-моделі *RFID*-системи, в якій здійснюється обмін даними між считувачем (*Reader1 NFCIP-2*) і чотирма метками з різними стандартами *ISO*.

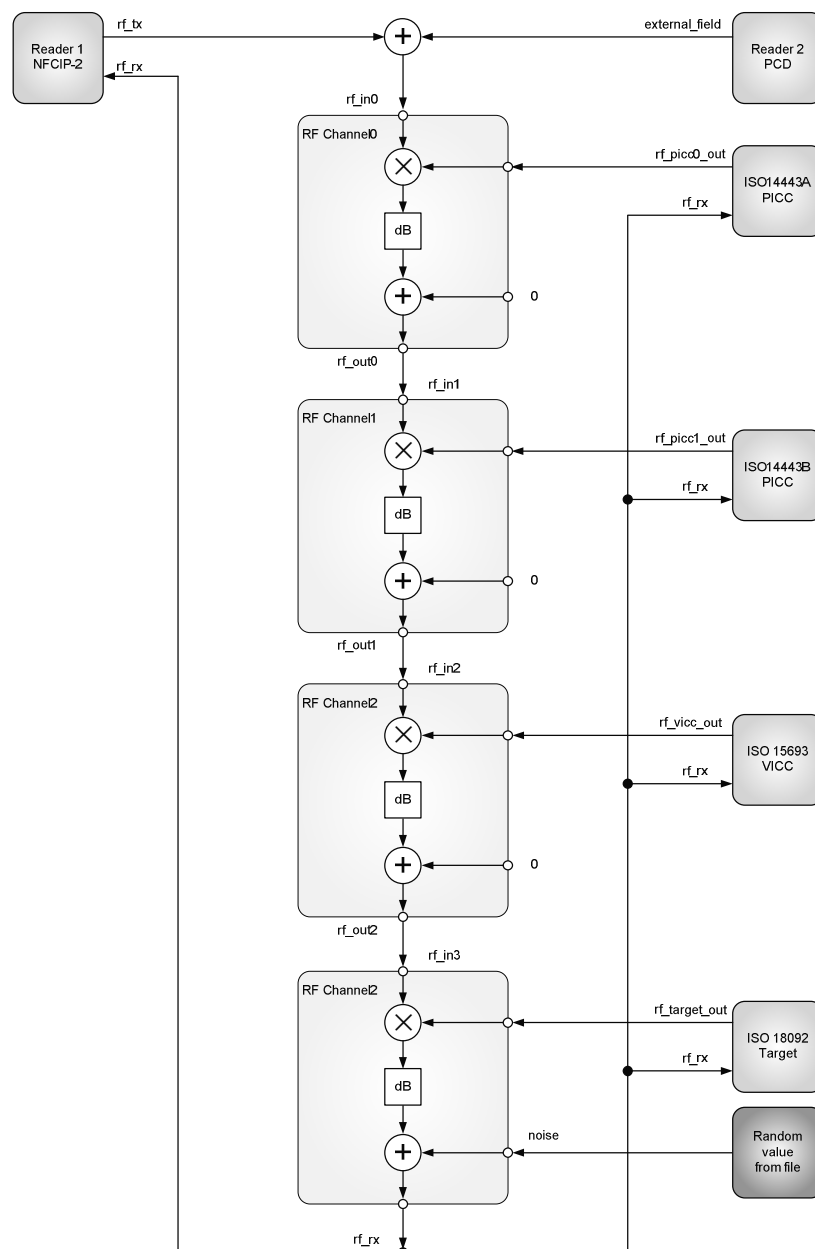


Рисунок 7 — Пример структурной схемы *Verilog*-модели *RFID*-системы

Модель второго считывателя (*Reader2*) служит как источник внешнего интерференционного сигнала для проверки протокола *NFCIP-2*, устанавливаемого стандартом *ECMA-352* для работы считывателя (*Reader1*) с метками различных стандартов.

Для верификации *RTL*-описания блока управления универсального (многостандартного) считывателя был разработан достаточно большой набор тестовых программ (*testbenches*) на языке *Verilog*. Эти тестовые программы помимо экземпляров разработанных моделей аналоговых блоков и канала связи содержали *RTL*-описание блока управления, а также набор *Verilog* процедур и функций. Разработанные тесты позволяют проводить верификацию внешних сигналов блока управления в

различных режимах работы системы, а также соответствие протоколов обмена данными стандартам ISO/IEC 14443-A, 14443-B, 15693 и 18092.

Разработанные поведенческие модели аналоговых блоков *RFID*-системы и канала связи были использованы при проектировании многостандартного *NFC/RFID* приемопередатчика MLX90132 [2]. Перспективным направлением дальнейших исследований является разработка и верификация моделей *RFID*-систем для вновь разрабатываемых стандартов.

Бibliографический список использованной литературы

1. Finkenzeller K. *RFID Handbook: Fundamentals and Applications in Contactless Smart Cards and Identification* (2 nd Edition) / K. Finkenzeller. — John Wiley&Sons, 2003. — 446 p.

2. MLX90132 Automotive 13.56MHz NFC/RFID Transceiver [Электронный ресурс]. — Электрон. текстовые данные. — Режим доступа: <http://www.melexis.com/mlx90132> 30.05.2012.

Поступила в редакцию 30.04.2012 г.

Вертегел В.В. Моделювання системи радіочастотної ідентифікації

Запропоновані результати моделювання системи радіочастотної ідентифікації (RFID). Описано поведінкові Verilog-моделі прийомопередавача та мітки RFID, що підтримують стандарти ISO/IEC 14443 типу A/B, 15693, 18092, які використовуються для верифікації інтегральної схеми на різних етапах маршруту її проектування.

Ключові слова: RFID, Verilog-опис, моделювання.

Vertegel V.V. Radio Frequency Identification System Simulation

RFID system simulations on system and RTL level are considered. The behavioral models of the RFID transceiver and TAG AFEs supporting ISO/IEC 14443 type A/B, 15693, 18092 standards that demonstrate the usage of these models for system level verification are presented.

Keywords: RFID, Analog Front-End, behavioral model.