

Министерство образования и науки Украины
Севастопольский национальный технический
университет

ИССЛЕДОВАНИЕ КОМБИНАЦИОННЫХ СХЕМ ЦИФРОВЫХ УСТРОЙСТВ

Методические указания
к лабораторной работе по дисциплине
“Электроника” для студентов
по направлению “Приборостроение”
дневной и заочной форм обучения

Севастополь
2013

Исследование комбинационных схем цифровых устройств. Методические указания к лабораторным работам по дисциплине “Электроника” / Сост.: Л.Е.Карташов – Севастополь: издательство СевНТУ, 2013. – 16 с.

Руководство предназначается для оказания помощи студентам при выполнении лабораторных работ по исследованию работы дешифраторов и мультиплексоров по дисциплине “Электроника”. В нем определены цели лабораторных работ, изложены необходимые теоретические положения. Необходимые для выполнения работ, порядок выполнения экспериментов, требования к объёму и содержанию отчётной документации.

Методические указания предназначены для студентов дневной и заочной форм обучения по направлению 6.051003 “Приборостроение”.

Методические указания рассмотрены и утверждены на заседании кафедры АПС, протокол № 9 от 07.03.2013 г.

Методические указания рассмотрены и утверждены на научно-методическом совете СевНТУ, протокол № от 20__ г.

Допущено учебно-методическим центром СевНТУ в качестве методических указаний.

Рецензенты:

В.И.Головин, к.т.н., доцент кафедры АТПП

СОДЕРЖАНИЕ

Лабораторная работа № 3. Исследование дешифраторов и шифраторов	3
1. Цель работы.....	3
2. Теоретический раздел.....	3
3. Описание лабораторной установки.....	7
4. Порядок выполнения теоретических расчетов	7
5. Порядок выполнения экспериментальных исследований	7
6. Содержание отчета	8
7. Контрольные вопросы	8
Лабораторная работа № 4. Исследование мультиплексоров	8
1. Цель работы.....	8
2. Теоретический раздел.....	8
3. Описание лабораторной установки.....	15
4. Порядок выполнения теоретических расчетов	15
5. Порядок выполнения экспериментальных исследований	15
6. Содержание отчета	15
7. Контрольные вопросы	15
Библиографический список.....	16

ЛАБОРАТОРНАЯ РАБОТА № 3. ИССЛЕДОВАНИЕ ДЕШИФРАТОРОВ И ШИФРАТОРОВ

1. ЦЕЛЬ РАБОТЫ

Изучение принципа работы, основных параметров и характеристик дешифраторов и шифраторов, экспериментальное исследование дешифраторов и шифраторов с целью получения таблиц истинности.

2. ТЕОРЕТИЧЕСКИЙ РАЗДЕЛ

Комбинационное устройство – это устройство с n входами и m выходами. Если комбинационное устройство выполнено на базе идеальных, т.е. безинерционных элементов, то состояние его выходов однозначно определяется состоянием его входов в тот же момент времени.

Дешифратор – это комбинационное устройство, предназначенное для преобразования параллельного двоичного кода в унитарный, т.е. позиционный код. При подаче на вход дешифратора параллельного двоичного кода выходной сигнал появится только на том его выходе, номер которого соответствует десятичному эквиваленту входного двоичного кода. В зависимости от типа дешифратора, этот сигнал может иметь как уровень логической единицы (при этом на всех остальных выходах уровень логического 0), так и уровень логического 0 (при этом на всех остальных выходах уровень логической 1).

В условных обозначениях дешифраторов и шифраторов используются буквы DC и CD (от слов decoder и coder соответственно).

Если количество двоичных разрядов дешифруемого кода обозначить через n , то число выходов дешифратора должно быть 2^n . Если часть входных наборов не используется, то дешифратор называют неполным.

Функционирование дешифратора описывается системой логических уравнений составленных на основе таблицы истинности. Одноступенчатый дешифратор (линейный) – наиболее быстродействующий, но при значительной разрядности входного слова требует применения логических элементов с большим числом входов и сильно нагружает источники входных сигналов.

Рассмотрим пример построения двухразрядного дешифратора на основе базовых логических элементов, с помощью таблицы истинности (см. таблицу 1).

Таблица 1 – Таблицы истинности дешифратора

X_2	X_1	Y_0	Y_1	Y_2	Y_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

Составим соответствующие логические уравнения для построения схемы дешифратора:

$$Y_0 = \overline{X_1} \cdot \overline{X_2} \quad Y_1 = \overline{X_1} \cdot X_2 \quad Y_2 = X_1 \cdot \overline{X_2} \quad Y_3 = X_1 \cdot X_2$$

Условная графическая схема дешифратора, построенного на логических элементах, и реализующая полученные логические уравнения, приведена на рис. 1.

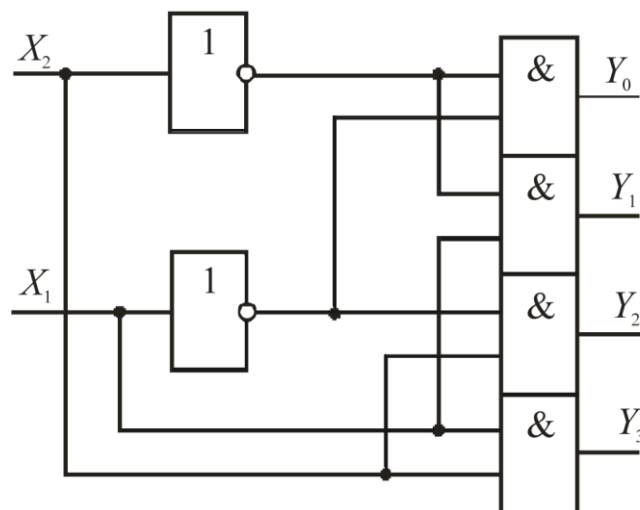


Рисунок 1 – Дешифратор 2 : 4, построенный на элементах “НЕ” и “И”

Построенные по полученным формулам дешифраторы называются линейными. К преимуществу линейных дешифраторов можно отнести высокое быстродействие, поскольку входные переменные одновременно поступают на все элементы “И”. Одновременно, без дополнительных задержек, формируется и результат на выходах этих элементов. Очевидно, что для реализации линейного дешифратора n -разрядного числа необходимо иметь 2^n логических элементов “И” с n -входами. В существующих микросхемах логических элементов количество входов ограничено. Следовательно, ограничена и разрядность реализуемых на их основе линейных де-

шифраторов, что является недостатком. Кроме того, недостатком является и то, что предыдущие элементы, работающие на входы дешифратора, должны иметь высокую нагрузочную способность, т.е. должны быть рассчитаны на подключение большого числа логических элементов И. Каждый из входов дешифратора подключен к $0,5 \cdot 2^n$ логическим элементам “И”. Поскольку нагрузочная способность базовых логических элементов интегральных схем не превышает заданной величины, то максимальная разрядность дешифрируемых чисел для линейных дешифраторов обычно от 4 до 5.

Указанного недостатка лишены пирамидальные дешифраторы. Принцип построения этих дешифраторов состоит в том, что сначала строят линейный дешифратор для двухразрядного числа $X_1 X_2$, для чего необходимы 4 двухвходовые схемы И. Каждая полученная конъюнкция логически умножается на входную переменную X_3 в прямой и инверсной форме. Полученная конъюнкция снова умножается на входную переменную X_4 в прямой и инверсной форме и т.д. Таким образом, наращивая структуру, можно построить пирамидальный дешифратор на произвольное число входов. На рис. 2 приведена структура пирамидального дешифратора для трех разрядов.

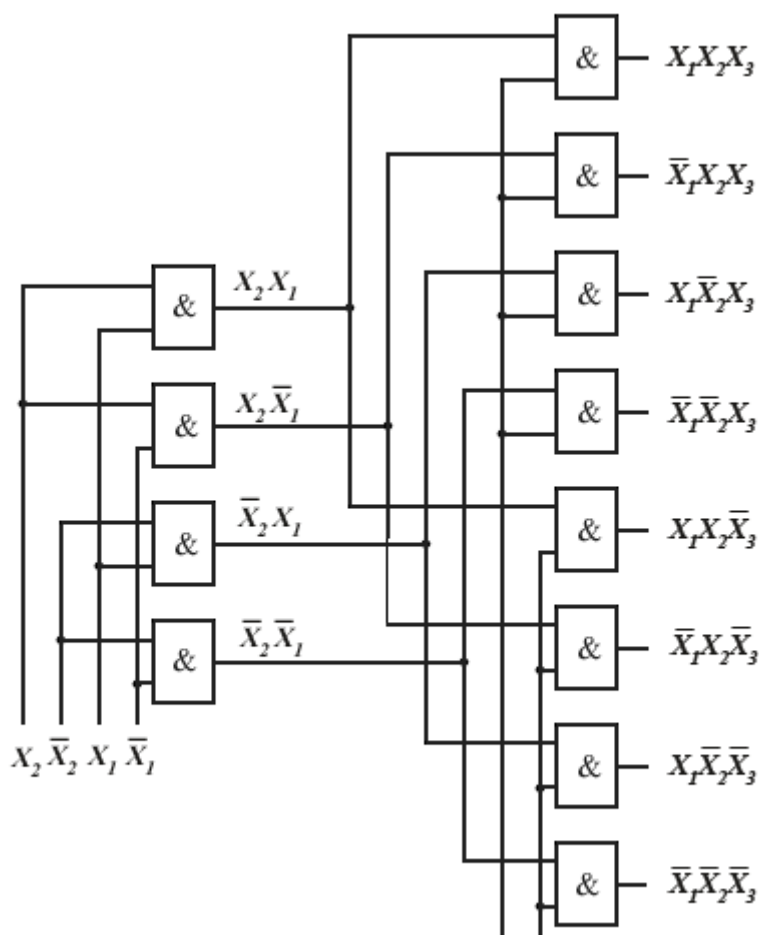


Рисунок 2 – Пирамидальный дешифратор для трехразрядного числа

Характерным отличием пирамидальных дешифраторов от линейных является использование только двухвходовых логических элементов вне зависимости от разрядности дешифрируемого числа. В то же время количество логических элементов в пирамидальном дешифраторе больше. Однако следует иметь ввиду, что количество логических элементов, располагаемых в одном корпусе интегральной схемы, опре-

деляется главным образом требуемым количеством выводов. Следовательно, в одном корпусе интегральной схемы можно расположить большее число двухвходовых элементов, чем трехвходовых, четырехвходовых и т.д. И значит, пирамидальная структура дешифратора по числу корпусов интегральных схем может оказаться более предпочтительной, чем линейная.

Шифраторы выполняют задачу обратную той, которую выполняют дешифраторы: появление логической единицы (логического нуля) на определенном входе приводит к появлению соответствующей кодовой комбинации на выходе. Также как и дешифраторы, шифраторы бывают полными и неполными. Работа восьмивходового полного шифратора задается следующей таблицей истинности:

Таблица 2 – Таблицы истинности шифратора

Входы								Выходы		
X_7	X_6	X_5	X_4	X_3	X_2	X_1	X_0	Y_3	Y_2	Y_1
0	0	0	0	0	0	0	1	0	0	0
0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	1	0	0	0	1	0
0	0	0	0	1	0	0	0	0	1	1
0	0	0	1	0	0	0	0	1	0	0
0	0	1	0	0	0	0	0	1	0	1
0	1	0	0	0	0	0	0	1	1	0
1	0	0	0	0	0	0	0	1	1	1

На основании таблицы истинности (см. таблицу 2) можно записать логические выражения, определяющие работу восьмивходового шифратора:

$$Y_1 = X_1 \vee X_3 \vee X_5 \vee X_7$$

$$Y_2 = X_2 \vee X_3 \vee X_6 \vee X_7$$

$$Y_3 = X_4 \vee X_5 \vee X_6 \vee X_7$$

Синтезированная на основании приведенных логических уравнений структурная схема шифратора представлена на рис. 3.

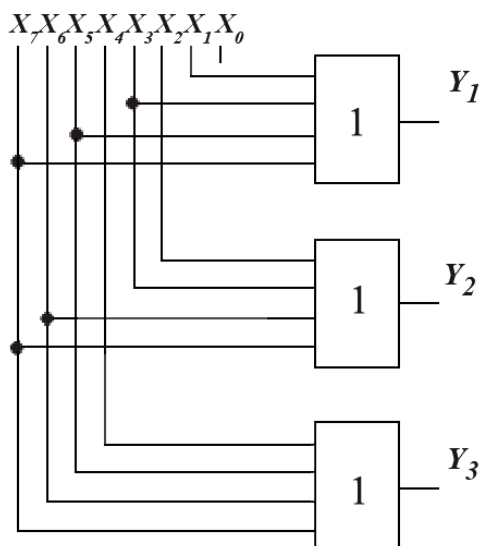


Рисунок 3 – Реализация шифратора на логических элементах

Обратите внимание, что разряд X_0 не подключается к логическим элементам, как и показано на схеме. Согласно таблице 2, ей соответствует код 000.

Как правило, дешифраторы и шифраторы изготавливаются в виде отдельных микросхем средней степени интеграции. Условные графические изображения дешифраторов и шифраторов приведены на рис. 4.

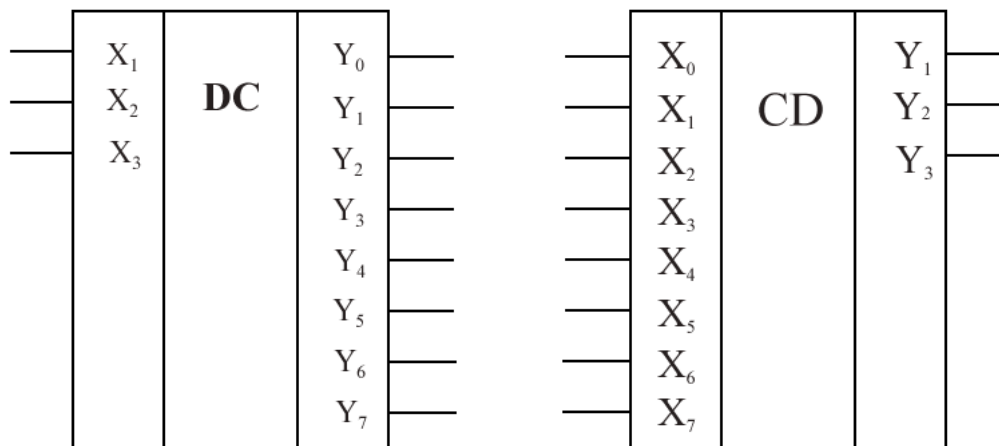


Рисунок 4 – Условные графические изображения дешифраторов и шифраторов

Реально выпускаемые микросхемы дешифраторов и шифраторов обычно имеют вход выбора микросхемы CS (Chip Select). Входы CS микросхем обычно выполняются таким образом, что при высоком логическом уровне на этом входе микросхема отключается. При низком уровне на входе CS микросхема становится активной.

3. ОПИСАНИЕ ЛАБОРАТОРНОЙ УСТАНОВКИ

В состав лабораторной установки входят: лабораторная макетная плата, блок питания и контактные перемычки.

4. ПОРЯДОК ВЫПОЛНЕНИЯ ТЕОРЕТИЧЕСКИХ РАСЧЕТОВ

Выучить принцип работы, схемы включения и возможности применения дешифраторов и шифраторов. Разработать принципиальную схему дешифратора 2:4 с активным выходом в виде логического 0, и шифратора 4:2 на типовых логических элементах. Подготовить таблицы истинности.

5. ПОРЯДОК ВЫПОЛНЕНИЯ ЭКСПЕРИМЕНТАЛЬНЫХ ИССЛЕДОВАНИЙ

1. На лабораторном стенде собрать с помощью контактных перемычек схему для исследования дешифратора 2:4 (рис. 1). Напряжение на входы схемы подавать при помощи переключателей $X_1 \dots X_4$. Коммутация верхних контактов позволяет подавать на входы схемы прямые сигналы, коммутация нижних – инверсные.
2. Построить таблицу истинности для исследуемой схемы. Состояние входов и выходов определяются при помощи светодиодов.
3. Повторить пункты 1 и 2 для дешифратора 2:4 с активным выходом в виде логического 0 и шифратора 4:2.

6. СОДЕРЖАНИЕ ОТЧЕТА

1. Цель работы.
2. Принципиальные схемы дешифраторов и шифратора на типовых логических элементах.
3. Таблицы истинности по результатам экспериментов.
4. Выводы по работе.

7. КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Для чего можно использовать дешифраторы и шифраторы.
2. На каких логических элементах строятся схемы шифраторов?
3. На каких логических элементах строятся схемы дешифраторов?
4. Каким образом осуществляется перевод числа из одной позиционной системы счисления в другую?
5. Какие условные графические обозначения применяются для интегральных схем шифраторов, дешифраторов?

ЛАБОРАТОРНАЯ РАБОТА № 4. ИССЛЕДОВАНИЕ МУЛЬТИПЛЕКСОРОВ

1. ЦЕЛЬ РАБОТЫ

Изучение принципа работы, основных параметров и характеристик мультимплексоров, экспериментальное исследование мультимплексоров с целью получения таблиц истинности.

2. ТЕОРЕТИЧЕСКИЙ РАЗДЕЛ

Мультиплексор – комбинационное устройство, обеспечивающее коммутацию одного из входов на общий выход под управлением сигналов на адресных входах. Номер подключаемого входа равен числу (адресу), определяемому комбинацией логических уровней на адресных входах.

Параллельные цифровые данные с помощью мультиплексора преобразуются в последовательные информационные сигналы, которые передаются на один выход. Простейшим примером такого мультиплексора является схема коммутатора, например, на четыре входных направления, реализованная на механических выключателях (см. рис. 5).

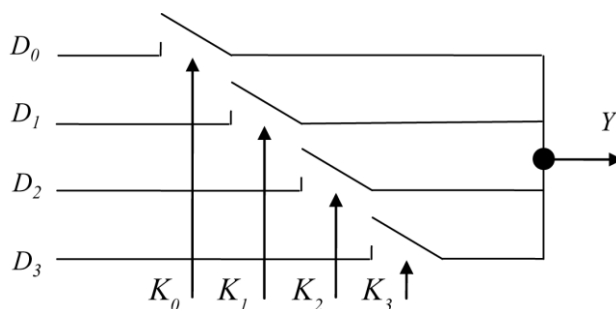


Рисунок 5 – Коммутатор, собранный на ключах

На рисунке $D_0 \dots D_3$ – входные одноканальные данные, $K_0 \dots K_3$ – выключатель как адрес входного направления, данные с которого должны быть переданы на вы-

ход Y . Для передачи n -разрядного слова необходимо использовать n однобитовых мультиплексоров (n выключателей).

В цифровых схемах требуется управлять ключами при помощи логических уровней. Поэтому желательно подобрать устройство, которое могло бы выполнять функцию ключа с электронным управлением цифровым сигналом. Если взять логический элемент “И”, один из его входов можно рассматривать как информационный вход электронного ключа, а другой вход – как управляющий. Так как оба входа логического элемента “И” эквивалентны, то не важно, какой из них будет управляющим входом. Пусть вход K будет управляющим, а D – информационным. Если на управляющий вход подан нулевой логический уровень, сигнал, поданный на вход D , на выход не проходит. При подаче на управляющий вход K логической единицы, сигнал, поступающий на вход D , появляется на выходе Y . Это означает, что логический элемент “И” можно использовать в качестве электронного ключа. При этом не важно, какой из входов элемента будет использоваться в качестве управляющего входа, а какой – в качестве информационного. Остается только объединить выходы элементов “И” на один общий выход. Это делается при помощи логического элемента “ИЛИ”. Получившийся вариант схемы коммутатора с управлением логическими уровнями представлен на рис. 6.

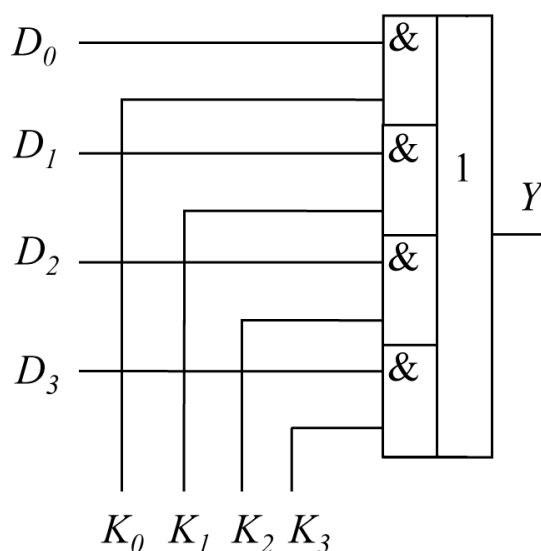


Рисунок 6 – Принципиальная схема коммутатора, построенного на элементах “И”

В схеме, приведенной на рис. 6, можно одновременно включать несколько входов на один выход. Однако обычно это приводит к непредсказуемым последствиям. Кроме того, для управления таким коммутатором требуется достаточно много входов. В цифровых устройствах мультиплексор реализуется как логический узел, в котором адрес задается двоичным кодом. При N входных направлениях требуется k адресных переменных, где $k = \log_2 N$. Поэтому в состав мультиплексора обычно включают двоичный дешифратор, как показано на рис. 7.

Такая схема позволяет управлять переключением информационных входов мультиплексора при помощи двоичных кодов, подаваемых на его управляющие входы. Количество информационных входов в таких схемах выбирают кратным степени числа два. На рисунке также показано условное графическое изображение мультиплексора.

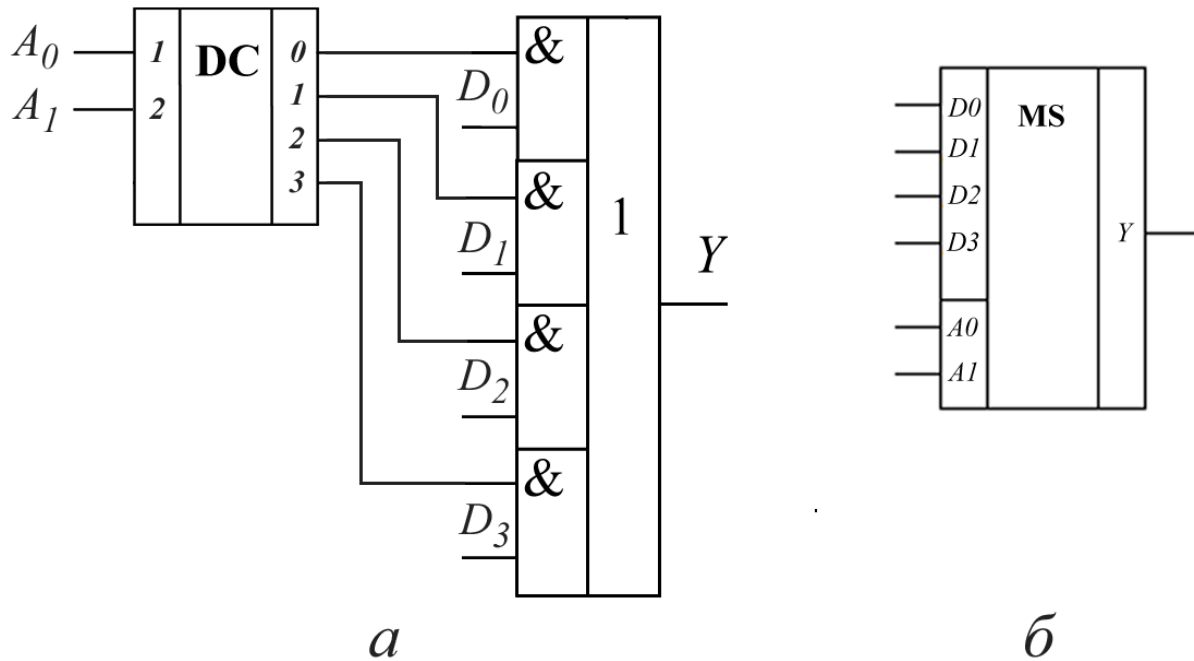


Рисунок 7 – Логическая структурная схема (а) и условное графическое изображение (б) мультиплексора

На основании определения мультиплексора составим таблицу истинности, описывающую его работу (см. табл. 3).

Таблица 3 – Таблица истинности мультиплексора

№ набора	Код адреса		Входные данные				Y
	A_1	A_0	D_0	D_1	D_2	D_3	
0	0	0	D_0	X	X	X	D_0
1	0	1	X	D_1	X	X	D_1
2	1	0	X	X	D_2	X	D_2
3	1	1	X	X	X	D_3	D_3

Знаком “X” в таблице 3 отмечено безразличное состояние. Очевидно, что в данном случае разрядность адреса входного направления $k = 2$.

Обозначим адресные переменные как A_1 и A_0 . Примем, что индекс у входного направления совпадает с номером набора адресных переменных. Итак, адрес с набором 0 передает на выход входные данные D_0 , а что подается на входы D_1 , D_2 и D_3 при этом адресе, не имеет ни какого значения; адрес с набором 1 передает на выход входные данные D_1 и т. д.

Из табл. 3 получается следующее выражение для выхода Y мультиплексора:

$$Y = \bar{A}_1 \bar{A}_0 D_0 + \bar{A}_1 A_0 D_1 + A_1 \bar{A}_0 D_2 + A_1 A_0 D_3 \quad (1)$$

В справедливости этого выражения можно убедиться, подставляя в него различные наборы адресных переменных. Из уравнения (1) следует, что для реализации

мультиплексора 4:1 необходимо использовать четыре трехвходовых элемента “И” и один четырехвходовый элемент “ИЛИ”.

Интегральные микросхемы мультиплексоров обычно имеют еще и стробирующий вход S , активный сигнал на котором разрешает работу мультиплексора, а пассивный переводит выход мультиплексора в неактивное состояние.

Расширение разрядности мультиплексоров является достаточно важным вопросом при проектировании электронных схем для приборостроения.

Рассмотрим первый вариант построения мультиплексора с большим числом информационных входов на базе полученной структуры.

Пусть требуется реализовать мультиплексор 16:1. Запишем уравнение для этого мультиплексора в виде матрицы из четырех строк и четырех столбцов (разрядность адреса k для мультиплексора 16:1 равна четырем):

$$\begin{aligned}
 Y = & \bar{A}_3 \bar{A}_2 \bar{A}_1 \bar{A}_0 D_0 \vee \bar{A}_3 \bar{A}_2 \bar{A}_1 A_0 D_1 \vee \bar{A}_3 \bar{A}_2 A_1 \bar{A}_0 D_2 \vee \bar{A}_3 \bar{A}_2 A_1 A_0 D_3 \vee \\
 & \bar{A}_3 A_2 \bar{A}_1 \bar{A}_0 D_0 \vee \bar{A}_3 A_2 \bar{A}_1 A_0 D_1 \vee \bar{A}_3 A_2 A_1 \bar{A}_0 D_2 \vee \bar{A}_3 A_2 A_1 A_0 D_3 \vee \\
 & A_3 \bar{A}_2 \bar{A}_1 \bar{A}_0 D_0 \vee A_3 \bar{A}_2 \bar{A}_1 A_0 D_1 \vee A_3 \bar{A}_2 A_1 \bar{A}_0 D_2 \vee A_3 \bar{A}_2 A_1 A_0 D_3 \vee \\
 & A_3 A_2 \bar{A}_1 \bar{A}_0 D_0 \vee A_3 A_2 \bar{A}_1 A_0 D_1 \vee A_3 A_2 A_1 \bar{A}_0 D_2 \vee A_3 A_2 A_1 A_0 D_3
 \end{aligned} \tag{2}$$

Отметим, что в выражении (2) имеют единое представление в каждой строке две старшие адресные переменные, а в каждом столбце – две младшие. Вынесем за скобки в каждой строке две старшие адресные переменные, тогда получим:

$$\begin{aligned}
 Y = & \bar{A}_3 \bar{A}_2 (\bar{A}_1 \bar{A}_0 D_0 \vee \bar{A}_1 A_0 D_1 \vee A_1 \bar{A}_0 D_2 \vee A_1 A_0 D_3) \vee \\
 & \bar{A}_3 A_2 (\bar{A}_1 \bar{A}_0 D_0 \vee \bar{A}_1 A_0 D_1 \vee A_1 \bar{A}_0 D_2 \vee A_1 A_0 D_3) \vee \\
 & A_3 \bar{A}_2 (\bar{A}_1 \bar{A}_0 D_0 \vee \bar{A}_1 A_0 D_1 \vee A_1 \bar{A}_0 D_2 \vee A_1 A_0 D_3) \vee \\
 & A_3 A_2 (\bar{A}_1 \bar{A}_0 D_0 \vee \bar{A}_1 A_0 D_1 \vee A_1 \bar{A}_0 D_2 \vee A_1 A_0 D_3)
 \end{aligned} \tag{3}$$

В выражении (3) в скобках записаны уравнения четырех мультиплексоров 4:1 с общим адресом, представленным двумя младшими адресными переменными. Обозначим выходы этих мультиплексоров соответственно как D'_0 , D'_1 , D'_2 и D'_3 , тогда уравнение (3) можно записать как:

$$Y = A_3 A_2 D'_0 \vee A_3 A_2 D'_1 \vee A_3 A_2 D'_2 \vee A_3 A_2 D'_3, \tag{4}$$

то есть опять получили уравнение мультиплексора 4:1, следовательно, всего потребуется пять мультиплексоров 4:1.

Окончательная схема мультиплексора 16:1, построенная на пяти мультиплексорах 4:1, приведена на рис. 8. Такая структура называется пирамидальной.

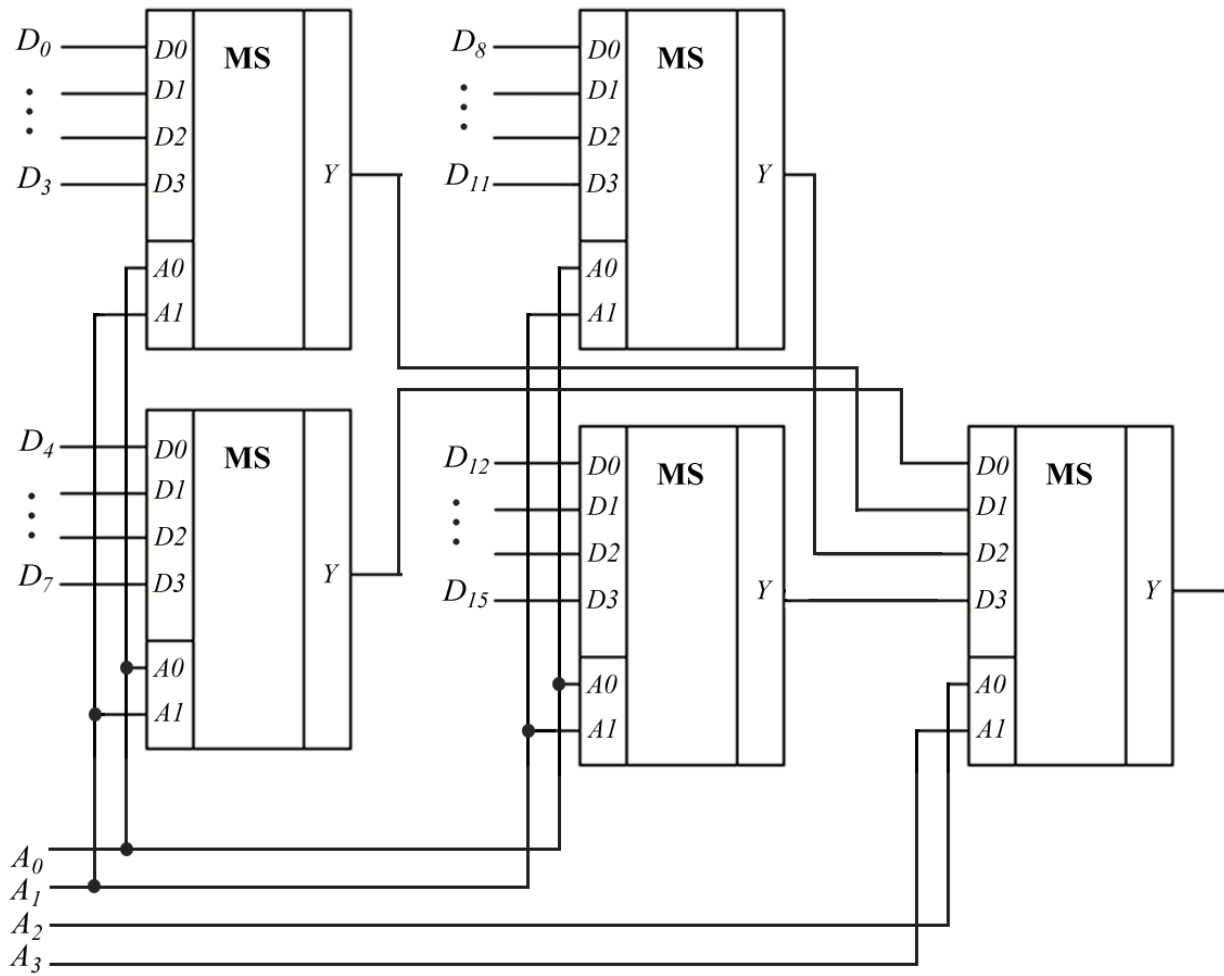


Рисунок 8 – Пирамидальная структура мультиплексора 16:1

Полученную схему также называют мультиплексным деревом или многоярусным мультиплексором. Ясно, что эту структуру можно реализовать для любого числа входов, однако она имеет очевидный недостаток – существенное возрастание задержек распространения сигналов в последовательно включенных ярусах мультиплексоров.

Рассмотрим второй вариант увеличения числа информационных входов мультиплексора. Пусть требуется реализовать мультиплексор 8:1. Запишем его уравнения в виде двух строк (здесь разрядность адреса равна трем):

$$Y = \bar{A}_2 \bar{A}_1 \bar{A}_0 D_0 \vee \bar{A}_2 \bar{A}_1 A_0 D_1 \vee \bar{A}_2 A_1 \bar{A}_0 D_2 \vee \bar{A}_2 A_1 A_0 D_3 \vee A_2 \bar{A}_1 \bar{A}_0 D_4 \vee A_2 \bar{A}_1 A_0 D_5 \vee A_2 A_1 \bar{A}_0 D_6 \vee A_2 A_1 A_0 D_7 \quad (5)$$

В первой строке адресная переменная A_2 встречается только с инверсией, а во второй – только без инверсии. Вынося за скобки переменную $\bar{A}_2$ в первой строке и A_2 во второй, получим:

$$Y = \bar{A}_2 (\bar{A}_1 \bar{A}_0 D_0 \vee \bar{A}_1 A_0 D_1 \vee A_1 \bar{A}_0 D_2 \vee A_1 A_0 D_3) \vee A_2 (\bar{A}_1 \bar{A}_0 D_4 \vee \bar{A}_1 A_0 D_5 \vee A_1 \bar{A}_0 D_6 \vee A_1 A_0 D_7) \quad (6)$$

В выражении (6) в скобках записаны уравнения двух мультиплексоров 4:1 с общим адресом, представленным двумя младшими переменными. Будем рассматривать инверсию A_2 в первой строке и A_2 во второй как стробирующие входы для этих мультиплексоров. Тогда уравнение стробируемого мультиплексора 4:1 с активным нулем на стробирующем входе C будет иметь вид:

$$Y = \bar{C} (\bar{A}_1 \bar{A}_0 D_0 \vee \bar{A}_1 A_0 D_1 \vee A_1 \bar{A}_0 D_2 \vee A_1 A_0 D_3) \quad (7)$$

Если адресную переменную A_2 подать непосредственно на вход C первого стробируемого мультиплексора, то мы реализуем первую часть выражения (6), а если ее подать через внешний дополнительный инвертор на вход C второго стробируемого мультиплексора, то мы реализуем вторую часть выражения (6).

Очевидно, что для окончательной реализации мультиплексора 8:1 на стробируемых мультиплексорах 4:1 потребуется: два мультиплексора 4:1, инвертор и двухвходовый элемент “ИЛИ”. Такая структура называется линейной.

Обобщенная схема реализации приведена на рис. 9. Такой вариант наращивания обеспечивает меньшие задержки распространения сигналов по сравнению с мультиплексным деревом.

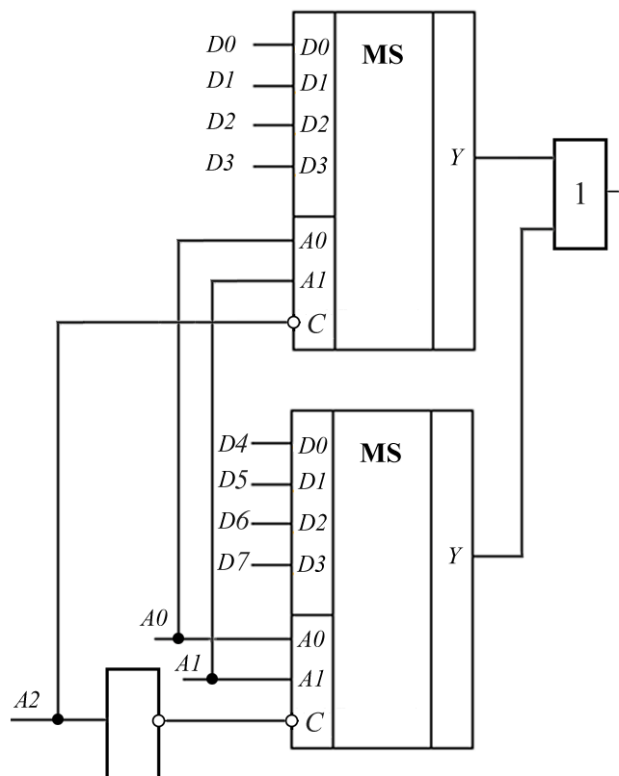


Рисунок 9 – Линейная структура объединения мультиплексоров

Третий вариант увеличения числа информационных входов реализуется наиболее просто при использовании мультиплексоров, выходная цепь которых реализована с тремя состояниями выхода. В этом случае выходы всех мультиплексоров просто соединяются в одну цепь, причем в каждый момент времени активным будет являться выход только одного выбранного мультиплексора, то есть того, на входе C которого действует активный сигнал. На рис. 10 показана схема мультиплексора 16:1, построенная на четырех мультиплексорах 4:1 с тремя состояниями выхода, активное значение у стробирующего входа которых равно 0 и одном стробируемом

дешифраторе 1 из 4-х. Такая структура называется линейной с объединением по выходу.

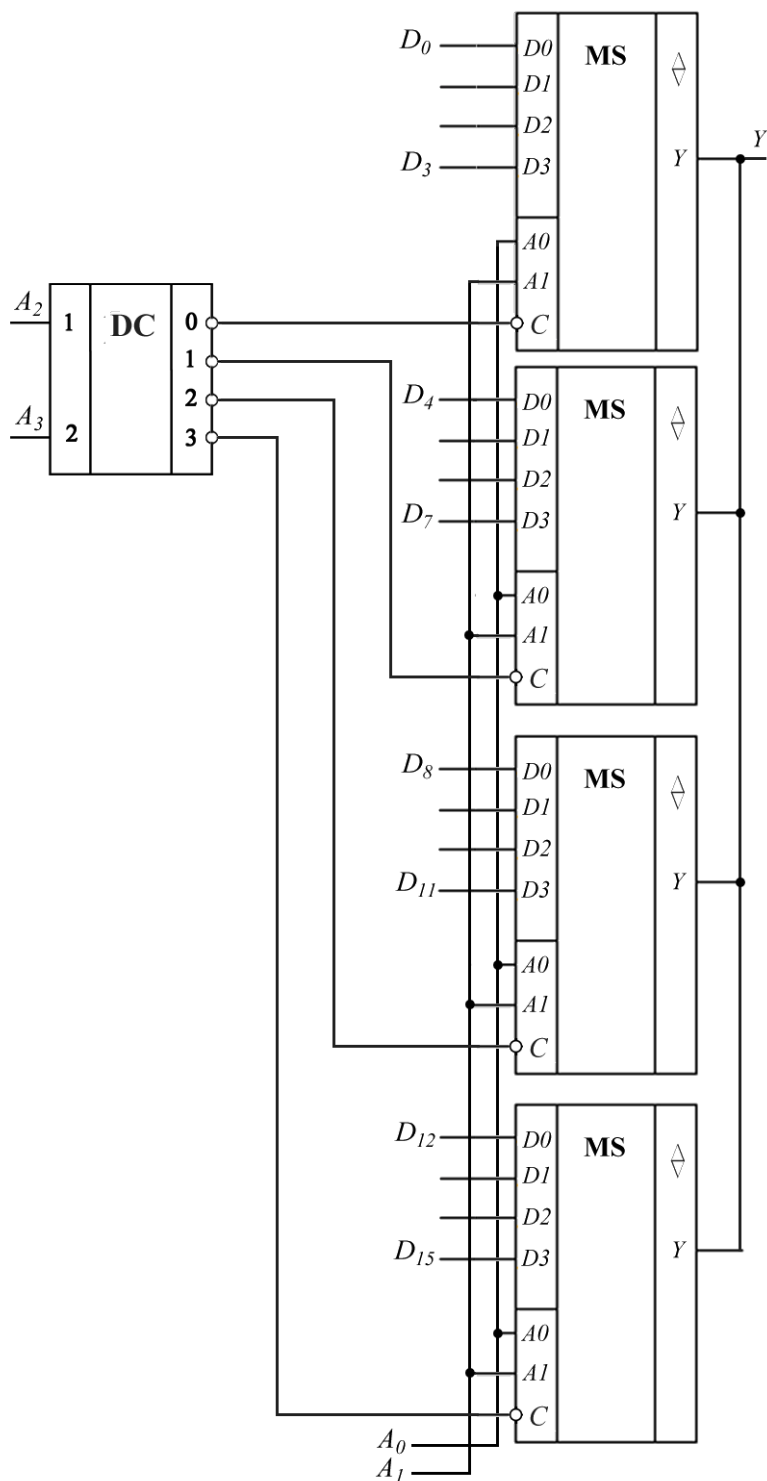


Рисунок 10 – Схема мультиплексора 16:1 с объединением по выходу

Все рассмотренные выше схемы осуществляют логическую передачу входных данных на выход мультиплексора, поэтому они используются для обработки только цифровых сигналов. Более широкие возможности обеспечивают универсальные селекторы – мультиплексоры, выполненные на двунаправленных полупроводниковых ключах, позволяющие непосредственно соединять входы с выходами.

Все цифровые комбинационные узлы являются многофункциональными, то есть они могут выполнять такие функции, которые специально для них не предусмотрены. В ряде случаев эти узлы обеспечивают некоторые схемные преимущества перед специализированными узлами, предназначенными для реализации этих функций. Мультиплексор является наиболее характерным многофункциональным узлом.

В качестве примеров использования мультиплексора по прямому назначению можно привести следующие:

- мультиплексирование многоразрядного адреса микросхем памяти;
- мультиплексное управление многоразрядными многоэлементными индикаторами;
- последовательный опрос многих переменных, датчиков и других однобитовых источников информации;
- мультиплексирование выходных данных БИС;
- построение многоканальных коммутаторов, осциллографов, и т. д.

3. ОПИСАНИЕ ЛАБОРАТОРНОЙ УСТАНОВКИ

В состав лабораторной установки входят: лабораторная макетная плата, блок питания и контактные перемычки.

4. ПОРЯДОК ВЫПОЛНЕНИЯ ТЕОРЕТИЧЕСКИХ РАСЧЕТОВ

Изучить структуру мультиплексоров, схемы построения мультиплексоров на логических элементах. Разработать схему мультиплексора 2:1, построенную на логических элементах. Изучить методы расширения разрядности мультиплексоров. Разработать принципиальную схему мультиплексора 4:1 на основе разработанной схемы мультиплексора 2:1.

5. ПОРЯДОК ВЫПОЛНЕНИЯ ЭКСПЕРИМЕНТАЛЬНЫХ ИССЛЕДОВАНИЙ

1. На лабораторном стенде собрать с помощью контактных перемычек схему для исследования мультиплексора 2:1.
2. Построить таблицу истинности мультиплексора 2:1. Состояние входов и выходов определяется при помощи светодиодов.
3. Сравнить полученную в результате эксперимента таблицу истинности с таблицей, полученной теоретическим путем.

6. СОДЕРЖАНИЕ ОТЧЕТА

1. Цель работы.
2. Принципиальная схема мультиплексора 2:1, построенную на логических элементах.
3. Таблица истинности мультиплексора по результатам эксперимента.
4. Принципиальная схема мультиплексора 4:1.
5. Выводы по работе.

7. КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Как работает мультиплексор?
2. Для чего используются мультиплексоры?

3. Какие методы увеличения разрядности мультиплексора существуют?
4. Как при помощи мультиплексора реализовать любую логическую функцию?

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Хоровиц П. Искусство схемотехники : пер. с англ. – 6-е изд., перераб. / П. Хоровиц, У. Хилл. – М. : Мир, 2001. – 704 с.
2. Бродин В.Б. Системы на микроконтроллерах и БИС программируемой логики / В.Б. Бродин, А.В. Калинин. – М. : ЭКОМ, 2002. – 400 с.
3. Угрюмов Е.П. Цифровая схемотехника : учебное пособие / Е.П. Угрюмов. – СПб. : BHV-Санкт-Петербург, 2004. – 782 с.
4. Мышляева И.М. Цифровая схемотехника: учебник / И.М. Мышляева. – М.: Академия, 2005. – 400 с.
5. Опадчий Ю.Ф. Аналоговая и цифровая электроника. Полный курс: учебник для вузов / Ю.Ф. Опадчий, О.П. Глудкин, А.И. Гуров. – М.: Горячая линия Телеком, Радио и связь, 2005. – 768 с.

Заказ №_____ от «____» _____ 2013. Тираж _____ экз.

Изд-во СевНТУ