

Министерство образования и науки Украины
Севастопольский национальный технический университет



ИССЛЕДОВАНИЕ АРИФМЕТИЧЕСКИХ СХЕМ ЦИФРОВЫХ УСТРОЙСТВ

Методические указания
к лабораторным работам по дисциплине
“Электроника” для студентов
по направлению “Приборостроение”
дневной и заочной форм обучения

Севастополь
2013

УДК 629. 114.6

Исследование арифметических схем цифровых устройств. Методические указания к лабораторным работам по дисциплине “Электроника” / Сост.: Л.Е.Карташов – Севастополь: издательство СевНТУ, 2013. – 12 с.

Руководство предназначается для оказания помощи студентам при выполнении лабораторных работ по дисциплине “Электроника” при синтезе сумматоров и цифровых компараторов и исследовании их работы. В нем определены цели лабораторных работ, изложены необходимые теоретические положения, необходимые для выполнения работ, изложен порядок выполнения экспериментов, требования к объёму и содержанию отчётной документации.

Методические указания предназначены для студентов дневной и заочной форм обучения, по направлению 6.051003 “Приборостроение”.

Методические указания рассмотрены и утверждены на заседании кафедры АПС, протокол № 9 от 07.03.2012 г.

Методические указания рассмотрены и утверждены на научно-методическом совете СевНТУ, протокол №__ от 20__ г.

Допущено учебно-методическим центром СевНТУ в качестве методических указаний.

Рецензенты:

В.И.Головин, к.т.н., доцент кафедры АТПП

СОДЕРЖАНИЕ

Лабораторная работа № 5. Исследование полусумматора и сумматора	3
1. Цель работы.....	3
2. Теоретический раздел.....	3
3. Описание лабораторной установки.....	7
4. Порядок выполнения теоретических расчетов	7
5. Порядок выполнения экспериментальных исследований	7
6. Содержание отчета	7
7. Контрольные вопросы	8
Лабораторная работа № 6. Анализ и синтез цифрового компаратора.....	8
1. Цель работы.....	8
2. Теоретический раздел.....	8
3. Описание лабораторной установки.....	11
4. Порядок выполнения теоретических расчетов	11
5. Порядок выполнения экспериментальных исследований	11
6. Содержание отчета	11
7. Контрольные вопросы	11
Библиографический список.....	11

ЛАБОРАТОРНАЯ РАБОТА № 5. ИССЛЕДОВАНИЕ ПОЛУСУММАТОРА И СУММАТОРА

1. ЦЕЛЬ РАБОТЫ

Изучение принципа работы схем, выполняющих арифметические действия над двоичными числами, основных параметров и характеристик полусумматоров и сумматоров, синтез и экспериментальное исследование полусумматоров и сумматоров.

2. ТЕОРЕТИЧЕСКИЙ РАЗДЕЛ

Сумматоры представляют собой функциональные узлы, выполняющие операцию сложения двоичных чисел. Классификация сумматоров может быть выполнена по различным признакам. Рассмотрим наиболее часто встречающиеся из них. По числу выводов различают: полусумматоры, одноразрядные сумматоры, многоразрядные сумматоры.

Полусумматором называется устройство, предназначенное для сложения двух одноразрядных чисел, имеющее два входа и два выхода и формирующее из сигналов входных слагаемых сигналы суммы и переноса в старший разряд.

Одноразрядным сумматором называется устройство, предназначенное для сложения двух одноразрядных чисел, имеющее три входа и два выхода и формирующее из сигналов входных слагаемых и сигнала переноса из младших разрядов сигналы суммы и переноса в старший разряд.

Многоразрядным сумматором называется устройство, предназначенное для сложения двух многоразрядных чисел, формирующее на выходе код суммы и сигнал

переноса в случае, если результат сложения не может быть представлен кодом, разрядность которого совпадает с разрядностью кодов слагаемых.

В свою очередь, многоразрядные сумматоры подразделяются на последовательные и параллельные. В последовательных сумматорах операция сложения выполняется последовательно разряд за разрядом, начиная с младшего. В параллельных все разряды годных кодов суммируются одновременно.

Различают комбинационные сумматоры – устройства, не имеющие собственной памяти, и накапливающие сумматоры, снабженные собственной внутренней памятью, в которой аккумулируются результаты выполненной операции. При этом каждое очередное слагаемое прибавляется к уже имевшемуся в устройстве значению.

По способу тактирования различают синхронные и асинхронные сумматоры. В синхронных сумматорах время выполнения операции арифметического суммирования двух кодов не зависит от вида самих кодов и всегда остается постоянным. В асинхронных сумматорах время выполнения операции зависит от вида слагаемых. Поэтому для завершения выполнения суммирования необходимо вырабатывать специальный сигнал завершения операции.

По характеру функционирования сумматоры делятся на две категории: комбинационные, не имеющие элементов памяти и накопительные – сохраняющие результаты своих вычислений. В свою очередь, каждый из сумматоров в зависимости от способа обработки чисел может быть отнесен к последовательному или параллельному типу.

Все сумматоры строятся на основе одноразрядных суммирующих схем. Поэтому в данной лабораторной работе изучаются основы построения одноразрядных сумматоров.

Сложение чисел в последовательных сумматорах осуществляется поразрядно, последовательно во времени. В сумматорах параллельного действия сложение всех разрядов многоразрядных чисел происходит одновременно. Рассмотрим сумматор, обеспечивающий сложение двух двоичных цифр A и B , считая, что переносы из предыдущего разряда не поступают. Этой логике отвечает сложение младших разрядов двоичных чисел. Процесс сложения описывается таблицей истинности (таблица 1). Данный простейший суммирующий элемент называется полусумматором. Он имеет два входа A и B для двух слагаемых и два выхода: S (сумма) и P (перенос). Полусумматор (half sum – полусумма) имеет два входа, поэтому пригоден только для сложения двух одноразрядных чисел.

Таблица 1 – Таблицы истинности полусумматора

A	B	S	P
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Функции выхода суммы S и переноса P определяются следующим образом:

$$S = \overline{A}B \vee A\overline{B} = A \oplus B, \quad (1)$$

$$P = AB. \quad (2)$$

Исходя из логических выражений (1) и (2), можно реализовать полусумматор на логических элементах. На рис. 1 изображены структурная схема полусумматора и его условное графическое обозначение.

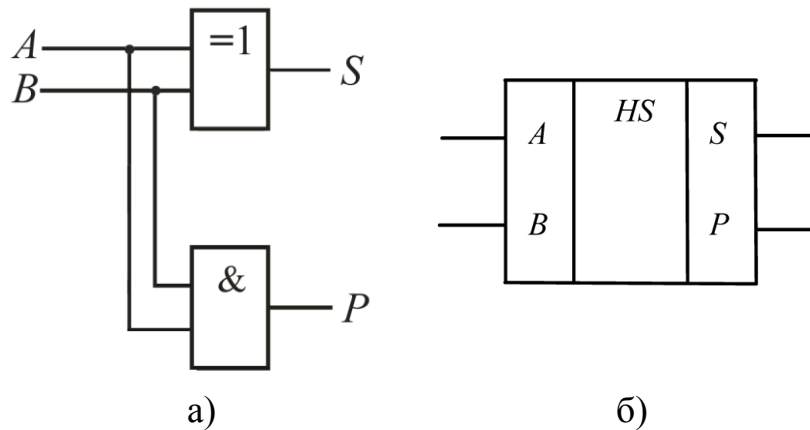


Рисунок 1 – Структурная схема (а) и условное графическое обозначение полусумматора (б)

Уравнения, положенные в основу одноразрядного сумматора, используются и при построении многоразрядных сумматоров. Логика работы каждого разряда сумматора описывается табл. 2, которую можно считать его таблицей истинности. Таблица истинности сумматора, учитывающего сигналы переноса, отличается от таблицы полусумматора дополнительным входом P_0 – переносом из предыдущих разрядов.

Таблица 2 – Таблицы истинности сумматора

A	B	P_0	S	P
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Исходные логические зависимости, формируемые по табл. 2, имеют следующие совершенные дизъюнктивные нормальные формы:

$$S = \overline{A}\overline{B}P_0 \vee \overline{A}B\overline{P_0} \vee A\overline{B}\overline{P_0} \vee ABP_0 \quad (3)$$

$$P = \overline{A}BP_0 \vee A\overline{B}P_0 \vee A\overline{B}P_0 \vee ABP_0 \quad (4)$$

Преобразование выражений (3) и (4) приводит к следующим зависимостям:

$$\begin{aligned} S &= P_0(\overline{A}\overline{B} \vee AB) \vee B(\overline{A}P_0 \vee AP_0) \vee A(\overline{B}P_0 \vee BP_0) = \\ &= P_0(A \oplus B) \vee B(A \oplus P_0) \vee A(B \oplus P_0) \\ P &= AB \vee AP_0 \vee BP_0 \end{aligned}$$

Схема одноразрядного сумматора может быть реализована на двух полусумматорах, соединенных как указано на рисунке 2. сумматор, изображен на рис. 2. Он имеет три входа: A и B для двух слагаемых и P_0 для предварительного переноса, и два выхода: S (сумма) и P (перенос).

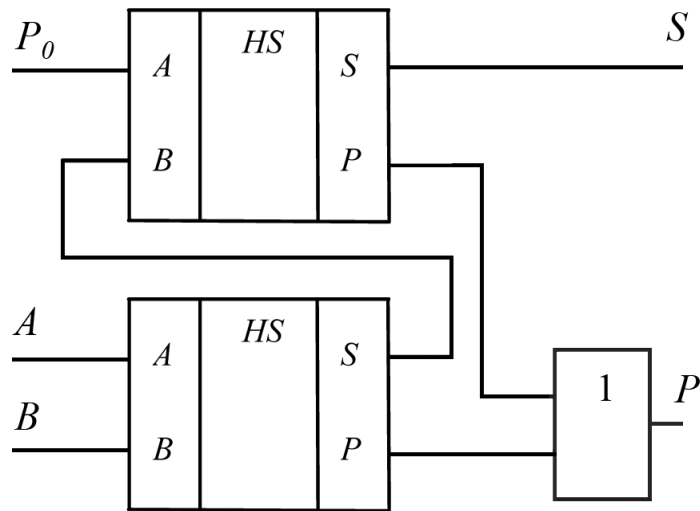


Рисунок 2 – Структурная схема одноразрядного сумматора

Условное графическое изображение полного сумматора приведено на рис. 3.

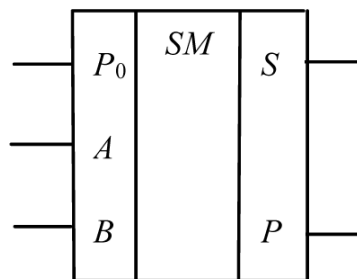


Рисунок 3 – Условное графическое обозначение одноразрядного сумматора

Как было сказано выше, многоразрядные сумматоры бывают последовательного и параллельного принципа действия. В последовательном сумматоре сложение кодов осуществляется, поразрядно начиная с младшего разряда с помощью комбинационного сумматора на три входа. Образующийся в данном разряде перенос P_{j+1} задерживается на время t и поступает на вход P_j сумматора в момент поступления следующего разряда слагаемых. Таким образом, последовательно, разряд за разрядом, производится сложение кодов чисел. Схема последовательного сумматора приведена на рисунке 4.

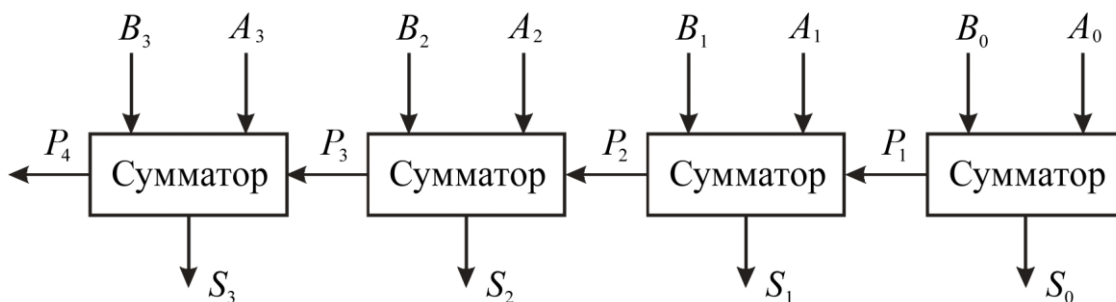


Рисунок 4 – Схема последовательного сумматора

Достоинством последовательного сумматора является простота аппаратурной реализации, а недостатком – достаточно большое время суммирования.

В параллельном сумматоре достигается более высокое быстродействие. Суммируемые коды поступают на входы сумматора одновременно по всем разрядам. Для этого в каждом разряде используется комбинационный сумматор на три входа, на выходах которого образуются значения суммы S_i данного разряда и переноса P_{i+1} в старший разряд. В процессе распространения сигнала переноса устанавливается окончательное значение суммы в каждом разряде. Очевидно, что в течение этого времени на входах сумматора присутствуют сигналы, соответствующие суммируемым кодам. Максимальное по времени суммирование получается в том случае, когда перенос, возникший в первом разряде, распространяется по всем разрядам (например, при сложении кодов $11\dots11$ и $00\dots01$).

Сумматор может вычислять не только сумму, но и разность входных кодов, то есть работать как схема вычитания. Для этого вычитаемое число надо просто поразрядно проинвертировать, а на вход переноса P_0 подать единичный сигнал. Например, пусть нам надо вычислить разность между числом 11 (1011) и числом 5 (0101). Инвертируем поразрядно число 5 и получаем 1010, то есть десятичное 10. Сумматор при суммировании 11 и 10 даст 21, то есть двоичное число 10101. Если сигнал P равен 1, то результат будет 10110. Отбрасываем старший разряд (выходной сигнал P) и получаем разность 0110, то есть число 6.

3. ОПИСАНИЕ ЛАБОРАТОРНОЙ УСТАНОВКИ

В состав лабораторной установки входят: лабораторная макетная плата, блок питания и контактные перемычки.

4. ПОРЯДОК ВЫПОЛНЕНИЯ ТЕОРЕТИЧЕСКИХ РАСЧЕТОВ

Выучить принцип работы, структурные схемы включения и возможности применения полусумматоров и сумматоров. Разработать принципиальную схему одноразрядного полного сумматора, реализованного на типовых логических элементах. Подготовить таблицы истинности.

5. ПОРЯДОК ВЫПОЛНЕНИЯ ЭКСПЕРИМЕНТАЛЬНЫХ ИССЛЕДОВАНИЙ

На лабораторном стенде собрать с помощью контактных перемычек схему для исследования полусумматора (рис. 1). Напряжение на входы схемы подавать при помощи переключателей $X1$ и $X2$. Построить таблицу истинности для исследуемой схемы. Состояние входов и выходов определяются при помощи светодиодов.

На лабораторном стенде собрать с помощью контактных перемычек схему для исследования полного сумматора. Напряжение на входы схемы подавать при помощи переключателей $X1\dots X3$. Построить таблицу истинности для исследуемой схемы. Состояние входов и выходов определяются при помощи светодиодов.

6. СОДЕРЖАНИЕ ОТЧЕТА

1. Цель работы.
2. Принципиальные схемы полусумматора и сумматора, построенные на типовых логических элементах.

3. Логические выражения, определяющие работу исследуемых устройств.
4. Таблицы истинности по результатам экспериментов.
5. Выводы по работе.

7. КОНТРОЛЬНЫЕ ВОПРОСЫ

1. В чем заключается особенность арифметических устройств и можно ли их отнести к логическим структурам?
2. В чем отличие последовательных сумматоров от параллельных?
3. Будет ли меняться результат суммирования многоразрядного сумматора, если слагаемые поменять местами?
4. Будет ли меняться результат вычитания, если вычитаемое, представленное в дополнительном коде, и уменьшаемое поменять местами в многоразрядном сумматоре?

ЛАБОРАТОРНАЯ РАБОТА № 6. АНАЛИЗ И СИНТЕЗ ЦИФРОВОГО КОМПАРАТОРА

1. ЦЕЛЬ РАБОТЫ

Изучение принципа работы, основных параметров и характеристик цифровых компараторов, экспериментальное исследование компараторов с целью получения таблиц истинности.

2. ТЕОРЕТИЧЕСКИЙ РАЗДЕЛ

Цифровые компараторы – устройства, выполняющие сравнение двух чисел, заданных в двоичном (двоично–десятичном) коде. В зависимости от схемного решения компараторы могут определять равенство $A=B$ (A и B – независимые числа с равным количеством разрядов) либо вид неравенства $A<B$ и $A>B$. Результат сравнения отображается соответствующим логическим уровнем на выходе.

Схемы сравнения, или компараторы, обычно строятся как поразрядные. Они широко используются и автономно, и в составе более сложных схем.

Число входов компаратора определяется разрядностью сравниваемых кодов.

На выходе компаратора обычно формируется три сигнала:

- $F_ =$ – равенство кодов,
- $F_ <$ – если числовой эквивалент первого кода больше второго,
- $F_ >$ – если числовой эквивалент первого кода меньше второго.

Работу компаратора при сравнении двух одноразрядных кодов поясняет таблица истинности (табл. 3).

Таблица 3 – Таблица истинности компаратора одноразрядных кодов

A	B	$F_ =$	$F_ <$	$F_ >$
0	0	1	0	0
0	1	0	0	1
1	0	0	1	0
1	1	1	0	0

Анализ таблицы истинности показывает, что при любой комбинации входных сигналов на выходе компаратора может быть сформирован только один активный (единичный) логический сигнал. Поэтому, при любой разрядности входных кодов

достаточно, используя входные сигналы, сформировать только любые два из выходных сигналов. Третий сигнал всегда может быть получен по двум известным.

$$F_{=} = \overline{AB} \vee AB = \overline{AB} \vee \overline{\overline{AB}} = \overline{A \oplus B} = \overline{F_{<}} \overline{F_{>}}$$

$$F_{<} = \overline{AB} = \overline{F_{=}} \overline{F_{>}}$$

$$F_{>} = \overline{AB} = \overline{F_{=}} \overline{F_{<}}$$

Анализируя приведенные выражения с точки зрения минимизации системы логических выражений, отметим, что, используя выходные переменные, удобнее было бы получить значения $F_{<}$ и $F_{>}$, а $F_{=}$ – реализовать как их функцию. Однако ввиду того, что выражение для определения $F_{=}$ имеет в цифровой технике большое самостоятельное значение, и носит название операции “исключающее ИЛИ–НЕ” или “инверсия от суммы по модулю два”.

На рис. 5 представлены две структурные логические схемы, соответствующие таблице истинности цифрового компаратора.

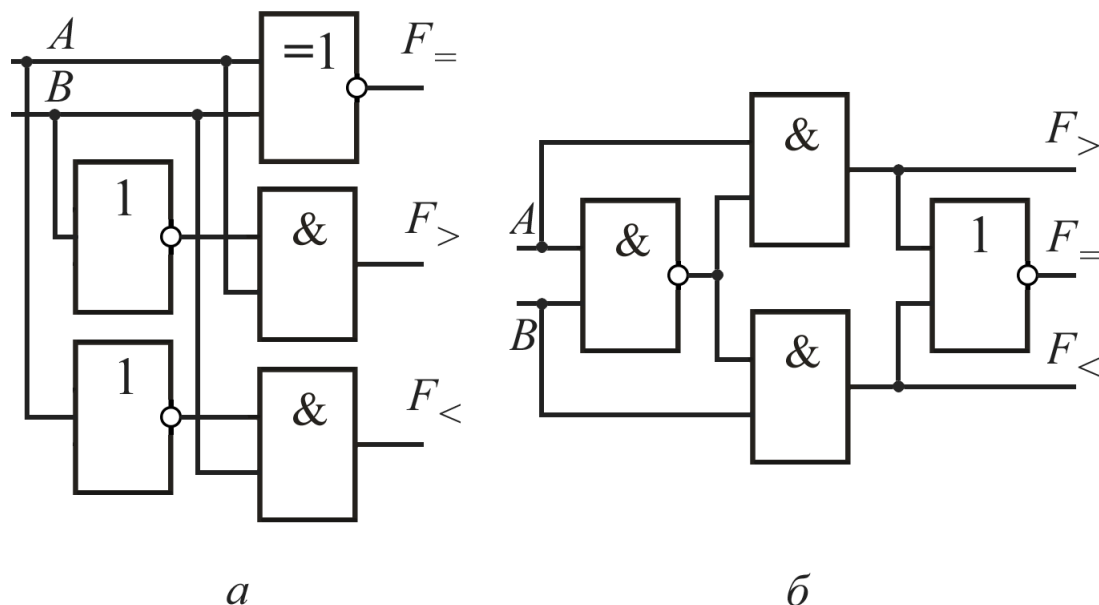


Рисунок 5 – Структурные логические схемы компаратора

На практике часто приходится сталкиваться с задачей сравнения многоразрядных двоичных кодов. Записав таблицу истинности, можно синтезировать логическую схему соответствующего устройства. Однако при увеличении числа входных переменных сделать это ввиду громоздкости получаемой таблицы весьма не просто. В данной ситуации удобно воспользоваться методом блочного конструирования, или декомпозиции задачи. Суть такого подхода состоит в разбиении сложной задачи на ряд более простых, решение которых может быть выполнено доступными средствами. Далее, с использованием полученных результатов, производится решение исходной задачи. Проиллюстрируем данный подход на примере построения цифрового компаратора многоразрядных двоичных кодов. За основу примем схему компаратора одноразрядных двоичных слов.

Очевидно, что результат сравнения двухразрядных двоичных слов можно записать через результаты сравнения одноразрядных слов. Соответствующая система логических выражений в этом случае будет иметь вид:

$$F_{=} = F_{1=} \cdot F_{0=}$$

$$F_{>} = F_{1>} \vee F_{1=} \cdot F_{0>}$$

$$F_{<} = \overline{F_{=} \cdot F_{>}}$$

Аналогично для трехразрядных кодов получим:

$$F_{=} = F_{2=} \cdot F_{1=} \cdot F_{0=}$$

$$F_{>} = F_{2>} \vee F_{2=} \cdot F_{1>} \vee F_{2=} \cdot F_{1=} \cdot F_{0>}$$

$$F_{<} = \overline{F_{=} \cdot F_{>}}$$

В общем случае для n -разрядных двоичных кодов можно записать:

$$F_{=} = F_{n-1=} \cdot F_{n-2=} \cdot \dots \cdot F_{0=}$$

$$F_{>} = F_{n-1>} \vee F_{n-1=} \cdot F_{n-2>} \vee F_{n-1=} \cdot F_{n-2=} \cdot \dots \cdot F_{1=} \cdot F_{0>}$$

$$F_{<} = \overline{F_{=} \cdot F_{>}}$$

Таким образом, с использованием цифровых компараторов, имеющих ограниченную разрядность входных слов, на основании системы логических выражений (5.7) всегда можно построить устройство требуемой разрядности.

Два n -разрядных двоичных числа равны, когда попарно равны между собой все разряды этих чисел. Если, например, числа A и B – четырехразрядные, то признаком их равенства будет $A_3=B_3$, $A_2=B_2$, $A_1=B_1$ и $A_0=B_0$. Неравенство $A>B$ обеспечивается в четырех случаях: когда $A_3>B_3$, $A_3=B_3$ и $A_2>B_2$; $A_3=B_3$, $A_2=B_2$ и $A_1>B_1$; $A_3=B_3$, $A_2=B_2$, $A_1=B_1$, и $A_0>B_0$. Очевидно, что для выполнения неравенства $A<B$ достаточно поменять местами A и B .

Рассмотрим в качестве примера четырехразрядный цифровой компаратор серии К555СП1, восемь входов которого служат для подключения двух четырехразрядных слов: $A_0 \dots A_3$, $B_0 \dots B_3$, подлежащих сравнению (рис. 6).

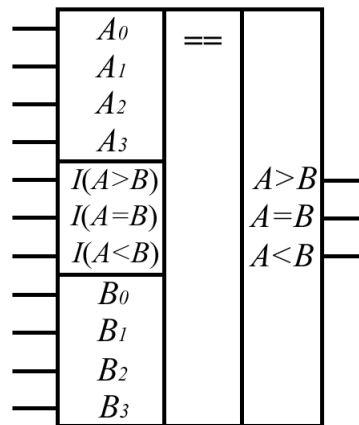


Рисунок 6 – Условное графическое обозначение компаратора К555СП1

Управляющие входы $I(A>B)$, $I(A=B)$ и $I(A<B)$ могут быть использованы для наращивания разрядности компаратора. Предусмотрены три выхода результата сравнения: $A>B$, $A=B$ и $A<B$.

Цифровые компараторы позволяют в совокупности с мультиплексорами или дешифраторами осуществлять условные логические операции: проверку арифметических условий реализует компаратор, а их исполнение – мультиплексор или дешифратор.

3. ОПИСАНИЕ ЛАБОРАТОРНОЙ УСТАНОВКИ

В состав лабораторной установки входят: лабораторная макетная плата, блок питания и контактные перемычки.

4. ПОРЯДОК ВЫПОЛНЕНИЯ ТЕОРЕТИЧЕСКИХ РАСЧЕТОВ

Изучить структуру цифровых компараторов, схемы построения компараторов на логических элементах. Разработать принципиальную схему двухразрядного компаратора, построенную на логических элементах. Изучить методы расширения разрядности компараторов.

5. ПОРЯДОК ВЫПОЛНЕНИЯ ЭКСПЕРИМЕНТАЛЬНЫХ ИССЛЕДОВАНИЙ

1. На лабораторном стенде собрать с помощью контактных перемычек схему для исследования компаратора (рис. 5, а).
2. Построить таблицу истинности компаратора. Состояние входов и выходов определяется при помощи светодиодов.
3. Повторить пункты 1 и 2 для компаратора, собранного по схеме рис. 5, б.
4. Сравнить полученные в результате эксперимента таблицы истинности с таблицей, полученной теоретическим путем.

6. СОДЕРЖАНИЕ ОТЧЕТА

1. Цель работы.
2. Принципиальная схема одноразрядного и двухразрядного компаратора, построенная на логических элементах.
3. Таблица истинности компаратора по результатам эксперимента.
4. Выводы по работе.

7. КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Как работает компаратор?
2. Для чего используются компараторы?
3. Как увеличить разрядности компаратора (на примере К555СП1)?
4. В чем заключается метод блочного конструирования?

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Хоровиц П. Искусство схемотехники : пер. с англ. – 6-е изд., перераб. / П. Хоровиц, У. Хилл. – М. : Мир, 2001. – 704 с.
2. Бродин В.Б. Системы на микроконтроллерах и БИС программируемой логики / В.Б. Бродин, А.В. Калинин. – М. : ЭКОМ, 2002. – 400 с.
3. Угрюмов Е.П. Цифровая схемотехника : учебное пособие / Е.П. Угрюмов. – СПб. : ВHV-Санкт-Петербург, 2004. – 782 с.
4. Мышляева И.М. Цифровая схемотехника: учебник / И.М. Мышляева. – М.: Академия, 2005. – 400 с.
5. Опадчий Ю.Ф. Аналоговая и цифровая электроника. Полный курс: учебник для вузов / Ю.Ф. Опадчий, О.П. Глудкин, А.И. Гуров. – М.: Горячая линия Телеком, Радио и связь, 2005. – 768 с.

Заказ № _____ от « ____ » _____ 2012 . Тираж _____ экз.

Изд-во СевНТУ