

**МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ
РОССИЙСКОЙ ФЕДЕРАЦИИ**

**Федеральное государственное автономное
образовательное учреждение высшего образования
«СЕВАСТОПОЛЬСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ»**

Институт радиоэлектроники и информационной безопасности

**ОСНОВЫ ПРОЕКТИРОВАНИЯ
ЭЛЕКТРОННОЙ КОМПОНЕНТНОЙ БАЗЫ**

**Методические указания
к лабораторному практикуму по дисциплине
для студентов очной и заочной форм обучения
направления 11.03.04 «Электроника и наноэлектроника»**

**Севастополь
СевГУ
2017**

УДК 621.389

Р е ц е н з е н т:

В.К. Макаров - канд. техн. наук, доцент кафедры «Электронная техника»

Ответственный за выпуск:

*Ю.П. Михайлюк - заведующий кафедрой «Электронная техника»,
канд. техн. наук, доцент*

Составители: Начаров Д.В., Вертегел В.В.

Основы проектирования электронной компонентной базы: метод. указания к лабораторному практикуму по дисциплине для студентов очной и заочной форм обучения направления 11.03.04 «Электроника и наноэлектроника» / Сост. Д.В. Начаров, В.В. Вертегел. – Севастополь: СевГУ, 2017. – 90 с.

Целью методических указаний является оказание помощи студентам в выполнении лабораторных работ по дисциплине «Основы проектирования электронной компонентной базы», а также в получении ими практических навыков выбора конструкции и проведения расчетов пассивных и активных элементов гибридных и полупроводниковых интегральных схем.

УДК 621.389

Методические указания утверждены на заседании кафедры электронной техники, протокол № 1 от 06 сентября 2017 года.

СОДЕРЖАНИЕ

Введение	4
Лабораторная работа № 1. Проектирование пленочных резисторов.....	5
Лабораторная работа № 2. Проектирование пленочных конденсаторов	21
Лабораторная работа № 3. Проектирование пленочных индуктивностей.....	34
Лабораторная работа № 4. Схемотехнические моделирование элементов интегральных схем технологии КМОП	45
Лабораторная работа № 5. Проектирование топологии интегральных схем технологии КМОП	64
Библиографический список.....	87
Приложение А.....	88
Приложение Б	90

ВВЕДЕНИЕ

Дисциплина «Основы проектирования электронной компонентной базы» входит в раздел «Б1. Вариативная часть» ФГОС по направлению подготовки ВПО 11.03.04 — Электроника и нанoeлектроника. Дисциплина является вариативной в обучении бакалавра, ей предшествуют курсы: «Физические основы электроники», «Твердотельная электроника», предполагающие проведение лекционных и семинарских занятий с обязательными итоговыми контролями.

Дисциплина является предшествующей для освоения отдельных разделов учебных дисциплин «Компоненты интегральных схем», «Сверхбольшие интегральные схемы».

Целью методических указаний является оказание помощи студентам в подготовке и выполнении лабораторных работ по дисциплине «Основы проектирования электронной компонентной базы», а также в получении ими практических навыков выбора конструкции и проведения расчетов пассивных и активных элементов гибридных и полупроводниковых интегральных схем.

В данную методическую разработку включены пять лабораторных работ.

Лабораторные работы 1-3 посвящены проектированию пассивных элементов пленочных и гибридных интегральных схем. Выполнение этих лабораторных работ предполагает выбор конструкции пассивных элементов, выбор диэлектрических, резистивных и проводящих пленок, расчет номиналов пассивных элементов с учетом заданных допусков и создание чертежа топологии.

Лабораторные работы 4-5 посвящены проектированию и моделированию интегрального цифрового инвертора. Выполнение этих работ предполагает схемотехническое и топологическое проектирование цифрового инвертора, выполненного в рамках технологического процесса КМОП с проектной нормой 0,6 мкм, выполнение проверок соблюдения правил проектирования, извлечения паразитных параметров топологии, а также моделирование характеристик инвертора на различных этапах проектирования.

Отчеты по лабораторным работам должны иметь титульный лист и содержать следующие разделы:

- цель работы;
- результаты теоретических исследований и расчетных заданий;
- топологические чертежи спроектированных элементов интегральных схем;
- результаты моделирования;
- выводы.

Лабораторная работа № 1

ПРОЕКТИРОВАНИЕ ПЛЕНОЧНЫХ РЕЗИСТОРОВ

Цель работы — ознакомиться с видами конструкций и методикой расчета тонкопленочных и толстопленочных резисторов, применяемых в качестве элементов пленочных и гибридных интегральных схем.

1.1. Теоретические сведения

1.1.1. Конструкции пленочных резисторов

Пленочные резисторы являются наиболее распространенными элементами гибридных интегральных микросхем (ГИМС) и микросборок (МСБ). В зависимости от толщины различают тонко- и толстопленочные резисторы. Толщина тонкопленочных резисторов не превышает 1 мкм, и они изготавливаются преимущественно методами вакуумного напыления и осаждения.

Пленочные резисторы представляют собой узкие резистивные пленки, нанесенные на диэлектрическую подложку, на концах которых имеются контактные площадки, обладающие высокой электропроводностью. На рис. 1.1 показаны наиболее распространенные конфигурации таких резисторов.

Наиболее распространенной является полосковая прямоугольная форма (рис. 1.1, а), как самая простая по технологическому исполнению, но совершенная с точки зрения ее воспроизводимости. Высокоомные резисторы, имеющие значительную длину, в целях рационального использования площади подложки, выполняются в форме змейки (рис. 1.1, в), меандра (рис. 1.1, г) или состояются из последовательно соединенных полосок, повторяющих форму меандра (рис. 1.1, б). Резисторы, выполненные из составных полосок, отличаются большей точностью воспроизведения, лучшей стабильностью характеристик и надежностью. Однако они занимают несколько большую площадь, чем меандр. Меандр уступает в отношении стабильности и надежности конфигурации типа «змейка» из-за перегрева на внутренних участках изгибов, но он предпочтительней с точки зрения проектирования и изготовления масок и фотошаблонов.

При проектировании формы пленочных резисторов контактные площадки следует располагать с противоположных сторон. Этот прием позволяет устранить погрешности совмещения проводящего и резистивного слоев, приводящие к изменению длины резистора.

При выборе конструкции для толстопленочных резисторов необходимо учитывать, что они изготавливаются, в основном, в форме прямоугольных полосок. Для низкоомных тонкопленочных резисторов иногда применяется конструкция с внутренней контактной площадкой (рис. 1.1, е).

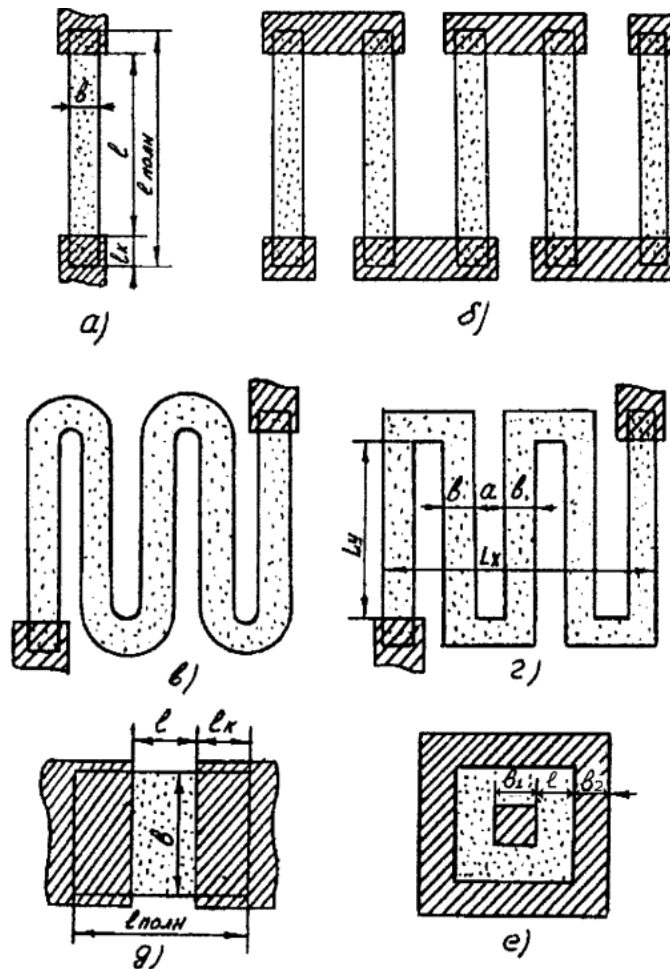


Рис. 1.1. Конструкции пленочных резисторов

1.1.2. Основные параметры пленочных резисторов

Основной характеристикой резистора является его номинальное сопротивление R_n

$$R_n = \frac{\rho l}{S} = \frac{\rho l}{bd} = R_q \frac{l}{b} = R_q K_F, \quad (1.1)$$

где ρ — удельное сопротивление резистивного материала;

l, b, d — длина, ширина и толщины резистивной пленки;

$R_q = \frac{\rho}{d}$ — сопротивление квадрата резистивной пленки, не зависящее от его размеров и выражающееся в Ом/кв (Ом-на-квадрат);

$K_F = \frac{l}{b}$ — коэффициент формы резистора.

Общее сопротивление пленочного резистора прямоугольной формы

$$R_n = R_q K_F + 2R_k, \quad (1.2)$$

где R_k — переходное сопротивление контакта резистивной и проводящей пленок.

При расчете резистора, выполненного в форме меандра, следует учитывать, что в местах изгиба потенциальное поле становится неоднородным (рис. 1.2), и у внутреннего угла выделяется энергия, существенно большая, чем у внешнего. Потенциальное поле выравнивается на расстоянии b от угла перегиба. Сопротивление углового квадрата оказывается равным $0,55R_q$ ($K_F = 0,55$). Поэтому сопротивление трех квадратов, составляющих прямой угол, равно $2,55R_q$.

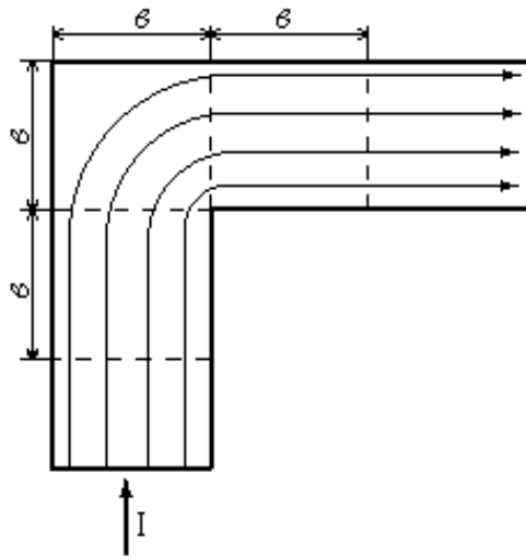


Рис. 1.2. Распределение плотности тока в резисторах типа «меандр»

Сопротивление изгиба закругленной формы (заштрихованный участок рис. 1.3)

$$R' = \frac{1,57 R_q}{\ln(r_1/r_2)}.$$

В частном случае, когда ширина резистивной пленки $b = 2r_2$, сопротивление закругленной части «змейки»

$$2R' = 2,86R_q.$$

Тогда выражение для общего сопротивления пленочного резистора, выполненного в форме меандра, запишется в виде

$$R_M = R_q n' + m \cdot 0,55R_q + 2R_k, \quad (1.3)$$

где n' — число квадратов с $K_F = 1$ (условно назовем их «чистыми»);

m — число угловых квадратов с $K_F = 0,55$.

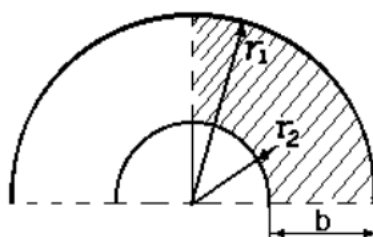


Рис. 1.3. Конструкция резистора типа «змейка»

Сопротивление «змейки» будет состоять из сопротивления прямолинейных и криволинейных участков резистора:

$$R_S = R_q n_\Sigma + m' \cdot \frac{1,57 R_q}{\ln(r_1/r_2)} + 2R_k, \quad (1.4)$$

где n_Σ — суммарное число квадратов прямолинейных участков;

m' — число изгибов конфигурации.

Следует учитывать, что величина контактного сопротивления в сильной степени зависит от выбора контактных материалов, а также технологических условий их получения. Поэтому в каждой лаборатории значения R_k определяют экспериментально. При расчете высокоомных резисторов обычно величиной R_k пренебрегают.

Допуск на номинальное сопротивление $\Delta R/R$ определяется относительным изменением сопротивления резистора, обусловленным техническими погрешностями изготовления и дестабилизирующими факторами, связанными с температурными изменениями и старением материалов.

Полная относительная погрешность резистора $\varepsilon_R = \Delta R/R$ определяется суммой всех погрешностей изготовления и погрешностей, возникающих при его эксплуатации

$$\varepsilon_R = \Delta R/R = \varepsilon_{R_q} + \varepsilon_{K_F} + \varepsilon_{R_k} + \varepsilon_{R_T} + \varepsilon_{R_O}, \quad (1.5)$$

где $\varepsilon_{R_q} = \Delta \rho/\rho + \Delta d/d$ — относительная погрешность воспроизведения R_q ;

$\varepsilon_{K_F} = \Delta l/l + \Delta b/b$ — относительная погрешность K_F ;

ε_{R_k} — погрешность переходных контактных сопротивлений;

ε_{R_T} — погрешность, связанная с температурной нестабильностью сопротивления;

ε_{R_O} — погрешность, связанная со старением материала.

Для характеристики температурной стабильности введено понятие о температурном коэффициенте сопротивления (ТКС) материала α_R

$$\alpha_R = \frac{1}{R} \frac{dR}{dT}.$$

Температурная погрешность сопротивления ε_{R_T} определяется как

$$\varepsilon_{R_T} = \alpha_R \Delta T = \alpha_R (t_{\max} - T_0) \approx \alpha_R (t_{\max} - 20^\circ \text{C}),$$

где $T_0 = 20^\circ \text{C}$ — температура при нормальных условиях эксплуатации.

Погрешность ε_{R_O} , обусловленная старением пленки, определяет временную нестабильность сопротивления пленочного резистора. Она зависит от материала пленок, эффективности их защиты, а также от условий хранения и экс-

платации. Коэффициент старения пленочного резистора практически равен коэффициенту старения K_O удельного поверхностного сопротивления, обусловленному изменением структуры пленки и ее окислением

$$\varepsilon_{R_O} = \frac{\Delta R_O}{R} t = K_O t,$$

где t — время эксплуатации, в течение которого сопротивление резистора изменилось на ΔR_O .

Для ГИМС ε_{R_O} обычно не превышает 3 %.

Погрешность ε_{R_k} зависит от технологических условий напыления металлических пленок, удельного сопротивления резистивных пленок и геометрических размеров перекрытия контактных площадок. При правильном выборе материалов и геометрии контактных площадок величиной ε_{R_k} можно пренебречь.

Допустимая мощность рассеяния $P_{\max}$ определяется удельной мощностью рассеяния P_0 материала пленки и площадью резистора

$$P_{\max} = P_0 S = P_0 l b. \quad (1.6)$$

Удельная мощность рассеяния P_0 определяет нагрузочную способность пленочных резисторов и является энергетической характеристикой данного материала (табл. 1.1).

Таблица 1.1 — Свойства материалов для тонкопленочных резисторов

Материал	R_q , Ом / кв	$\alpha_R \cdot 10^{-4}$, град ⁻¹	P_0 , Вт / см ²	$\varepsilon_{R_O}^*$, %
Хром	50–500	0,6–1,8	1	2
Тантал	25–100	– 12	3	1
TaN	50–500	1	3	0,2
Нихром	25–300	±1	2	1
МЛТ-3М	50–500	0,6	2	±0,5
Кермет К-20С	$(1-3) \cdot 10^3$	0,5	2	±1
Кермет К-50С	$(3-10) \cdot 10^3$	– 5 ... +3	2	±1
Сплавы				
РС 4800	$10^2 - 10^3$	2	5	1
РС 3710	$50-3 \cdot 10^3$	– 1	5	0,5
РС 3001	$800-3 \cdot 10^3$	– 0,2	5	0,5
РС 4400	$(1-5) \cdot 10^3$	3	10	–
РС 2005	$(8-50) \cdot 10^4$	12	5	2
РС 5400	5–100	0,5	2	1

* после 1000 часов работы под нагрузкой 1 Вт/см² при 85 °С.

1.2. Расчет и проектирование топологии тонкопленочных резисторов

1.2.1. Порядок расчета пленочного резистора

Конструктивный расчет тонкопленочных резисторов заключается в определении формы геометрических размеров и минимальной площади, занимаемой

на подложке. При этом необходимо, чтобы резисторы обеспечивали рассеяние заданной мощности при удовлетворении требуемой точности изготовления в условиях существующих технологических возможностей.

Исходными данными для расчета являются:

- номинальное сопротивление R_n , Ом;
- допуск на номинал ε_R , %;
- мощность рассеяния P_n , мВт;
- допустимая мощность рассеяния $P_{\max}$, мВт;
- относительные погрешности ε_{R_q} , ε_{K_F} , ε_{R_k} , ε_{R_T} , ε_{R_O} ;
- Δl , Δb — абсолютные погрешности изготовления l , b , мкм.

Рассмотрим порядок расчета пленочного резистора.

1) По данным табл. 1.1 выбирают материал резистивной пленки. Критериями выбора материала являются минимальные значения α_R , ε_R , ε_O и оптимальные значения ρ , d , P_0 . При расчете группы резисторов определяют оптимальное с точки зрения минимума площади под резисторами сопротивление квадрата пленки R_{qopt} по формуле

$$R_{qopt} = \sqrt{\frac{\sum_{i=1}^N R_{ni}}{\sum_{i=1}^N 1/R_{ni}}}, \quad (1.7)$$

где N — число резисторов;

R_{ni} — номинал i -го резистора.

Если в одной ГИМС содержатся высокоомные и низкоомные резисторы, т. е. $R_{\max}/R_{\min} \geq 200$, то возможно (хотя нежелательно) использование двух резистивных материалов.

2) Проводят проверку правильности выбора материала с точки зрения обеспечения заданной точности изготовления и стабильности резисторов. Для этого из выражения (1.5) определяют допустимую погрешность коэффициента формы $\varepsilon_{K_F \text{ доп}}$

$$\varepsilon_{K_F \text{ доп}} = \varepsilon_R - \varepsilon_{R_q} - \varepsilon_{R_k} - \varepsilon_{R_T} - \varepsilon_{R_O}.$$

Если значение $\varepsilon_{K_F \text{ доп}}$ получится отрицательным, то это означает, что изготовление резистора заданной точности из выбранного материала невозможно. В этом случае необходимо выбрать другой материал с другими ε_{R_q} , ε_{R_T} и ε_{R_O} .

3) Используя соотношение (1.1), определяют коэффициент формы резистора K_F . Если $1 \leq K_F \leq 10$, то рекомендуется конструировать полосковую конфигурацию резистора (рис. 1.1, а); при значениях $K_F > 10$ резистор сложной формы (рис. 1.1, б, в, г); при $0,3 \leq K_F \leq 1$ резистор прямоугольной формы, у ко-

торого длина меньше ширины (рис. 1.1, д). Резистор с $K_F < 0,3$ конструировать не рекомендуется. В этом случае возможно использование конструкции резистора с внутренней контактной площадкой (рис. 1.1, е).

Если в одной схеме содержатся низкоомные и высокоомные резисторы, то возможно использование двух резистивных материалов, хотя это усложняет технологию изготовления ИМС.

4) Дальнейший расчет проводят в зависимости от формы резисторов.

Для **резисторов прямоугольной формы** с $K_F \geq 1$ сначала определяют ширину $b_{\text{расч}}$, а затем длину резистора $l_{\text{расч}}$.

Ширину резистора определяют из условия

$$b_{\text{расч}} \geq \max \{ b_{\text{техн}}, b_{\text{точн}}, b_P \}, \quad (1.8)$$

где $b_{\text{техн}}, b_{\text{точн}}, b_P$ — минимальное значение ширины резистора, обусловленное технологическими возможностями изготовления, точностью воспроизведения и мощностью рассеяния, соответственно.

Значение $b_{\text{техн}}$ определяется возможностями технологического процесса.

Ширина резистора $b_{\text{точн}}$, обусловленная точностью воспроизведения определяется как

$$b_{\text{точн}} \geq \frac{\Delta b + \Delta l / K_F}{\varepsilon_{K_F \text{ доп}}}, \quad (1.9)$$

где $\Delta b, \Delta l$ — абсолютные погрешности изготовления ширины и длины резистора.

Если $\Delta b = \Delta l$, то

$$b_{\text{точн}} \geq \frac{\Delta b (K_F + 1)}{K_F \varepsilon_{K_F \text{ доп}}}.$$

Минимальное значение b_P определяют по формуле

$$b_P = \sqrt{\frac{P R_q}{P_0 R_n}} = \sqrt{\frac{P}{P_0 K_F}}. \quad (1.10)$$

Для $b_{\text{расч}}$ выбирают наибольшее значение из полученных $b_{\text{техн}}, b_{\text{точн}}, b_P$. Затем находят топологическую ширину резистора $b_{\text{топ}}$ (ширину на чертеже топологии). За $b_{\text{топ}}$ принимают большее, чем $b_{\text{расч}}$ значение, кратное шагу координатной сетки, принятого для чертежа топологии. Шаг координатной сетки выбирают равным половине клетки координатной сетки. Например, если чертеж выполняют на миллиметровке, то за шаг координатной сетки принимают 0,5 мм. Тогда, если масштаб составляет 10 : 1, округление $b_{\text{топ}}$ проводят до величины, кратной 50 мкм.

Длину резистора $l_{\text{расч}}$ (без учета контактных площадок) определяют из выражения (1.2)

$$l_{\text{расч}} = \frac{b_{\text{топ}} (R_n - 2R_k)}{R_q} = \frac{b_{\text{топ}} (R_n - 2k_l R_q)}{R_q}, \quad (1.11)$$

где k_l — коэффициент, учитывающий сопротивление контактов резистора. Этот коэффициент зависит от уровня технологии, материалов контактирующей пары и величины перекрытия контактных площадок l_k . В случаях, когда $l_k = b$, для упрощения расчета значение k_l принимается равным 0,1.

За $l_{\text{топ}}$ принимают ближайшее к $l_{\text{расч}}$ число, кратное шагу координатной сетки.

Если $l_{\text{топ}} > 300$ мкм, то l_k можно выбирать из таблицы конструктивно-технологических ограничений, оставляя (для упрощения расчета) значения $k_l = 0,1$. Для фотолитографических методов создания топологии $l_k \geq 100$ мкм, для массовых — $l_k \geq 200$.

Полная длина резистора с учетом перекрытия контактных площадок

$$l_{\text{полн}} = l_{\text{топ}} + 2l_k. \quad (1.12)$$

Площадь, занимаемая резистором на подложке,

$$S = l_{\text{полн}} b. \quad (1.13)$$

После расчета рисуют топологию резистора.

Для резисторов, имеющих $K_F < 1$, сначала определяют длину, а затем ширину. Расчетное значение длины резистора выбирают из условия

$$l_{\text{расч}} \geq \max \{ l_{\text{тех}}, l_{\text{точн}}, l_P \}, \quad (1.14)$$

где

$$l_{\text{точн}} \geq \frac{\Delta l + \Delta b K_F}{\varepsilon_{K_F \text{ доп}}}, \quad (1.15)$$

$$l_P = \sqrt{\frac{P_n K_F}{P_0}}. \quad (1.16)$$

За $l_{\text{топ}}$ принимают большее, чем $l_{\text{расч}}$ значение, кратное шагу координатной сетки. Полную длину резистора с учетом перекрытия контактных площадок определяют по формуле (1.12).

Ширину $b_{\text{расч}}$ определяют из формулы для R_n

$$b_{\text{расч}} = \frac{R_q l_{\text{топ}}}{R_n - 2k_l R_q}.$$

За $b_{\text{топ}}$ принимают ближайшее к $b_{\text{расч}}$ число, кратное шагу координатной сетки.

После расчета резистора рисуют его топологию.

Наибольшее применение для высокоомных **резисторов сложной формы** с $K_F > 10$ находит форма меандра. Расчет меандра проводят из условия минимальной габаритной площади, занимаемой резистором, в такой последовательности: сначала по формулам (8–10) определяют ширину резистивной полоски.

Затем проводят оптимизацию формы и размеров резистора. Для этого определяют число звеньев меандра N_M из условия, чтобы площадь, занимаемая резистором, была минимальной. Очевидно, это будет в случае, когда меандр впишется в квадрат. Для резистора, показанного на рис. 1.1, г, это условие будет выполняться при $L_x = L_y + 2b$. При конструировании резисторов в форме меандра обычно выбирают a и b равными. Для такого резистора

$$\begin{aligned} L_x &= (2N_M - 1)b; \\ L_y &= \frac{n_0 b - 3b(N_M - 1)}{N_M}, \end{aligned}$$

где n_0 — полное число квадратов (без учета контактных).

Тогда, если $L_x = L_y + 2b$,

$$\frac{n_0 b - 3b(N_M - 1)}{N_M} + 2b = (2N_M - 1)b. \quad (1.17)$$

Отсюда

$$N_M = \pm \sqrt{\frac{n_0 + 3}{2}}.$$

Для определения N_M можно принять $n_0 \approx l/b = K_F$, тогда

$$N_M \approx \sqrt{\frac{K_F + 3}{2}}. \quad (1.18)$$

Значение N_M округляют до ближайшего целого.

После этого по формуле (1.3) определяют число «чистых квадратов». В формуле (1.3) $m = 2N_M - 1$ — число угловых квадратов, а коэффициент k_l , учитывающий контактное сопротивление, принимают равным 0,1.

Тогда

$$n' = \frac{R_n - 2(N_M - 1)0,55R_q - 2 \cdot 0,1R_q}{R_q}. \quad (1.19)$$

Полученные значения b, L_x, L_y, N_M, n' позволяют составить топологический чертеж.

Квадратная или близкая к ней форма резистора типа «меандр» часто оказывается неудобной при компоновке элементов на подложке микросхемы. В этих случаях, задавшись одним из размеров, например, L_x определяют другой размер и число звеньев меандра N_M' . Для случая, когда расстояние между звеньями резистора $a = b$,

$$N_M' = \frac{L_x + b}{2b}.$$

1.2.2. Пример расчета группы тонкопленочных резисторов

Рассчитать группу тонкопленочных резисторов при следующих исходных данных:

- номиналы резисторов $R_1 = 10 \text{ кОм}$; $R_2 = 1 \text{ кОм}$; $R_3 = 100 \text{ кОм}$;
- допуск на номинал $\varepsilon_{R1} = 5 \%$, $\varepsilon_{R2} = 15 \%$, $\varepsilon_{R3} = 15 \%$;
- мощность рассеяния $P_{n1} = 8 \text{ мВт}$; $P_{n2} = 10 \text{ мВт}$; $P_{n3} = 15 \text{ мВт}$;
- диапазон температур $(-50 \dots +100) ^\circ\text{C}$;
- $\varepsilon_{R_q} = 2,5 \%$;
- $\varepsilon_{R_o} = 0,3 \%$.

Масштаб чертежа – 20 : 1 на миллиметровке. Технология позволяет получить $\Delta l = \Delta b = 5 \text{ мкм}$, а $b_{\text{техн}} = 125 \text{ мкм}$.

1) По формуле (7) определяем значение

$$R_{\text{гопт}} = \sqrt{\frac{10+1+100}{0,1+0,01+1}} = 10 \text{ кОм / кв.}$$

Из табл. 1 выбираем материал резистивной пленки с ближайшим значением R_q . Подходящим по этому параметру является кермет К-50С ($R_q = 10 \text{ кОм / кв}$, $\alpha_R = -5 \cdot 10^{-4} \text{ } 1/^\circ\text{C}$, $P_0 = 20 \text{ мВт/мм}^2$).

2) Проверяем правильность выбора материала для R1:

$$\varepsilon_{R_T} = 5 \cdot 10^{-4} (100 - 20) 100 \% = 4 \%;$$

$$\varepsilon_{K_{F\text{доп}}} = 5 - 4 - 2,5 - 0,3 < 0 \text{ .}$$

Это означает, что изготовление R1 с заданной точностью невозможно.

Необходимо выбрать другой материал с меньшим ε_{R_T} . Наименьшее значение α_R имеет сплав РС-3001 ($R_q = 2 \text{ кОм/кв}$, $\alpha_R = -2 \cdot 10^{-4} \text{ } 1/^\circ\text{C}$, $P_0 = 20 \text{ мВт/мм}^2$). Определяем для него

$$\varepsilon_{R_T} = 0,2 \cdot 10^{-4} (100 - 20) 100 \% = 0,16 \%;$$

$$\varepsilon_{K_{F\text{доп}}} = 5 - 0,16 - 2,5 - 0,3 = 2,04\% \text{ .}$$

Следовательно, сплав РС-3001 подходит для изготовления всех резисторов.

3) Определяем коэффициент формы резисторов: $K_{F1} = 5$; $K_{F2} = 0,5$; $K_{F3} = 50$.

Для R1 и R2 выбираем полосковую форму, для R3 – форму меандра.

4) Если метод изготовления резистора не задан, то из анализа точностных данных и площади подложки выбирают способ получения конфигурации резистора. В данном случае получение $\varepsilon_{R1} = 5 \%$ и $\Delta l = \Delta b = 5 \text{ мкм}$ может обеспечить только *фотолитография*.

Далее проводим расчет для каждого резистора.

Проведем **расчет резистора R1.**

По формулам (8–10) определяем $b_{\text{расч}}$

$$b_{1\text{точн}} = \frac{5 \cdot (5+1)}{5 \cdot 0,0204} = 294,1 \text{ мкм};$$

$$b_{1P} = \sqrt{8/(5 \cdot 10^{-5} \cdot 5)} = 178,8 \text{ мкм}.$$

Принимаем значение $b_{\text{топ}} = 300 \text{ мкм}$.

Тогда длина резистора

$$l_{1\text{расч}} = \frac{300(10 - 2 \cdot 0,1 \cdot 2)}{2} = 1440 \text{ мкм};$$

$$l_{1\text{тто}} = 1450 \text{ мкм};$$

$$l_{\text{полн.топ}} = 1450 + 2 \cdot 300 = 2050 \text{ мкм}.$$

Площадь резистора $S_1 = 2050 \cdot 300 = 0,615 \text{ мм}^2$.

Проведем **расчет резистора R2**.

Находим значение $\varepsilon_{K_{F\text{доп}}}$ для этого резистора:

$$\varepsilon_{K_{F\text{доп}}} = 15 - 2,5 - 0,16 - 0,3 = 12,04\% .$$

По формулам (1.14–1.16) определяем

$$l_{2\text{точ}} = \frac{5 + 5 \cdot 0,5}{0,1204} = 62,5 \text{ мкм};$$

$$l_{2P} = \sqrt{\frac{10 \cdot 0,5}{5 \cdot 10^{-5}}} = 316,2 \text{ мкм}.$$

Принимаем $l_{2\text{топ}} = 325 \text{ мкм}$.

Тогда

$$b_{1\text{расч}} = \frac{2 \cdot 325}{1 - 2 \cdot 0,1 \cdot 2} = 1083 \text{ мкм}, \quad b_{2\text{топ}} = 1075 \text{ мкм}.$$

Так как $b_{2\text{топ}}$ составляет значительную величину, то не имеет смысла выбирать $l_k = b_{2\text{топ}}$. Выберем из таблицы конструктивно-технологических ограничений $l_k = 200 \text{ мкм}$.

Тогда с учетом перекрытия контактных площадок $l_{\text{полн.топ}} = 325 + 2 \cdot 200 = 725 \text{ мкм}$.

Площадь резистора $S_2 = 725 \cdot 1075 = 0,790 \text{ мм}^2$.

Проведем **расчет резистора R3**.

Находим ширину резистивной полоски резистора R3:

$$b_{3\text{точн}} = \frac{(5 + 5/50)100}{15 - 2,5 - 0,16 - 0,3} = \frac{5,1}{0,12} = 52,5 \text{ мкм};$$

$$b_{3P} = \sqrt{\frac{15}{5 \cdot 10^{-5} \cdot 50}} = 77,5 \text{ мкм}.$$

Принимаем $b_{\text{зтоп}} = 125$ мкм, т. к. $b_{\text{зтехн}} = 125$ мкм.

Примем расстояние между звеньями меандра $a = b = 125$ мкм.

Определим оптимальное число звеньев меандра по (1.18)

$$N_M \approx \sqrt{\frac{50+3}{2}} \approx 5.$$

По формуле (1.19) определяем число чистых квадратов

$$n' = \frac{100 - 2 \cdot 4 \cdot 0,55 \cdot 2 - 2 \cdot 0,1 \cdot 2}{2} = 45,4.$$

Находим число чистых квадратов в одном звене

$$n_{L_y} = \frac{n' - (N_M - 1)}{N_M} = \frac{45,4 - 4}{5} = 8,28.$$

Тогда $L_{\text{урасч}} = 8,28 \cdot 125 = 1034$ мкм. С учетом шага координатной сетки $L_{\text{зтоп}} = 1025$ мкм; $L_y + 2b = 1250$ мкм; $L_x = b(2N_M - 1) = 9 \cdot 125 = 1125$ мкм.

$$S_M = 1275 \cdot 1125 \approx 1,43 \text{ мм}^2.$$

В этом примере $L_{\text{зтоп}}$ пришлось округлять до 1025 мкм. На округлении мы потеряли почти 1 % точности изготовления ϵ_{KF} . Эту потерю можно уменьшить, если добавить

$$L_y' = \Delta L_y N_M = 9 \cdot 5 = 45 \text{ мкм}.$$

С учетом шага координатной сетки $L_y' = 50$ мкм. Эту длину можно добавить к одному из выводов R3 или по $1/2 L_{\text{зтоп}}'$, т. е. 25 мкм к каждому.

Улучшение точности проектирования можно получить и при округлении n_{L_y} до целого числа в меньшую сторону, а остаток добавить к одному или обоим выводам

$$n_{L_y} = \frac{n' - (N_M - 1)}{N} = \frac{54,4 - 4}{5} = \frac{41,4}{5} = 8 = 1000 \text{ мкм}.$$

Длина L_y тогда составит: $L_y = n_{L_y} b = 128 \cdot 8 = 1000$ мкм.

Остаток (1,4 чистых квадрата) необходимо присоединить к концевым квадратам. В зависимости от местоположения резистора в схеме этот остаток можно присоединить к обоим концевым квадратам, например, по 0,7 квадрата (рис. 1.4, в), или к одному из них (1,4 квадрата).

Длина перекрытия $l_k = 125$ мкм.

Площадь резистора:

$$S_s = b^2 (2N_M - 1)(n_{L_y} + 2) = 125^2 \cdot 9 \cdot 10 = 140625 \text{ мкм}^2 \approx 1,4 \text{ мм}^2.$$

Топологические чертежи резисторов R1, R2 и R3 приведены на рис. 1.4.

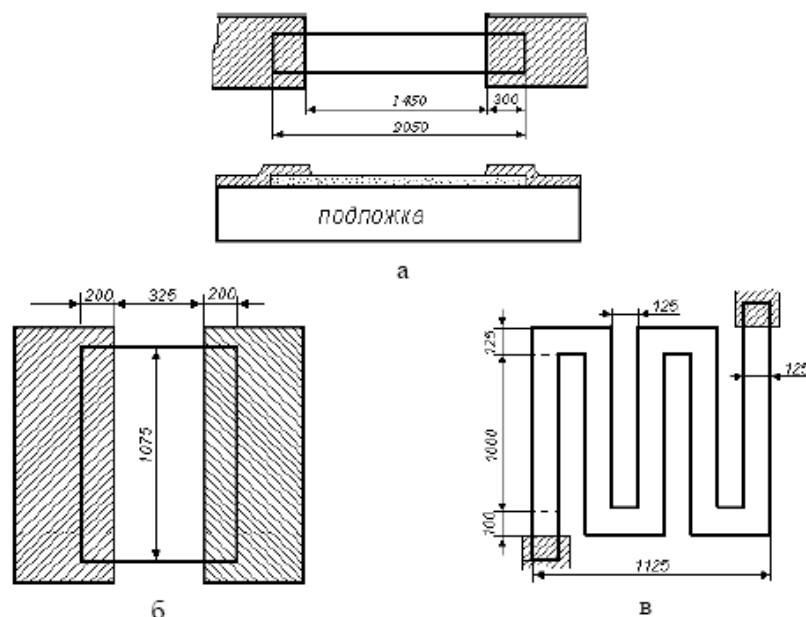


Рис. 1.4. Топологические чертежи резисторов: а – R1, б – R2, в – R3

1.2.3. Расчет и проектирование топологии толсто пленочных резисторов

Если в одной ГИМС или МСБ, изготавливаемой по толсто пленочной технологии, отношение номиналов $\frac{R_{\max}}{R_{\min}} > 5$, то для получения пленочных резисторов на одной плате рекомендуется использование нескольких резистивных паст. При этом все резисторы должны иметь прямоугольную полосковую форму с $0,2 \leq K_F \leq 0,60$. Поскольку в процессе производства толсто пленочных резисторов чрезвычайно трудно обеспечить приемлемую точность сопротивления, применяется лазерная подгонка номиналов. В связи с этим расчет резисторов на точность не производят. В остальном расчет толсто пленочных резисторов проводят по той же схеме, что и для тонко пленочных.

1.3. Задание на проектирование группы тонко пленочных резисторов

Рассчитать группу тонко пленочных резисторов R1, R2, R3 и выполнить их топологические чертежи.

Исходные данные для расчетов приведены в табл. 1.2.

В расчетах предполагать, что используемая технология позволяет получить $\Delta l = \Delta b = 5$ мкм, а $b_{\text{техн}} = 125$ мкм.

Диапазон рабочих температур принять равным $(-50 \dots +100)^\circ\text{C}$.

Таблица 1.2 – Таблица индивидуальных заданий на проектирование группы тонкопленочных резисторов

Вариант	Параметры	Значения
1	Номинальные сопротивления	$R_1 = 16,4 \text{ кОм}; R_2 = 150 \text{ кОм}; R_3 = 2 \text{ кОм}$
	Допуски на номинал	$\varepsilon_{R_1} = 5\%; \varepsilon_{R_2} = 15\%; \varepsilon_{R_3} = 15\%$
	Мощности рассеяния	$P_{n1} = 12 \text{ мВт}; P_{n2} = 18 \text{ мВт}; P_{n3} = 15 \text{ мВт}$
	Относительные погрешности	$\varepsilon_{R_q} = 2,5\%; \varepsilon_{R_O} = 0,3\%.$
2	Номинальные сопротивления	$R_1 = 8 \text{ кОм}; R_2 = 5 \text{ кОм}; R_3 = 120 \text{ кОм}$
	Допуски на номинал	$\varepsilon_{R_1} = 10\%; \varepsilon_{R_2} = 10\%; \varepsilon_{R_3} = 15\%$
	Мощности рассеяния	$P_{n1} = 8 \text{ мВт}; P_{n2} = 10 \text{ мВт}; P_{n3} = 15 \text{ мВт}$
	Относительные погрешности	$\varepsilon_{R_q} = 3,5\%; \varepsilon_{R_O} = 0,3\%.$
3	Номинальные сопротивления	$R_1 = 18 \text{ кОм}; R_2 = 4 \text{ кОм}; R_3 = 110 \text{ кОм}$
	Допуски на номинал	$\varepsilon_{R_1} = 5\%; \varepsilon_{R_2} = 15\%; \varepsilon_{R_3} = 15\%$
	Мощности рассеяния	$P_{n1} = 10 \text{ мВт}; P_{n2} = 12 \text{ мВт}; P_{n3} = 15 \text{ мВт}$
	Относительные погрешности	$\varepsilon_{R_q} = 2,5\%; \varepsilon_{R_O} = 0,3\%.$
4	Номинальные сопротивления	$R_1 = 15,2 \text{ кОм}; R_2 = 8 \text{ кОм}; R_3 = 130 \text{ кОм}$
	Допуски на номинал	$\varepsilon_{R_1} = 10\%; \varepsilon_{R_2} = 10\%; \varepsilon_{R_3} = 15\%$
	Мощности рассеяния	$P_{n1} = 8 \text{ мВт}; P_{n2} = 10 \text{ мВт}; P_{n3} = 15 \text{ мВт}$
	Относительные погрешности	$\varepsilon_{R_q} = 3,5\%; \varepsilon_{R_O} = 0,3\%.$
5	Номинальные сопротивления	$R_1 = 13,8 \text{ кОм}; R_2 = 7,5 \text{ кОм}; R_3 = 140 \text{ кОм}$
	Допуски на номинал	$\varepsilon_{R_1} = 5\%; \varepsilon_{R_2} = 15\%; \varepsilon_{R_3} = 15\%$

	Мощности рассеяния	$P_{n1} = 12 \text{ мВт}; P_{n2} = 18 \text{ мВт}; P_{n3} = 15 \text{ мВт}$
	Относительные погрешности	$\varepsilon_{R_q} = 2,5\%; \varepsilon_{R_O} = 0,3\%.$
6	Номинальные сопротивления	$R1 = 14,7 \text{ кОм}; R2 = 4,7 \text{ кОм}; R3 = 170 \text{ кОм}$
	Допуски на номинал	$\varepsilon_{R1} = 10\%; \varepsilon_{R2} = 10\%; \varepsilon_{R3} = 15\%$
	Мощности рассеяния	$P_{n1} = 10 \text{ мВт}; P_{n2} = 12 \text{ мВт}; P_{n3} = 15 \text{ мВт}$
	Относительные погрешности	$\varepsilon_{R_q} = 3,5\%; \varepsilon_{R_O} = 0,3\%.$
7	Номинальные сопротивления	$R1 = 12,5 \text{ кОм}; R2 = 3,3 \text{ кОм}; R3 = 105 \text{ кОм}$
	Допуски на номинал	$\varepsilon_{R1} = 5\%; \varepsilon_{R2} = 15\%; \varepsilon_{R3} = 15\%$
	Мощности рассеяния	$P_{n1} = 8 \text{ мВт}; P_{n2} = 10 \text{ мВт}; P_{n3} = 15 \text{ мВт}$
	Относительные погрешности	$\varepsilon_{R_q} = 2,5\%; \varepsilon_{R_O} = 0,3\%.$
8	Номинальные сопротивления	$R1 = 9 \text{ кОм}; R2 = 6,8 \text{ кОм}; R3 = 103 \text{ кОм}$
	Допуски на номинал	$\varepsilon_{R1} = 10\%; \varepsilon_{R2} = 10\%; \varepsilon_{R3} = 15\%$
	Мощности рассеяния	$P_{n1} = 8 \text{ мВт}; P_{n2} = 10 \text{ мВт}; P_{n3} = 15 \text{ мВт}$
	Относительные погрешности	$\varepsilon_{R_q} = 3,5\%; \varepsilon_{R_O} = 0,3\%.$
9	Номинальные сопротивления	$R1 = 17 \text{ кОм}; R2 = 7 \text{ кОм}; R3 = 110 \text{ кОм}$
	Допуски на номинал	$\varepsilon_{R1} = 5\%; \varepsilon_{R2} = 15\%; \varepsilon_{R3} = 15\%$
	Мощности рассеяния	$P_{n1} = 10 \text{ мВт}; P_{n2} = 12 \text{ мВт}; P_{n3} = 15 \text{ мВт}$
	Относительные погрешности	$\varepsilon_{R_q} = 2,5\%; \varepsilon_{R_O} = 0,3\%.$
10	Номинальные сопротивления	$R1 = 15 \text{ кОм}; R2 = 2,2 \text{ кОм}; R3 = 130 \text{ кОм}$
	Допуски на номинал	$\varepsilon_{R1} = 10\%; \varepsilon_{R2} = 10\%; \varepsilon_{R3} = 15\%$
	Мощности рассеяния	$P_{n1} = 12 \text{ мВт}; P_{n2} = 18 \text{ мВт}; P_{n3} = 15 \text{ мВт}$

	Относительные погрешности	$\varepsilon_{R_q} = 3,5\%; \varepsilon_{R_O} = 0,3\%.$
11	Номинальные сопротивления	$R1 = 13 \text{ кОм}; R2 = 5,4 \text{ кОм}; R3 = 140 \text{ кОм}$
	Допуски на номинал	$\varepsilon_{R1} = 5\%; \varepsilon_{R2} = 15\%; \varepsilon_{R3} = 15\%$
	Мощности рассеяния	$P_{n1} = 8 \text{ мВт}; P_{n2} = 10 \text{ мВт}; P_{n3} = 15 \text{ мВт}$
	Относительные погрешности	$\varepsilon_{R_q} = 2,5\%; \varepsilon_{R_O} = 0,3\%.$
12	Номинальные сопротивления	$R1 = 11 \text{ кОм}; R2 = 7,1 \text{ кОм}; R3 = 160 \text{ кОм}$
	Допуски на номинал	$\varepsilon_{R1} = 10\%; \varepsilon_{R2} = 10\%; \varepsilon_{R3} = 15\%$
	Мощности рассеяния	$P_{n1} = 10 \text{ мВт}; P_{n2} = 12 \text{ мВт}; P_{n3} = 15 \text{ мВт}$
	Относительные погрешности	$\varepsilon_{R_q} = 3,5\%; \varepsilon_{R_O} = 0,3\%.$
13	Номинальные сопротивления	$R1 = 16 \text{ кОм}; R2 = 9 \text{ кОм}; R3 = 150 \text{ кОм}$
	Допуски на номинал	$\varepsilon_{R1} = 5\%; \varepsilon_{R2} = 15\%; \varepsilon_{R3} = 15\%$
	Мощности рассеяния	$P_{n1} = 12 \text{ мВт}; P_{n2} = 18 \text{ мВт}; P_{n3} = 15 \text{ мВт}$
	Относительные погрешности	$\varepsilon_{R_q} = 2,5\%; \varepsilon_{R_O} = 0,3\%.$
14	Номинальные сопротивления	$R1 = 14 \text{ кОм}; R2 = 3,5 \text{ кОм}; R3 = 110 \text{ кОм}$
	Допуски на номинал	$\varepsilon_{R1} = 10\%; \varepsilon_{R2} = 10\%; \varepsilon_{R3} = 15\%$
	Мощности рассеяния	$P_{n1} = 8 \text{ мВт}; P_{n2} = 10 \text{ мВт}; P_{n3} = 15 \text{ мВт}$
	Относительные погрешности	$\varepsilon_{R_q} = 3,5\%; \varepsilon_{R_O} = 0,3\%.$
15	Номинальные сопротивления	$R1 = 12 \text{ кОм}; R2 = 2,8 \text{ кОм}; R3 = 90 \text{ кОм}$
	Допуски на номинал	$\varepsilon_{R1} = 5\%; \varepsilon_{R2} = 15\%; \varepsilon_{R3} = 15\%$
	Мощности рассеяния	$P_{n1} = 10 \text{ мВт}; P_{n2} = 12 \text{ мВт}; P_{n3} = 15 \text{ мВт}$
	Относительные погрешности	$\varepsilon_{R_q} = 2,5\%; \varepsilon_{R_O} = 0,3\%.$

Лабораторная работа № 2

ПРОЕКТИРОВАНИЕ ПЛЕНОЧНЫХ КОНДЕНСАТОРОВ

Цель работы — ознакомиться с видами конструкций и методикой расчета тонкопленочных и толстопленочных конденсаторов, применяемых в качестве элементов пленочных и гибридных интегральных схем.

2. Теоретические сведения

2.1. Конструкции пленочных конденсаторов

Конструктивно пленочные конденсаторы выполняются в виде трехслойных структур металл-диэлектрик-металл или металл-диэлектрик-полупроводник и состоят из проводящих верхней и нижней обкладок, разделенных слоем диэлектрического материала. Принципиально возможно конструировать конденсаторы и в виде многослойной структуры, однако при этом возрастает вероятность брака и их стоимость.

В зависимости от толщины пленок, применяемых при изготовлении, различают *тонкопленочные* и *толстопленочные* конденсаторы.

На рис. 2.1 приведены наиболее распространенные конструкции пленочных конденсаторов. Конструкции, изображенные на рис. 2.1, а - в используются для конденсаторов с большой емкостью. В этих конструкциях неточность совмещения обкладок мало сказывается на изменении емкости, так как контур диэлектрика заходит за пределы обеих обкладок. Небольшое изменение емкости в первых двух конструкциях возможно за счет изменения вклада емкости вывода верхней обкладки при ее смещении относительно нижней. Для устранения этой погрешности с противоположной стороны вывода верхней обкладки делают *компенсатор* (рис. 2.1, в).

Современная технология позволяет получить тонкопленочные конденсаторы с емкостью до 105 пФ. Такие конденсаторы могут иметь сложную фигурную конструкцию. Это позволяет конструктору при разработке топологии ИМС полностью использовать свободные участки площади подложки.

Толстоплёночные конденсаторы, как правило, изготавливают прямоугольной (квадратной) формы без компенсаторов с емкостью 50...2500 пФ и допуском $\pm 15\%$. При выборе конструкции пленочного конденсатора необходимо учитывать, что на высоких частотах (> 10 МГц) его емкость падает. Причем при двустороннем расположении выводов (рис. 2.1, а) этот спад меньше, чем при одностороннем (рис. 2.1, б).

Конструкция, изображенная на рис. 2.1, г, используется для пленочных конденсаторов небольшой емкости (десятки пФ). Обычно для ее получения достаточна площадь взаимного перекрытия пересекающихся коммутационных проводников, разделенных пленкой диэлектрика. При активной площади конденсатора менее 5 мм^2 начинает сказываться *краевой эффект*, поэтому при площади верхней обкладки менее 1 мм^2 рекомендуется использовать конструк-

цию, выполненную в виде последовательно соединенных конденсаторов (рис. 2.1, д). При малых емкостях (доли и единицы пФ) используют гребенчатую (рис. 2.1, е) или *полосковую* формы.

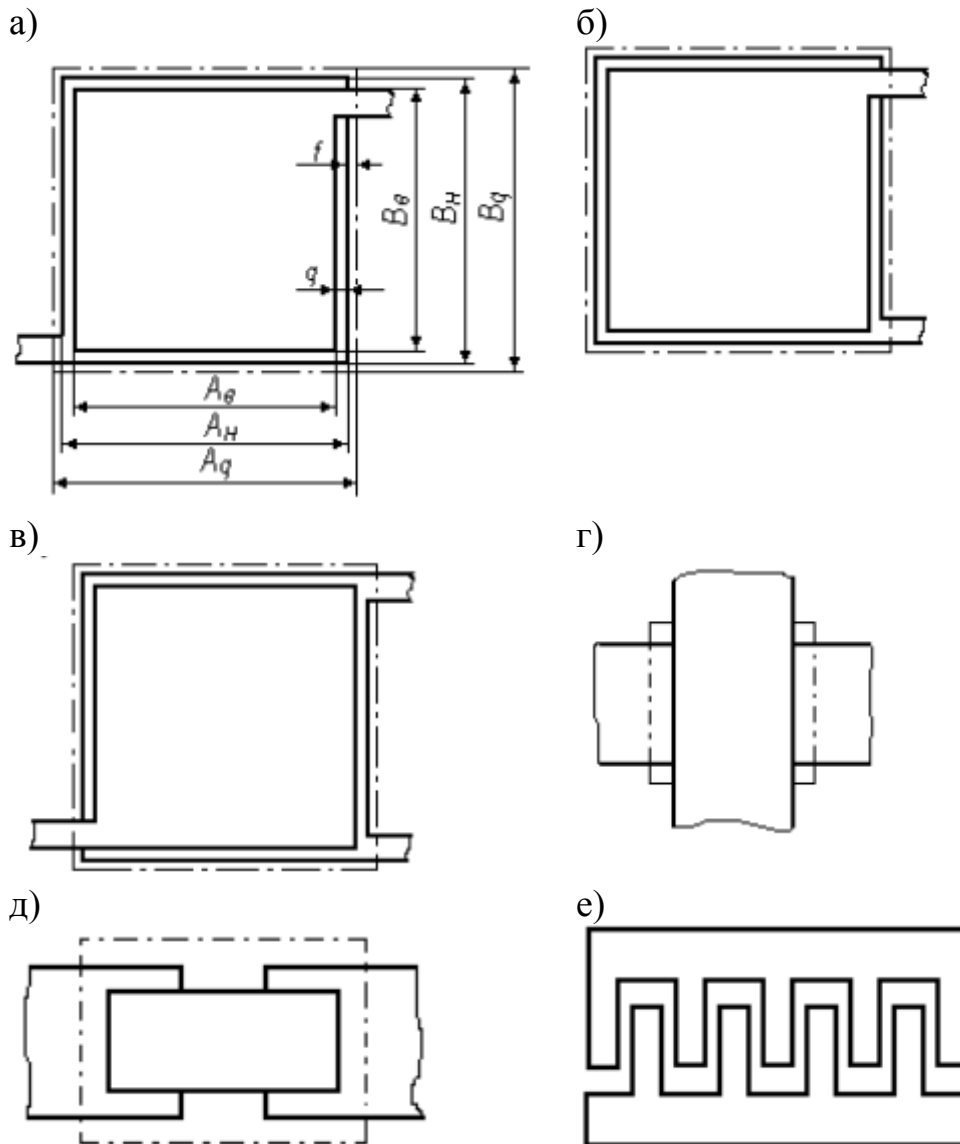


Рис. 2.1. Конструкции пленочных конденсаторов

2.2. Требования к материалам, их основные характеристики

Требования к материалам пленочного конденсатора определяются требованиями, предъявляемыми к самому изделию. Конденсаторы ИМС должны:

- занимать минимальную площадь;
- обладать хорошей добротностью;
- иметь высокую надежность;
- обладать высокой температурной и временной стабильностью.

Выполнение этих требований в большей степени зависит от материала диэлектрика. Поэтому он должен иметь хорошую адгезию к подложке и материалу обкладок, обладать высокой электрической прочностью и малыми потерями,

иметь высокую диэлектрическую проницаемость и минимальную гигроскопичность, не разрушаться в процессе формирования пленок и быть совместимым с технологическими процессами изготовления других элементов микросхем.

Диэлектрик тонкопленочных конденсаторов формируется методами термического напыления, анодного окисления, ионно-плазменного и реактивного распыления. Диэлектрические пасты для толстопленочных конденсаторов изготавливаются на основе смеси керамических материалов и флюсов. Толщина пленки после термической обработки составляет 40...60 мкм. В табл. 2.1 приведены основные характеристики диэлектрических материалов, применяемых для изготовления пленочных конденсаторов.

Таблица 2.1 – Свойства диэлектрических материалов для пленочных конденсаторов

Материал	ε , $f = 1$ кГц	$E_d \cdot 10^6$, В/см	$\operatorname{tg} \delta \cdot 10^{-3}$	$C_0 \cdot 10^{-3}$, пФ / см ²	ТКЕ $\cdot 10^4$, 1/град $T = -60...85^\circ \text{C}$
SiO ₂	4	10	10	20	2
SiO	6–8	1–2	1–2	5–10	1–2
GeO	10–12	1,0	5–7	5–20	3–5
Al ₂ O ₃	10	9	0,3–1,5	30–80	1,5–5
Ta ₂ O ₅	21–27	5	10	100	2–3
TiO ₂	30–100	0,24	26	10–100	3
Sb ₂ S ₃	18–21	0,3–0,5	4–10	1–1,5	5
АСС	5,2–5,5	3–5	3	30	1,5
БСС	3,9–4,2	3–5	1	15	0,2
ИБС	10–12	2–3	7	60	5
Паста					
ПК-12	—	$U_d \geq 150 \text{ В}$	30–40	10	± 10
Паста					
ПК 1000-30	—	$U_d \geq 150 \text{ В}$	36	3,7	± 10

АСС — алюмосиликатное стекло;

БСС — боросиликатное стекло, в состав которого входит 15 % В₂О₃ и 85 % SiO₂;

ИБС — иттрий-боритное стекло.

Диэлектрическая проницаемость ε является одной из важнейших характеристик диэлектрика и показывает во сколько раз уменьшается кулоновское взаимодействие между зарядами при переносе их из вакуума в данную среду. Величина ε отражает увеличение емкости конденсатора при замене в нем вакуума диэлектриком

$$C = \frac{\varepsilon \varepsilon_0 S}{d}, \quad (2.1)$$

где $\varepsilon_0 = 8,85 \cdot 10^{-14}$ Ф/см — электрическая постоянная; S — площадь перекрытия пластин конденсатора; d — толщина диэлектрика.

Диэлектрическая проницаемость зависит от материала, температуры, частоты и напряженности поля.

Электрическая прочность E_d диэлектрических пленок характеризуется напряженностью электрического поля, при которой происходит локальное разрушение диэлектрика с образованием проводящего канала

$$E_d = \frac{U_d}{d},$$

где U_d — пробивное напряжение.

Пробой диэлектрических пленок вызывается как тепловыми, так и электрическими процессами. Тепловой пробой обусловлен экспоненциальным ростом электропроводности диэлектрика при повышении его температуры. Электрический пробой обусловлен туннельным переходом электронов в зону проводимости из валентной зоны с примесных уровней или металлических электродов, а также лавинным размножением электронов за счет ударной ионизации в высоких электрических полях.

Тангенс угла диэлектрических потерь $\operatorname{tg} \delta$ является количественной мерой потерь в данном диэлектрике. Эти потери обусловлены свойствами материала диэлектрика и определяются суммой миграционных и дипольно-релаксационных потерь. Миграционные потери связаны со сквозной электропроводностью в диэлектрике, уменьшаются с увеличением частоты по гиперболическому закону и увеличиваются по экспоненциальному закону с ростом температуры. Дипольно-релаксационные потери обусловлены процессами ориентации диполей в электрическом поле при их хаотических, обусловленных тепловым движением, колебаниях около среднего положения равновесия.

Материал обкладок тонкопленочного конденсатора должен обладать высокой электропроводностью, малой миграционной подвижностью атомов для предотвращения диффузии в диэлектрик, хорошей адгезией как к подложке, так и ранее сформированным пленкам, невысокой температурой нанесения и достаточной химической стойкостью. Материал нижней обкладки конденсатора должен иметь *минимальное* количество микронеровностей высотой не более 0,025 мкм.

Из всех металлов с высокой проводимостью (Au, Ag, Cu, Al) только последний наиболее полно удовлетворяет перечисленным требованиям. Другие из названных металлов не нашли применения в основном из-за высокой миграционной подвижности атомов. Часто при изготовлении обкладок конденсатора из алюминия, применяют подслои из титана или ванадия.

Толстопленочные проводниковые пленки, кроме выполнения общих требований, должны быть совместимыми с диэлектрическими пастами. Проводниковые пасты изготавливаются на основе золота, золота-платины, золота-палладия, палладия-серебра, индия, рения. Пасты на основе золота обеспечивают наиболее низкое поверхностное сопротивление ($R_q = 0,001 \dots 0,003$ Ом / кв).

2.3. Основные параметры конденсатора

Номинальная емкость C_n задается условиями схемы и определяется по известной формуле

$$C = \frac{\varepsilon \varepsilon_0 S}{d} = C_0 S = C_0 A_B B_B,$$

где C_0 — удельная емкость ($C_0 = 0,0885 \varepsilon / d$ пФ/см²).

При определении C_n пленочных конденсаторов малой площади необходимо учитывать увеличение емкости, обусловленное влиянием краевого эффекта. В общем случае

$$C_n = K C_0 S, \quad (2.2)$$

где K — коэффициент, учитывающий влияние краевого эффекта,

$$K = \begin{cases} 1, & \text{если } \frac{C_n}{C_0} > 5 \text{ мм}^2; \\ 1,23, & \text{если } 1 \leq \frac{C_n}{C_0} \leq 5 \text{ мм}^2. \end{cases}$$

Емкость гребенчатого конденсатора определяется по формуле

$$C = \beta \frac{\varepsilon_1 + \varepsilon_2}{2} l, \quad (2.3)$$

где β — коэффициент, определяемый из графика (рис. 2.2);

$\varepsilon_1, \varepsilon_2$ — диэлектрическая проницаемость материала подложки и среды;

l — длина совместной границы 2-х проводников гребенки.

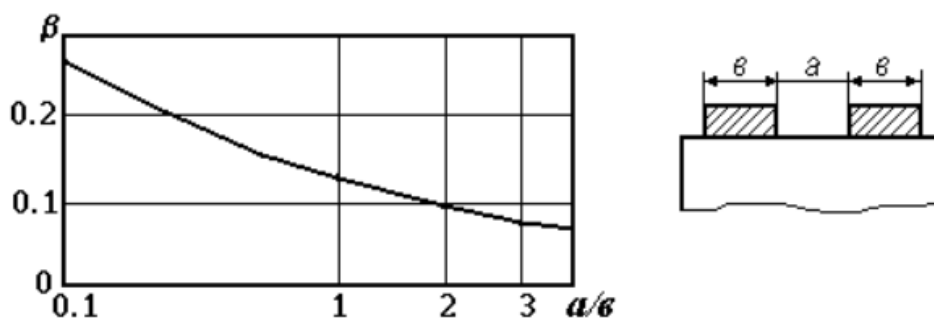


Рис. 2.2. Коэффициент β

Рабочее напряжение U_p обеспечивается подбором материала диэлектрической пленки с необходимыми значениями E_d и толщины пленки d . Толщина пленки d , выбираемая из условия обеспечения заданного U_p , определяется из выражения

$$d = \eta \frac{U_p}{E_d}, \quad (2.4)$$

где η — коэффициент запаса, обеспечивающий надежностные характеристики.

Для пленочных конденсаторов коэффициент запаса выбирается равным $2 \div 10$. Коэффициент запаса $\eta = 5 \div 10$ выбирается для расчета конденсаторов повышенной надежности.

Добротность пленочного конденсатора Q зависит от его конструкции используемых материалов. Она определяется потерями в диэлектрике и в обкладках конденсатора

$$Q = \frac{1}{\tan \delta} = \frac{1}{\tan \delta_d + \tan \delta_{об}}, \quad (2.5)$$

где $\tan \delta_{об}$ — тангенс угла потерь в обкладках и выводах конденсатора;

$$\tan \delta_{об} = 2\pi f_p (r_{об} + r_{в}), \quad (2.6)$$

где $r_{об}$ — последовательное сопротивление обкладок;

$r_{в}$ — сопротивление выводов.

Сопротивление $r_{об}$ зависит от конструкции конденсатора, проводимости материалов обкладок, их геометрических размеров, а также картины распределения линий тока в обкладках. Для конденсаторов с 2-сторонним расположением выводов

$$r_{об} \approx \frac{r_{он} + r_{ов}}{3},$$

где $r_{он}, r_{ов}$ — сопротивление нижней и верхней обкладок. Добротность пленочного конденсатора $Q = 10 \div 100$. В практических расчетах $\tan \delta$ — справочная величина.

Тангенс угла диэлектрических потерь существенно зависит от частоты сигнала и температуры окружающей среды.

Относительная погрешность емкости ε_C

$$\varepsilon_C = \varepsilon_{C0} + \varepsilon_{CT} + \varepsilon_S + \varepsilon_{Cст}, \quad (2.7)$$

где ε_{C0} — относительная погрешность, характеризующая воспроизводимость емкости в условиях данного производства;

ε_{CT} — относительная температурная погрешность;

ε_S — относительная погрешность активной площади;

$\varepsilon_{Cст}$ — коэффициент старения.

Относительная погрешность активной площади ε_S определяется как

$$\varepsilon_S = \frac{\Delta S}{S} = \frac{\Delta AB + \Delta BA}{AB}, \quad (2.8)$$

где $\Delta S, \Delta A, \Delta B$ — соответственно абсолютные погрешности S, A и B верхней обкладки пленочного конденсатора.

Погрешность ε_S минимальна, если обкладки пленочного конденсатора имеют квадратную форму. Отклонение контура верхней обкладки от квадрата увеличивает ε_S для учета этих отклонений используют *коэффициент формы*

$$K_F = \frac{A}{B}.$$

При $\Delta A = \Delta B$

$$\varepsilon_S = \Delta A \frac{1 + K_F}{\sqrt{K_F S}}. \quad (2.9)$$

Относительная температурная погрешность ε_{CT} определяется как

$$\varepsilon_{CT} = \frac{1}{C_H} \frac{dC}{dT} T_{\max} - T_{\min} = \alpha_C T_{\max} - 20^\circ \text{C}, \quad (2.10)$$

где $\alpha_C = \frac{1}{C_H} \frac{dC}{dT}$ — ТКЕ, выбираемый из табличных данных.

Коэффициент старения ε_{CCT} определяет изменение емкости пленочного конденсатора, которое происходит вследствие деградационных явлений в пленке диэлектрика за время Δt

$$\varepsilon_{CCT} = \frac{1}{\Delta t} \frac{\Delta C}{C} \approx \varepsilon_{ест}, \quad (2.11)$$

где $\varepsilon_{ест}$ — коэффициент старения диэлектрической проницаемости.

Для обеспечения заданной точности емкости при изготовлении пленочного конденсатора необходимо, чтобы выполнялось условие

$$\varepsilon_S \leq \varepsilon_{S\text{доп}}, \quad (2.12)$$

где $\varepsilon_{S\text{доп}}$ — максимально допустимая относительная погрешность активной площади, которая может быть определена, как

$$\varepsilon_{S\text{доп}} = \varepsilon_C - \varepsilon_{C0} - \varepsilon_{CT} - \varepsilon_{CCT}. \quad (2.13)$$

Подставляя значение

$$\varepsilon_S = \Delta A \frac{1 + K_F}{\sqrt{K_F S}}$$

в условие (2.12), получим

$$S \geq \frac{\Delta A}{\varepsilon_{S\text{доп}}} \frac{(1 + K_F)^2}{K_F}. \quad (2.14)$$

После этого можно определить минимальную удельную емкость, обеспечивающую заданную точность

$$C_{0\text{точн}} = \frac{C}{S} = C \frac{\varepsilon_{S\text{доп}}}{\Delta A} \frac{K_F}{(1 + K_F)^2}. \quad (2.15)$$

В частном случае когда $K_F = 1$

$$C_{0\text{точн}} = C \left(\frac{\varepsilon_{S\text{доп}}}{2\Delta A} \right)^2. \quad (2.16)$$

2.4. Расчета тонкопленочного конденсатора

2.4.1. Порядок расчета тонкопленочного конденсатора

Расчет тонкопленочных конденсаторов производится в следующей последовательности.

1) Из табличных данных (табл. 2.1) выбирают диэлектрик с определенными значениями ϵ и E_d , малыми значениями ТКЕ, $\operatorname{tg}\delta$ и $\epsilon_{\text{сст}}$ (если они не заданы).

2) Из условия

$$d_{\min} \geq \frac{\eta U_p}{E_d}$$

определяют минимальную толщину диэлектрика, обеспечивающего необходимое значение U_p .

Обычно выбирается η равным 2...3.

3) Определяют удельную емкость конденсатора исходя из условия электрической прочности

$$C_{0U} = 0,0885 \frac{\epsilon}{d}.$$

4) Оценивают относительную температурную погрешность $\epsilon_{\text{СТ}}$ исходя из условия (2.10) и допустимую погрешность активной площади конденсатора $\epsilon_{\text{Сдоп}}$ (2.13). Если получится, что $\epsilon_{\text{Сдоп}} \leq 0$, то изготовление конденсатора с заданной точностью невозможно. Нужно выбрать другой диэлектрик с меньшим ТКЕ и $\epsilon_{\text{сст}}$.

5) Используя выражение (2.15) или (2.16), определяют удельную емкость $C_{0\text{точн}}$ с учетом точности его изготовления.

6) Выбирают минимальное значение удельной емкости из условия

$$C_0 \leq \min C_{0U}, C_{0\text{точн}}, \quad (2.17)$$

которое обеспечивает заданное U_p и требуемое ϵ_C .

7) По заданному значению C_H и полученному из (2.17) значению C_0 определяют коэффициент K , учитывающий краевой эффект.

8) С учетом коэффициента K по выражению (2.2) определяют площадь перекрытия обкладок конденсатора. При этом, если окажется $S < 1 \text{ мм}^2$, то выбирают диэлектрик с меньшим ϵ или большей толщиной. Если это не дает желаемых результатов, то изменяют конструкцию конденсатора.

9) Определяют толщину d , соответствующую выбранному значению C_0 .

10) Рассчитывают размеры обкладок и диэлектрика конденсатора. Для этого выбирают форму и определяют коэффициент K_F . Если выбрана прямоугольная форма, то геометрические размеры верхней обкладки

$$A_B = \sqrt{SK_F}; \quad B_B = \frac{A_B}{K_F}.$$

Если $K_F = 1$, то $A_B = B_B = \sqrt{S}$. Полученные размеры A_B и B_B округляют до значений, кратных шагу координатной сетки с учетом масштаба топологического чертежа. После этого, с учетом допусков на перекрытие, определяют размеры нижней обкладки

$$A_H = A_B + 2\Delta S + \beta_-; \quad B_H = B_B + 2\Delta S + \beta_-, \quad (2.18)$$

где $\Delta S = 0,1$ мм — абсолютная погрешность воспроизведения размеров конденсатора;

β — погрешность совмещения обкладок.

Размеры диэлектрика

$$A_d = A_H + 2(\Delta S + \beta); \quad B_d = B_H + 2(\Delta S + \beta). \quad (2.19)$$

11) Определяют занимаемую площадь $S = A_d B_d$.

12) Если заданы $\tan \delta$ и Q , то по (2.5) и (2.6) определяют их значения для рассчитанного конденсатора. Полученные диэлектрические потери не должны превышать заданных значений.

13) Вычерчивают топологический чертеж.

При проектировании группы конденсаторов расчет начинают, как правило, с конденсатора, имеющего наименьшее значение C_H .

2.4.2. Пример расчета тонкопленочного конденсатора

Дано: $C_H = 1000$ пФ; $\varepsilon_C = 15\%$; $U_p = 20$ В; $T = (-40 \dots + 80)^\circ\text{C}$; длительность эксплуатации ИМС 1000 часов.

Технологические погрешности $\varepsilon_{C0} = \pm 8\%$, $\Delta A = \Delta B = \beta = 20$ мкм; $q = f = 100$ мкм.

Принимаем $\eta = 3$. Масштаб чертежа топологии 20 : 1. Координатная сетка — миллиметровка.

1) Для диэлектрического слоя выбираем монооксид германия ($\varepsilon = 10$; $\tan \delta = 0,001$; $E_d = 100$ В/мкм; $\alpha_C = 5 \cdot 10^{-4}$ 1/град; $\varepsilon_{CCT} = 1\%$).

2) Толщина диэлектрика

$$d_{\min} = 3 \cdot 20 / 10 = 0,6 \text{ мкм}.$$

3) Находим удельную емкость

$$C_{0U} = 0,0885 \frac{10}{0,6 \cdot 10^{-4}} = 1,475 \cdot 10^4 \text{ пФ/см}^2 = 147,5 \text{ пФ/мм}^2.$$

4) Температурная погрешность емкости

$$\varepsilon_{CT} = 5 \cdot 10^{-4} (80 - 20) \cdot 100 = 3\%,$$

а допустимая погрешность активной площади конденсатора

$$\varepsilon_{S\text{доп}} = 15 - 8 - 3 - 1 = 3\%.$$

5) Определяем удельную емкость конденсатора, исходя из заданной погрешности

$$C_{0\text{точн}} = 1000 \left(\frac{0,03}{2 \cdot 0,02} \right)^2 = 562,5 \text{ пФ/мм}^2.$$

6) Выбираем величину C_0 с учетом обоих условий: $C_0 = 140$ пФ/мм².

7) Так как $\frac{C_H}{C_0} > 5$ мм², то коэффициент $K = 1$.

8) Площадь перекрытия обкладок $S = \frac{1000}{1 \cdot 140} = 7,14 \text{ мм}^2$.

9) Толщина диэлектрика, соответствующая выбранному значению C_0

$$d = 0,0885 \frac{10}{140 \cdot 100} = 0,63 \cdot 10^{-4} \text{ см} = 0,63 \text{ мкм}.$$

10) Определяем геометрические размеры обкладок и диэлектрика конденсатора

$$A_{\text{Врасч}} = B_{\text{Врасч}} = \sqrt{7,14} = 2,67 \text{ мм}.$$

С учетом шага координатной сетки

$$A_{\text{Втоп}} = B_{\text{Втоп}} = 2,675 \text{ мм};$$

$$A_{\text{Нрасч}} = B_{\text{Нрасч}} = 2,675 + 2(0,1 + 0,02) = 2,915 \text{ мм};$$

$$A_{\text{Нтоп}} = B_{\text{Нтоп}} = 2,925 \text{ мм};$$

$$A_{\text{драсч}} = B_{\text{драсч}} = 2,925 + 2(0,1 + 0,02) = 3,165 \text{ мм};$$

$$A_{\text{дтоп}} = B_{\text{дтоп}} = 3,175 \text{ мм}.$$

11) Площадь, занимаемая конденсатором

$$S = 3,175^2 \approx 10 \text{ мм}^2.$$

12) Составляем топологию рассчитанного конденсатора (рис. 2.3).

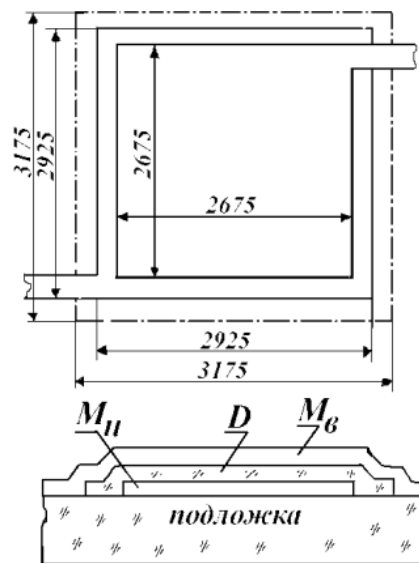


Рис. 2.3. Топологический чертёж конденсатора

2.5. Задание на проектирование тонкопленочного конденсатора

Рассчитать пленочный конденсатор и выполнить его топологический чертёж. Исходные данные для расчетов приведены в таблице 2.2.

В расчетах предполагать, что используемая технология позволяет получить технологические погрешности $\varepsilon_{C0} = \pm 8\%$, $\varepsilon_{Cст} = -1\%$ $\Delta A = \Delta B = \beta = 20$ мкм; коэффициент старения $\varepsilon_{Cст} = 1\%$. Масштаб чертежа топологии 20 : 1. Координатная сетка — миллиметровка.

Таблица 2.2 — Таблица индивидуальных заданий на проектирование тонкопленочного конденсатора

Вариант	Параметры	Значения
1	Номинальная емкость	$C_H = 500 \text{ пФ}$
	Допуск на номинал	$\varepsilon_C = 15\%$
	Рабочее напряжение	$U_p = 30 \text{ В}$
	Диапазон температур	$(-40 \div +80) ^\circ\text{C}$
	Длительность эксплуатации	1500 часов
2	Номинальная емкость	$C_H = 1200 \text{ пФ}$
	Допуск на номинал	$\varepsilon_C = 10\%$
	Рабочее напряжение	$U_p = 20 \text{ В}$
	Диапазон температур	$(-40 \div +80) ^\circ\text{C}$
	Длительность эксплуатации	1000 часов
3	Номинальная емкость	$C_H = 700 \text{ пФ}$
	Допуск на номинал	$\varepsilon_C = 12\%$
	Рабочее напряжение	$U_p = 40 \text{ В}$
	Диапазон температур	$(-40 \div +80) ^\circ\text{C}$
	Длительность эксплуатации	1200 часов
4	Номинальная емкость	$C_H = 600 \text{ пФ}$
	Допуск на номинал	$\varepsilon_C = 10\%$
	Рабочее напряжение	$U_p = 50 \text{ В}$
	Диапазон температур	$(-40 \div +80) ^\circ\text{C}$
	Длительность эксплуатации	1500 часов
5	Номинальная емкость	$C_H = 800 \text{ пФ}$
	Допуск на номинал	$\varepsilon_C = 12\%$
	Рабочее напряжение	$U_p = 20 \text{ В}$

	Диапазон температур	$(-40 \div +80) ^\circ\text{C}$
	Длительность эксплуатации	1000 часов
6	Номинальная емкость	$C_H = 400 \text{ пФ}$
	Допуск на номинал	$\varepsilon_C = 15\%$
	Рабочее напряжение	$U_p = 30 \text{ В}$
	Диапазон температур	$(-40 \div +80) ^\circ\text{C}$
	Длительность эксплуатации	1200 часов
7	Номинальная емкость	$C_H = 900 \text{ пФ}$
	Допуск на номинал	$\varepsilon_C = 10\%$
	Рабочее напряжение	$U_p = 40 \text{ В}$
	Диапазон температур	$(-40 \div +80) ^\circ\text{C}$
	Длительность эксплуатации	1500 часов
8	Номинальная емкость	$C_H = 1100 \text{ пФ}$
	Допуск на номинал	$\varepsilon_C = 12\%$
	Рабочее напряжение	$U_p = 50 \text{ В}$
	Диапазон температур	$(-40 \div +80) ^\circ\text{C}$
	Длительность эксплуатации	1000 часов
9	Номинальная емкость	$C_H = 300 \text{ пФ}$
	Допуск на номинал	$\varepsilon_C = 15\%$
	Рабочее напряжение	$U_p = 20 \text{ В}$
	Диапазон температур	$(-40 \div +80) ^\circ\text{C}$
	Длительность эксплуатации	1200 часов
10	Номинальная емкость	$C_H = 700 \text{ пФ}$
	Допуск на номинал	$\varepsilon_C = 10\%$
	Рабочее напряжение	$U_p = 30 \text{ В}$
	Диапазон температур	$(-40 \div +80) ^\circ\text{C}$
	Длительность эксплуатации	1500 часов

11	Номинальная емкость	$C_H = 750 \text{ пФ}$
	Допуск на номинал	$\varepsilon_C = 12\%$
	Рабочее напряжение	$U_p = 40 \text{ В}$
	Диапазон температур	$(-40 \div +80) ^\circ\text{C}$
	Длительность эксплуатации	1000 часов
12	Номинальная емкость	$C_H = 660 \text{ пФ}$
	Допуск на номинал	$\varepsilon_C = 15\%$
	Рабочее напряжение	$U_p = 50 \text{ В}$
	Диапазон температур	$(-40 \div +80) ^\circ\text{C}$
	Длительность эксплуатации	1200 часов
13	Номинальная емкость	$C_H = 470 \text{ пФ}$
	Допуск на номинал	$\varepsilon_C = 10\%$
	Рабочее напряжение	$U_p = 20 \text{ В}$
	Диапазон температур	$(-40 \div +80) ^\circ\text{C}$
	Длительность эксплуатации	1500 часов
14	Номинальная емкость	$C_H = 910 \text{ пФ}$
	Допуск на номинал	$\varepsilon_C = 12\%$
	Рабочее напряжение	$U_p = 30 \text{ В}$
	Диапазон температур	$(-40 \div +80) ^\circ\text{C}$
	Длительность эксплуатации	1000 часов
15	Номинальная емкость	$C_H = 850 \text{ пФ}$
	Допуск на номинал	$\varepsilon_C = 15\%$
	Рабочее напряжение	$U_p = 40 \text{ В}$
	Диапазон температур	$(-40 \div +80) ^\circ\text{C}$
	Длительность эксплуатации	1200 часов

Лабораторная работа № 3

ПРОЕКТИРОВАНИЕ ПЛЁНОЧНЫХ ИНДУКТИВНОСТЕЙ

Цель работы — ознакомиться с видами конструкций и методикой расчета тонкоплёночных индуктивностей, применяемых в качестве элементов плёночных и гибридных интегральных схем.

3.1. Теоретические сведения

Изготовление катушек индуктивности для гибридных плёночных микросхем представляет большие трудности. При изготовлении плёночных индуктивностей трудно удовлетворить одновременно нескольким противоречивым требованиям: получить малые размеры, высокую добротность и большое значение индуктивности. Наибольшее распространение в мегагерцовом диапазоне частот получили плоские спиральные катушки (рис. 3.1). Ограниченные размеры подложек плёночных микросхем и конечная ширина проводящей полосы не позволяют изготовить катушки с индуктивностью более 5...7 мкГн. Это означает, что наиболее реальным является изготовление микросхем с колебательными контурами, резонансная частота которых соответствует нескольким десяткам мегагерц. Методы увеличения индуктивности плоских спиральных катушек, основанные на нанесении ферритовых плёнок, позволяют увеличить индуктивность катушек лишь на 10... 40 %, но значительно усложняют техпроцесс их изготовления.

Различные схемные эквиваленты индуктивностей, в которых используются активные элементы, пока не нашли широкого применения из-за зависимости их параметров от частоты и температуры.

Плёночные индуктивности выполняют в виде одновитковой или многовитковой однослойной или многослойной спирали.

Плёночные катушки должны удовлетворять следующим требованиям:

- 1) обеспечивать получение заданного значения номинала L ;
- 2) обладать высокой добротностью;
- 3) иметь высокую стабильность параметров.

При проектировании плёночных катушек индуктивности нужно учитывать следующие положения:

- 1) главным фактором, определяющим индуктивность одновитковой петли, является площадь, заключенная в плоскости петли;
- 2) для заданной площади кольцеобразная петля соответствует наименьшей длине проводника;
- 3) поперечные размеры проводника катушки слабо влияют на её индуктивность, но существенно сказываются на добротности.
- 4) при одинаковых габаритных размерах индуктивность квадратной катушки примерно на 12 % больше, чем круглой, а добротность на 10 % ниже.

5) при условии, что связь между витками достаточно сильная, индуктивность катушки возрастает пропорционально квадрату числа витков.

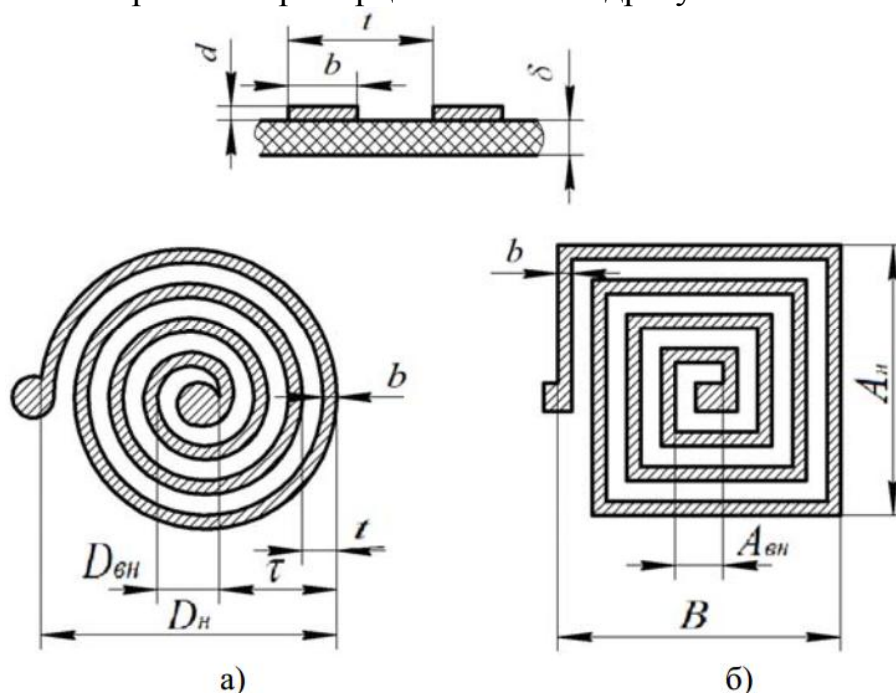


Рис. 3.1. Пленочные катушки индуктивности:
а – круглая спираль; б – квадратная спираль

Рассмотрим основные параметры, характеризующие свойства катушек индуктивности.

Индуктивность. Требуемая величина индуктивности определяется назначением катушки. Плёночные катушки индуктивности изготавливают с номиналами от сотых долей до десятков микрогенри (мкГн).

Добротность. Определяет резонансные свойства индуктивности и КПД контура, в котором она применяется. В зависимости от диапазона рабочих частот и конструктивных факторов (формы, размеров) добротность плёночных катушек составляет 20 ... 120.

Собственная ёмкость. Плёночные индуктивности обладают собственной ёмкостью между витками и ёмкостью этих витков на корпус схемы. Наличие собственной ёмкости изменяет эквивалентное сопротивление катушки, снижает добротность и стабильность. Особенно велика собственная ёмкость у многослойных спиральных катушек и у катушек, напылённых на основание (подложку) с высоким значением ε .

Стабильность. Характеризуется изменением параметров катушки под воздействием внешней среды. Изменение индуктивности при воздействии температуры характеризуется величиной температурного коэффициента индуктивности (ТКИ) — α_L :

$$\alpha_L = \frac{\Delta L}{L \Delta t},$$

и коэффициентом температурной нестабильности (ТКНИ) — β_L :

$$\beta_L = \frac{L_2 - L_1}{L_1},$$

где L_1 — первоначальное значение индуктивности,

L_2 — значение индуктивности после циклического изменения температуры.

Величина ТКИ определяется конструкцией катушки и материалом подложки. ТКНИ зависит от адгезии витков плоской катушки к подложке и от старения (искусственного) материала подложки и проводящей плёнки.

С целью увеличения индуктивности плоских катушек в некоторых случаях на подложку предварительно наносят ферритовый слой, а затем витки катушки. Иногда подложки полностью изготавливают из феррита. Это значительно лучше, так как тонкие ферритовые плёнки могут быть в режиме насыщения.

Пример:

- 1) индуктивность спирали без феррита — 0,67 мкГн;
- 2) индуктивность спирали на феррите — 1,40 мкГн;
- 3) с верхним слоем феррита толщиной 200 мкм — 2,80 мкГн;
- 4) с толстой (1 мм) ферритовой пластинкой сверху — 34,00 мкГн.

Рассмотрим влияние различных конструктивных факторов на параметры плёночной катушки индуктивности.

Шаг спирали t . Чем меньше t , тем больше индуктивность. Однако существуют технологические ограничения: не следует применять слишком мелкий шаг, может быть замыкание витков.

Ширина витков b . При уменьшении b снижается величина добротности Q вследствие уменьшения сечения витков катушки.

Толщина пленки d . На величине индуктивности толщина пленки сказывается мало; в основном она влияет на величину потерь, а, следовательно, на добротность катушки Q . При уменьшении толщины пленки величина Q уменьшается. Обычно $d = 1...50$ мкм.

Число витков N . При увеличении N индуктивность резко возрастает (так как каждый последующий виток охватывает большую площадь, чем предыдущий).

Наружный диаметр D_n . При одном и том же числе витков индуктивность катушки тем больше, чем больше её наружный диаметр.

Форма витков. При одинаковых габаритах и ширине витка длина витков у прямоугольной катушки на 12% больше, следовательно, больше и индуктивность. Добротность у прямоугольной катушки примерно на 10% меньше, чем у круглой (так как увеличивается длина витка, а, следовательно, и потери; кроме того, сопротивление витков увеличивается из-за концентрации тока во внутренних изгибах витков).

Материал подложки. Величина индуктивности определяется магнитной проницаемостью подложки μ , а добротность — величиной тангенса угла диэлектрических потерь — $\operatorname{tg} \delta$. Межвитковая ёмкость будет зависеть от величины диэлектрической проницаемости ε .

3.2. Расчет плёночных катушек индуктивности

3.2.1. Одновитковые катушки

Конфигурации плёночных одновитковых катушек индуктивности показаны на рис. 3.2.

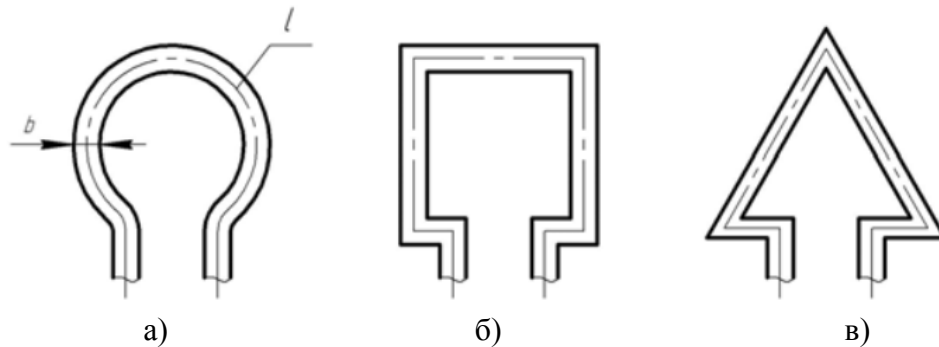


Рис. 3.2. Одновитковые катушки индуктивности

Индуктивность одновитковой петли (рис. 3.2,а) рассчитывается по формуле

$$L = 2l \ln(A - B) \cdot 10^{-3} \text{ мкГн},$$

где $A = \frac{2l}{b + d};$

b — ширина проводника;

d — толщина проводника;

l — средний периметр петли;

B — коэффициент, зависящий от формы петли:

$B = 2,451$ — для круга;

$B = 2,853$ — для квадрата;

$B = 3,197$ — для равностороннего треугольника.

Формула справедлива при $l \gg p$, где p — периметр поперечного сечения проводника.

3.2.2. Многовитковые катушки

Индуктивность плоской спиральной катушки с круглыми витками (рис. 3.1, а) может быть определена по формуле

$$L = 21,5 \cdot R_{\text{CP}} \cdot N^{\frac{5}{3}} \ln \frac{8R_{\text{CP}}}{\tau} \cdot 10^{-3} \text{ мкГн},$$

где N — число витков;

$$R_{\text{CP}} = \frac{D_{\text{H}} + D_{\text{ВН}}}{4} \text{ — средний радиус спирали;}$$

$D_{\text{H}}, D_{\text{ВН}}$ — наружный и внутренний диаметры катушки, соответственно;

$$\tau = \frac{D_{\text{H}} - D_{\text{ВН}}}{2} \text{ — ширина намотки.}$$

Индуктивность плоской спирали с квадратными витками (рис. 3.1, б) определяется следующим образом:

$$L = 24,2 \cdot A_{\text{CP}} \cdot N^{\frac{5}{3}} \ln \frac{8A_{\text{CP}}}{\tau} \cdot 10^{-3} \text{ мкГн},$$

где $A_{\text{CP}} = \frac{A_{\text{H}} + A_{\text{BH}}}{2};$

$$\tau = \frac{A_{\text{H}} - A_{\text{BH}}}{2};$$

$A_{\text{H}}, A_{\text{BH}}$ — наружный и внутренний размеры квадратной катушки, соответственно.

Добротность плёночной катушки индуктивности без учёта влияния скин-эффекта определяется из соотношения:

$$Q = \frac{16 f D_{\text{BH}} b K^2 d}{\rho t \left[\left(\frac{D_{\text{H}}}{D_{\text{BH}}} \right)^2 - 1 \right]} \cdot 10^{-4},$$

где f — рабочая частота, МГц;

ρ — удельное сопротивление материала витков, Ом · см.

K — коэффициент, зависящий от отношения $\frac{D_{\text{H}}}{D_{\text{BH}}}$, определяется из графика на рис. 3.3.

Значение ρ для некоторых материалов в виде пленок: серебро (Ag) — $1,7 \cdot 10^{-6}$ Ом·см; медь (Cu) — $2,1 \cdot 10^{-6}$ Ом·см; алюминий (Al) — $3,2 \cdot 10^{-6}$ Ом·см.

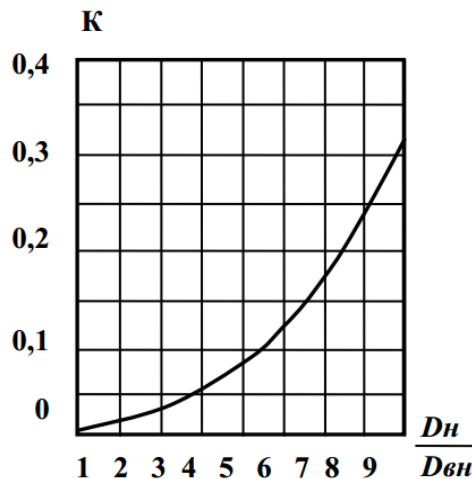


Рис. 3.3. Зависимость коэффициента K от размеров катушки индуктивности

Исходными данными для расчета конструктивных параметров плоской спиральной катушки с круглыми витками являются:

- величина индуктивности L ;
- величина добротности Q ;
- рабочая частота f ;

— ориентировочные размеры подложки.

По ним выбираются:

— форма катушки, ее наружный размер D_H ;

— материал проводника катушки;

В результате расчетов необходимо определить:

— шаг спирали t ;

— ширину витка b ;

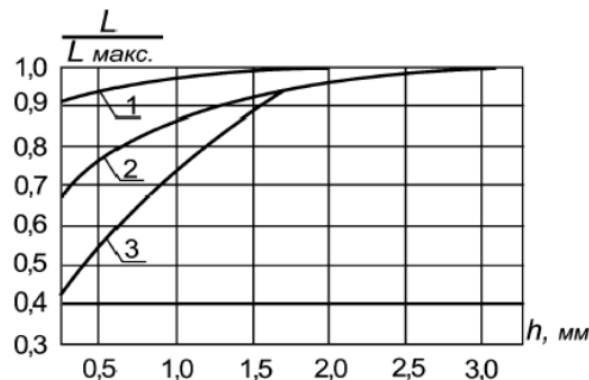
— толщину витка d ;

— внутренний диаметр катушки D_{BH} ;

— число витков N .

При конструировании и расчете пленочных катушек индуктивности необходимо учитывать влияние близлежащих металлических поверхностей (стенок корпуса, подложек с нанесенными плёнками) на величины L и Q . Зависимость индуктивности и добротности плоских круглых катушек, расположенных на расстоянии h от металлической поверхности, приведена на рис. 3.4, где $L_{\max}$ и $Q_{\max}$ — величины индуктивности и добротности при $h \rightarrow \infty$, L и Q — величины индуктивности и добротности при конечном значении h .

а)



б)

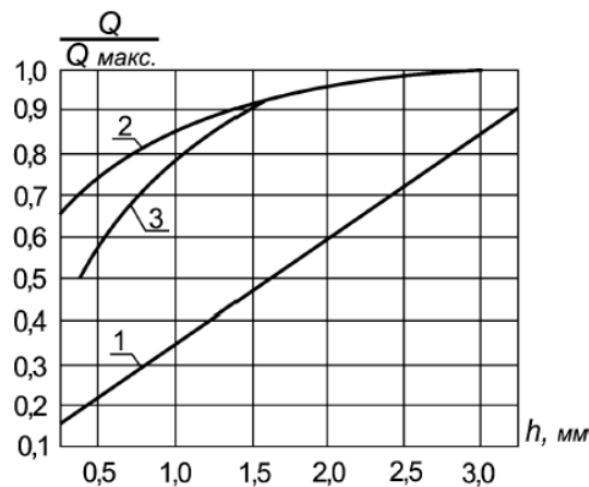


Рис. 3.4. Влияние плоских металлических поверхностей на индуктивность (а) и добротность (б):

1 — алюминиевая пленка на частотах 20... 100 МГц;

2, 3 — латунный лист на частотах 20 и 100 МГц

3.2.3. Порядок расчета многовитковой пленочной индуктивности

Расчёт ведётся в следующей последовательности.

1) Учитывается влияние близлежащих металлических поверхностей (крышки или основания корпуса ИМС). Исходя из расстояния h от катушки до металлической поверхности, по графикам рис. 3.4 определяют отношения

$$a_1 = \frac{L}{L_{\max}};$$
$$a_2 = \frac{Q}{Q_{\max}}.$$

Расчетные значения индуктивности и добротности будут равны:

$$L_{\text{расч}} = \frac{L}{a_1};$$
$$Q_{\text{расч}} = \frac{Q}{a_2}.$$

где L и Q — требуемые (заданные) значения этих параметров.

2) Исходя из допустимых габаритных размеров катушки индуктивности, выбираются внутренний и внешний диаметры спирали. Из технологических соображений $D_{\text{ВН}}$ не следует брать меньше 1 мм.

3) Определяется шаг спирали по формуле

$$t = K \frac{D_{\text{ВН}} \sqrt{D_{\text{ВН}}}}{\sqrt{L_{\text{расч}}}} \text{ мм}, \quad (3.1)$$

где $D_{\text{ВН}}$ измеряется в мм, L — в мкГн; K — коэффициент, зависящий от отношения $\frac{D_{\text{Н}}}{D_{\text{ВН}}}$, определяется по графику рис. 3.3.

4) Из условия $d > 4d_c$ определяется толщина проводника катушки d , здесь d_c — толщина слоя скин-эффекта в мкм, рассчитываемая по формуле

$$d_c = k_1 \sqrt{\lambda},$$

где k_1 — коэффициент, учитывающий материал пленки: для серебра $k_1 = 0,37$, для меди $k_1 = 0,39$, для алюминия $k_1 = 0,51$;

λ — длина волны, см.

5) Определяется ширина витка, при которой получается заданная добротность катушки:

$$b = \frac{\rho t \left[\left(\frac{D_{\text{Н}}}{D_{\text{ВН}}} \right)^2 - 1 \right] \cdot 10^{-4} \cdot Q_{\text{расч}}}{16 f D_{\text{ВН}} K^2 d}, \quad (3.2)$$

где b — ширина витка, мм; ρ — удельное объёмное электрическое сопротивление материала проводника, Ом·см; t — шаг спирали, мм; $D_{\text{Н}}$, $D_{\text{ВН}}$ — наруж-

ный и внутренний размеры катушки, мм; f — частота, МГц; K — коэффициент, определяемый из графика рис. 3.3; d — толщина проводника катушки, мкм.

Если значение ширины витка b получится больше значения t , следует, оставляя прежним внутренний размер спирали $D_{\text{ВН}}$ и задаваясь шагом спирали $t > b$, из формулы (3.1) определить внешний размер спирали $D_{\text{Н}}$ и значение коэффициента K , при которых можно получить заданную индуктивность, а затем по формуле (3.2) снова определить ширину витков b .

б) Определяется число витков по формуле

$$N = \frac{D_{\text{Н}} - D_{\text{ВН}}}{2t},$$

где t — шаг спирали.

Расчет плоской прямоугольной спиральной катушки сводится к расчету круглой с эквивалентным наружным диаметром:

$$D'_{\text{Н}} = \frac{2}{\sqrt{\pi}} \sqrt{A_{\text{Н}} B},$$

где $A_{\text{Н}}$ и B — габаритные размеры прямоугольной спиральной катушки.

3.3. Задание на проектирование пленочной катушки индуктивности

Рассчитать пленочную многовитковую катушку индуктивности и выполнить ее топологический чертеж.

Исходные данные для расчетов приведены в табл. 3.1.

В расчетах предполагать, что расстояния от катушки до ближайшей металлической поверхности составляет $h=1$ мм, а значение наружного диаметра катушки выбирается исходя из условия $D_{\text{ВН}} < \sqrt{S_{\text{доп}}}$, где $S_{\text{доп}}$ — допустимая площадь катушки. Масштаб чертежа топологии 20 : 1. Координатная сетка — миллиметровка.

Таблица 3.1 — Таблица индивидуальных заданий на проектирование пленочной катушки индуктивности

Ва- риант	Параметры	Значения
1	Номинальная индуктивность	$L = 2 \text{ мкГн}$
	Добротность	$Q = 10$
	Рабочая частота	$f = 30 \text{ МГц}$
	Допустимая площадь катушки	$S_{\text{доп}} = (10 \times 10) \text{ мм}^2$
2	Номинальная индуктивность	$L = 3 \text{ мкГн}$
	Добротность	$Q = 10$
	Рабочая частота	$f = 35 \text{ МГц}$
	Допустимая площадь катушки	$S_{\text{доп}} = (12 \times 12) \text{ мм}^2$
3	Номинальная индуктивность	$L = 2 \text{ мкГн}$
	Добротность	$Q = 15$
	Рабочая частота	$f = 40 \text{ МГц}$
	Допустимая площадь катушки	$S_{\text{доп}} = (15 \times 15) \text{ мм}^2$
4	Номинальная индуктивность	$L = 5 \text{ мкГн}$
	Добротность	$Q = 10$
	Рабочая частота	$f = 45 \text{ МГц}$
	Допустимая площадь катушки	$S_{\text{доп}} = (15 \times 15) \text{ мм}^2$
5	Номинальная индуктивность	$L = 2 \text{ мкГн}$
	Добротность	$Q = 12$
	Рабочая частота	$f = 50 \text{ МГц}$
	Допустимая площадь катушки	$S_{\text{доп}} = (10 \times 10) \text{ мм}^2$
6	Номинальная индуктивность	$L = 3,5 \text{ мкГн}$
	Добротность	$Q = 14$

	Рабочая частота	$f = 60 \text{ МГц}$
	Допустимая площадь катушки	$S_{\text{доп}} = (10 \times 10) \text{ мм}^2$
7	Номинальная индуктивность	$L = 6 \text{ мкГн}$
	Добротность	$Q = 12$
	Рабочая частота	$f = 70 \text{ МГц}$
	Допустимая площадь катушки	$S_{\text{доп}} = (15 \times 15) \text{ мм}^2$
8	Номинальная индуктивность	$L = 4,5 \text{ мкГн}$
	Добротность	$Q = 10$
	Рабочая частота	$f = 20 \text{ МГц}$
	Допустимая площадь катушки	$S_{\text{доп}} = (15 \times 15) \text{ мм}^2$
9	Номинальная индуктивность	$L = 3 \text{ мкГн}$
	Добротность	$Q = 16$
	Рабочая частота	$f = 75 \text{ МГц}$
	Допустимая площадь катушки	$S_{\text{доп}} = (10 \times 10) \text{ мм}^2$
10	Номинальная индуктивность	$L = 4,5 \text{ мкГн}$
	Добротность	$Q = 12$
	Рабочая частота	$f = 80 \text{ МГц}$
	Допустимая площадь катушки	$S_{\text{доп}} = (12 \times 12) \text{ мм}^2$
11	Номинальная индуктивность	$L = 5,5 \text{ мкГн}$
	Добротность	$Q = 10$
	Рабочая частота	$f = 65 \text{ МГц}$
	Допустимая площадь катушки	$S_{\text{доп}} = (15 \times 15) \text{ мм}^2$
12	Номинальная индуктивность	$L = 4,5 \text{ мкГн}$
	Добротность	$Q = 16$
	Рабочая частота	$f = 90 \text{ МГц}$

	Допустимая площадь катушки	$S_{\text{доп}} = (12 \times 12) \text{ мм}^2$
13	Номинальная индуктивность	$L = 2 \text{ мкГн}$
	Добротность	$Q = 18$
	Рабочая частота	$f = 45 \text{ МГц}$
	Допустимая площадь катушки	$S_{\text{доп}} = (10 \times 10) \text{ мм}^2$
14	Номинальная индуктивность	$L = 3,5 \text{ мкГн}$
	Добротность	$Q = 10$
	Рабочая частота	$f = 25 \text{ МГц}$
	Допустимая площадь катушки	$S_{\text{доп}} = (15 \times 15) \text{ мм}^2$
15	Номинальная индуктивность	$L = 5,5 \text{ мкГн}$
	Добротность	$Q = 14$
	Рабочая частота	$f = 70 \text{ МГц}$
	Допустимая площадь катушки	$S_{\text{доп}} = (15 \times 15) \text{ мм}^2$

Лабораторная работа № 4

СХЕМОТЕХНИЧЕСКОЕ МОДЕЛИРОВАНИЕ ЭЛЕМЕНТОВ ИНТЕГРАЛЬНЫХ СХЕМ ТЕХНОЛОГИИ КМОП

Цель работы — ознакомиться со средой разработки полупроводниковых интегральных схем Cadence IC Design Environment и на примере схемы инвертора изучить принципы схемотехнического моделирования электронных устройств на базе технологии КМОП.

4.1. Подключение к серверу

Для запуска среды разработки Cadence IC Design Environment необходимо установить соединение с сервером с помощью программы **Xbrowser** (рис. 4.1).

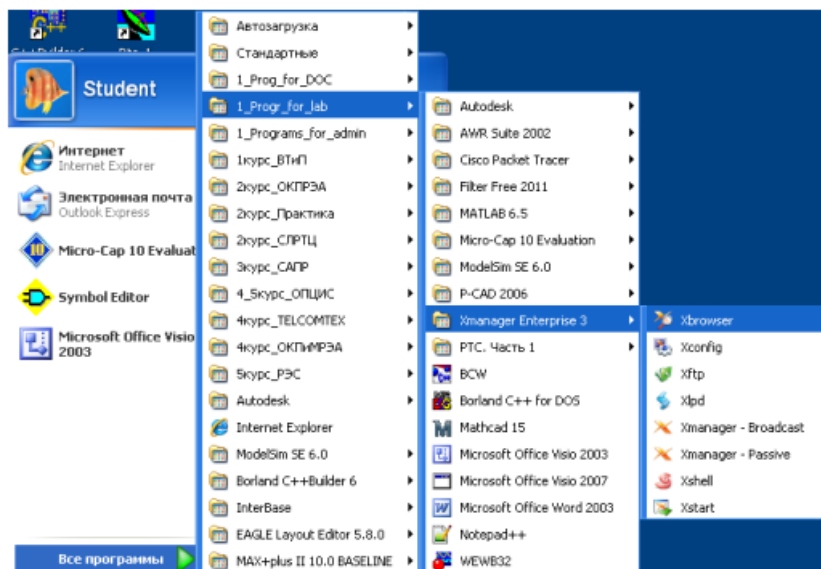


Рис. 4.1. Запуск программы **Xbrowser**

Вид окна программы Xbrowser показан на рис. 4.2. Программа обнаруживает сервер «linsev01» в локальной сети автоматически.

Сеанс связи с сервером «linsev01» запускается двойным щелчком. После установки связи откроется окно авторизации, в котором необходимо ввести учетные данные пользователя — логин и пароль. Логин и пароль выдаются преподавателем.

В результате успешной авторизации откроется рабочий стол учетной записи пользователя в операционной системе Linux (рис. 4.3).

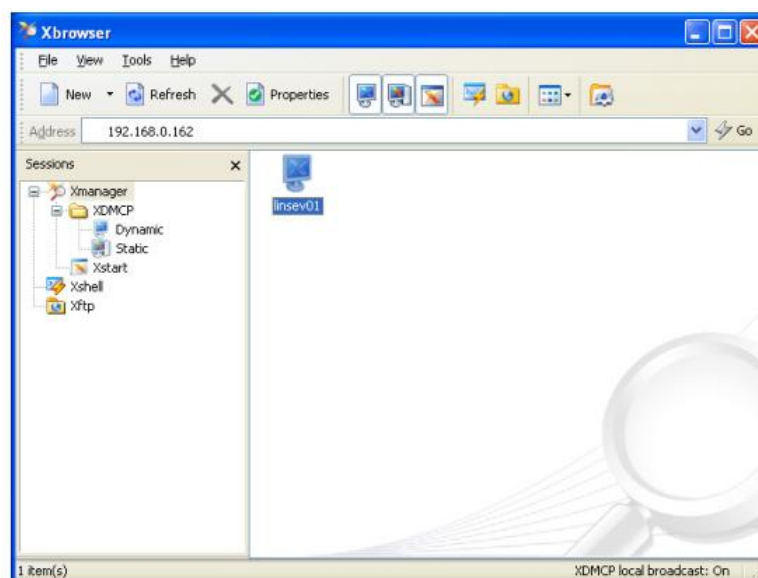


Рис. 4.2. Вид окна программы **Xbrowser**

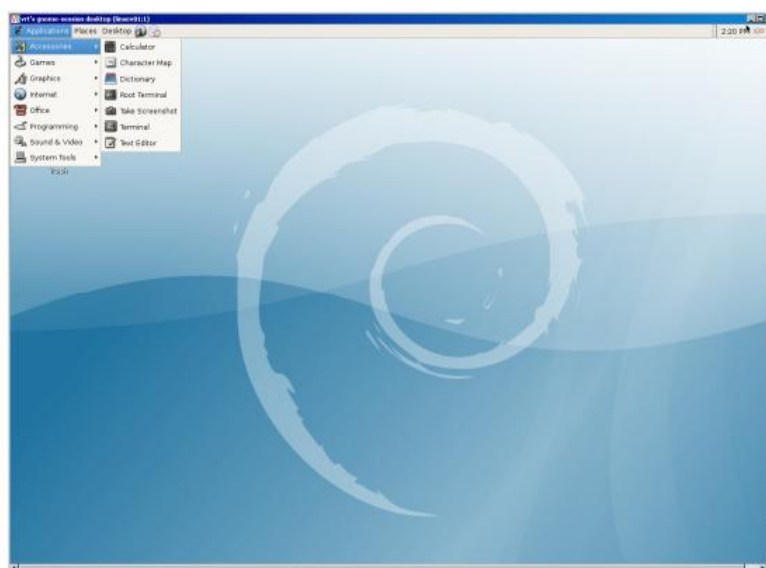


Рис. 4.3. Рабочий стол учетной записи пользователя сервера «linsev01»

4.2. Создание рабочей папки

Следующим шагом является создание рабочей папки, в которой будут храниться все проектные файлы и из которой будет производиться запуск среды разработки Cadence IC Design Environment.

На рис. 4.4 показана структура файловой системы сервера «linsev01». Каждой учетной записи пользователя соответствует папка пользователя **studN** в папке **home**.

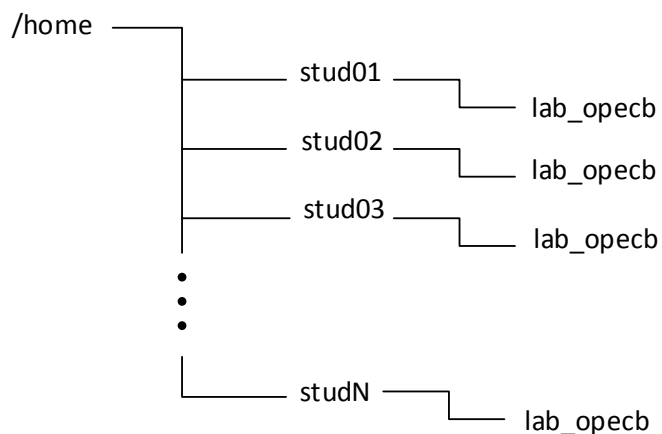


Рис. 4.4. Структура файловой системы сервера «linsev01»

В папке пользователя **studN** необходимо создать папку **lab_opceb** путем ввода команд в терминале сервера. Для запуска терминала на рабочем столе необходимо выбрать **Application – Accessories – Terminal**, после чего откроется окно термина (рис. 4.5).

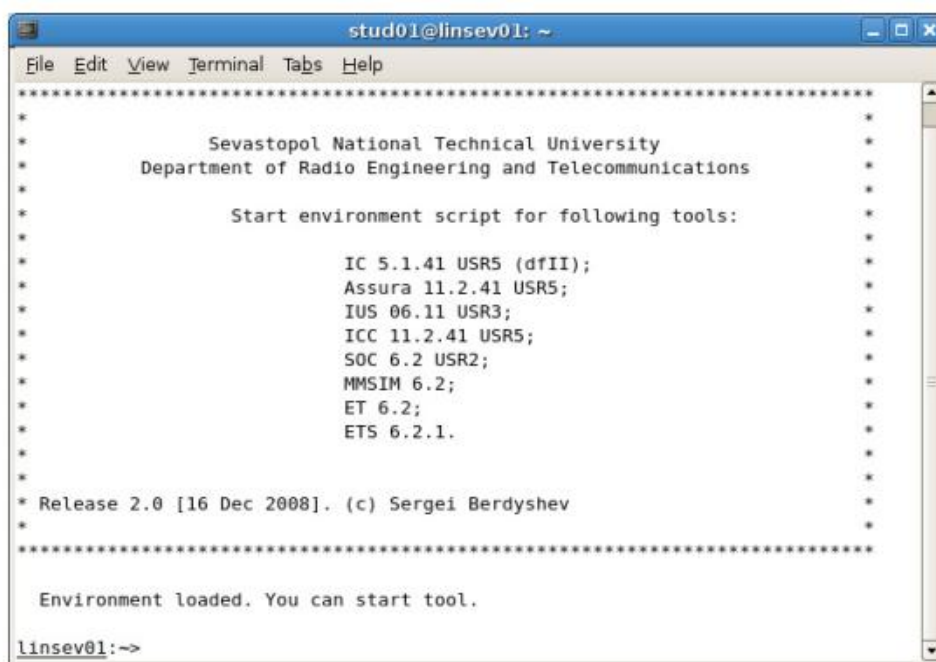


Рис. 4.5. Вид окна терминала сервера «linsev01»

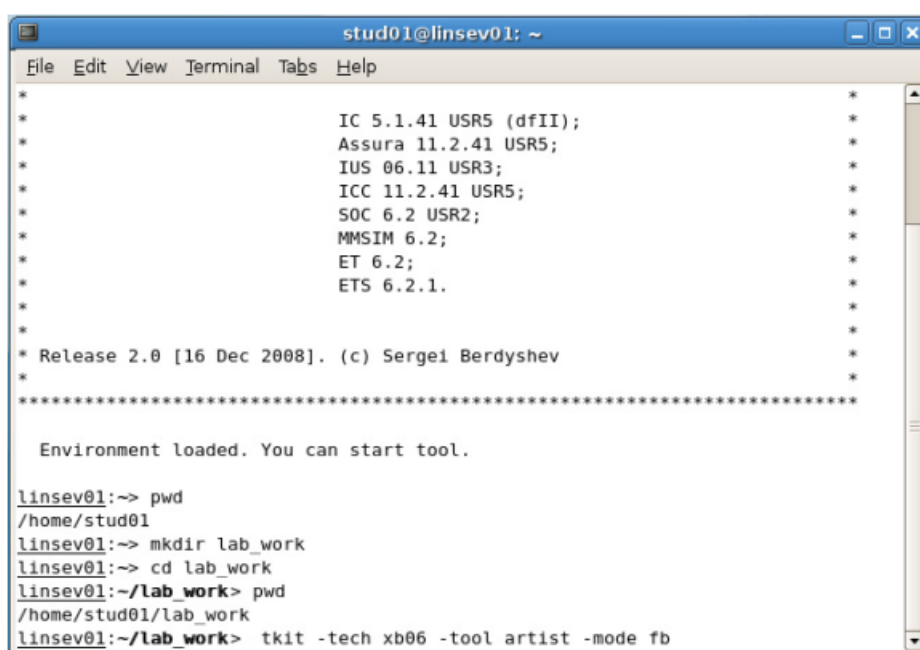
Команда **pwd** выводит в консоль путь к текущей папке.
 Для создание рабочей папки введите следующие команды (рис. 4.6):
mkdir lab_opceb (создание директории **lab_opceb** в текущей папке);
cd lab_opceb (переход в папку **lab_opceb**);
pwd (просмотр пути к текущей папке).

4.3. Запуск среды разработки Cadence IC Design Environment

Первый запуск среды разработки Cadence IC Design Environment производится с указанием набора используемых инструментов и подключаемых технологических библиотек. В лабораторной работе используется набор технологических библиотек X-FAB 0.6 μm BiCMOS (технологический процесс с проектной нормой 0,6 мкм с примитивами биполярных и КМОП транзисторов) компании X-Fab.

Первый запуск среды разработки с указанием подключаемых технологических библиотек осуществляется из рабочей папки **lab_opesb** вводом команды (рис. 4.6).

tkit –tech xb06 –tool artist –mode fb .



```
stud01@linsev01: ~
File Edit View Terminal Tabs Help
*
*          IC 5.1.41 USR5 (dfII);
*          Assura 11.2.41 USR5;
*          IUS 06.11 USR3;
*          ICC 11.2.41 USR5;
*          SOC 6.2 USR2;
*          MMSIM 6.2;
*          ET 6.2;
*          ETS 6.2.1.
*
*
* Release 2.0 [16 Dec 2008]. (c) Sergei Berdyshev
*
*****
Environment loaded. You can start tool.

linsev01:~> pwd
/home/stud01
linsev01:~> mkdir lab_work
linsev01:~> cd lab_work
linsev01:~/lab_work> pwd
/home/stud01/lab_work
linsev01:~/lab_work> tkit -tech xb06 -tool artist -mode fb
```

Рис. 4.6. Запуск среды разработки Cadence IC Design Environment

Команда **tkit** запускает Cadence Design Environment, используя следующие параметры:

- **–tech xb06** — выбор используемых технологических библиотек; в лабораторной работе используется набор технологических библиотек X-FAB 0.6 μm BiCMOS, сокращенно xb06;
- **–tool artist** — выбор стандартного инструмента Analog Artist (программа для моделирования электрических цепей);
- **–mode fb** — выбор режима разработки Front-To-Back Design.

Указанная команда используется один раз **при первом запуске** среды разработки. В дальнейшем запуск среды разработки может осуществляться с использованием короткой команды **icfb&** .

В результате ввода этой команды откроется основное окно среды разработки Cadence IC Design Environment **Common Interface Window (CIW)** и окно менеджера библиотек **Library manager**.

Окно **CIW** (рис. 4.7) является основным в среде Cadence Design Environment. В этом окне доступны основные инструменты и программы среды (меню **Tools**), настройки (меню **Options**) и справочные материалы среды (меню **Help**). Также в этом окне выводятся информационные сообщения, сообщения об ошибках и предупреждения, выдаваемыми различными программами среды. В текстовом поле окна **CIW** возможен ввод текстовых команд скриптового языка Cadence SKILL.

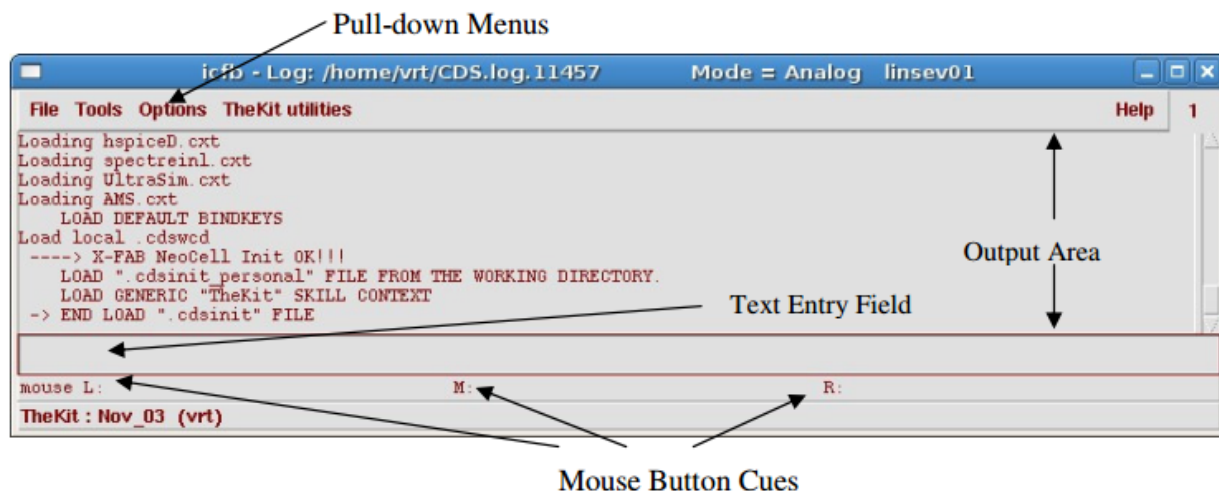


Рис. 4.7. Окно **Common Interface Window**

Менеджер библиотек (рис. 4.8), который может быть запущен из меню **Tools — Library manager**, используется для просмотра и управления содержимым технологических и пользовательских библиотек. Окно **Library manager** содержит следующие разделы:

- **Library** — библиотека — раздел, в котором приведен список технологических и пользовательских библиотек;
- **Category** — категория — раздел, в котором приведен список категорий компонентов выбранной библиотеки;
- **Cell** — ячейка — раздел, в котором приведен список компонентов выбранной категории библиотеки;
- **View** — вид — раздел, в котором приведен список видов выбранного компонента библиотеки.

К основным видам компонентов в библиотеках Cadence относятся:

- **symbol** — представление компонента в виде условного графического обозначения (символа), которое может быть включено в принципиальную электрическую схему;
- **schematic** — представление компонента в виде электрической принципиальной схемы; вид **schematic** используется при создании составных компонентов иерархического проекта;

— **layout** — представление компонента в виде топологического чертежа.

На рис. 4.8 показан пример выбора вида графического обозначения (**symbol**) компонента п-канального МОП транзистора (**nmos4**) из категории Полевые транзисторы (**Mosfets**) библиотеки **PRIMLIB**.

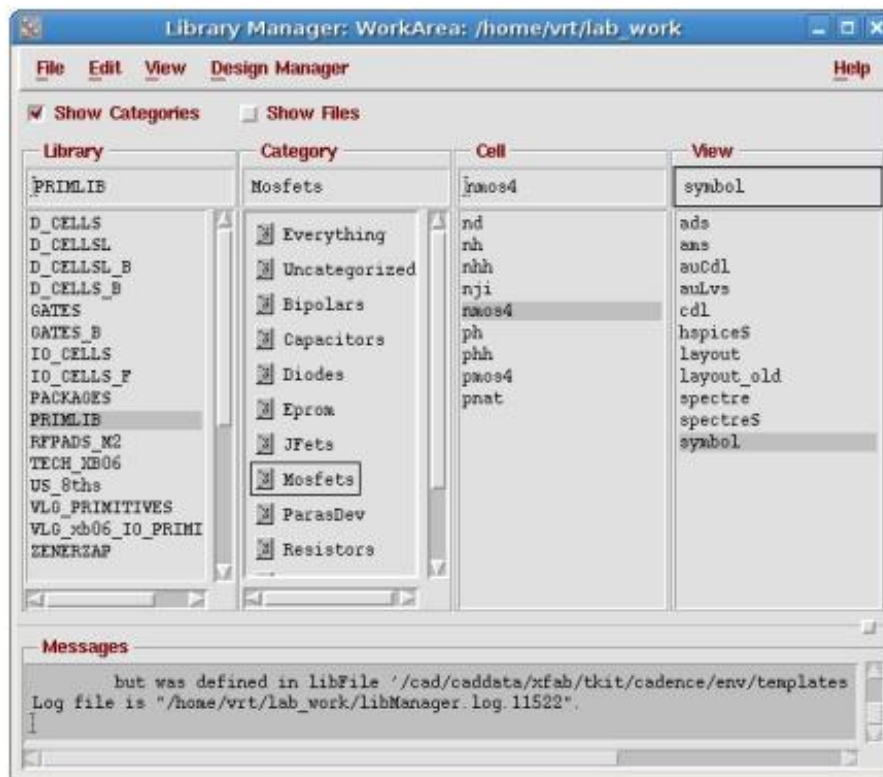


Рис. 4.8. Окно менеджера библиотек **Library manager**

Как правило, в среде разработки Cadence Design Environment доступны следующие виды библиотек:

- встроенные библиотеки, содержащие базовые компоненты такие как резисторы, конденсаторы, источники напряжения и тока и т.п.;
- технологические библиотеки, содержащие компоненты технологических примитивов, относящиеся к конкретному технологическому процессу;
- пользовательские библиотеки, содержащие проекты пользователя, в которых могут использоваться компоненты встроенных и технологических библиотек.

4.4. Проектирование аналоговых устройств в среде Cadence Design Environment

Рассмотрим этапы разработки и моделирования принципиальной схемы КМОП инвертора с использованием технологического процесса X-FAB 0.6 μm BiCMOS в среде Cadence Design Environment.

4.4.1. Создание библиотеки и выбор технологии

Разработка проекта начинается с создания пользовательской библиотеки для хранения всех проектных файлов. Для создания пользовательской библиотеки в окне **CIW** или в окне **Library Manager**:

— выберите пункт меню **File** → **New** → **Library**; при этом откроется окно (рис. 4.9, а);

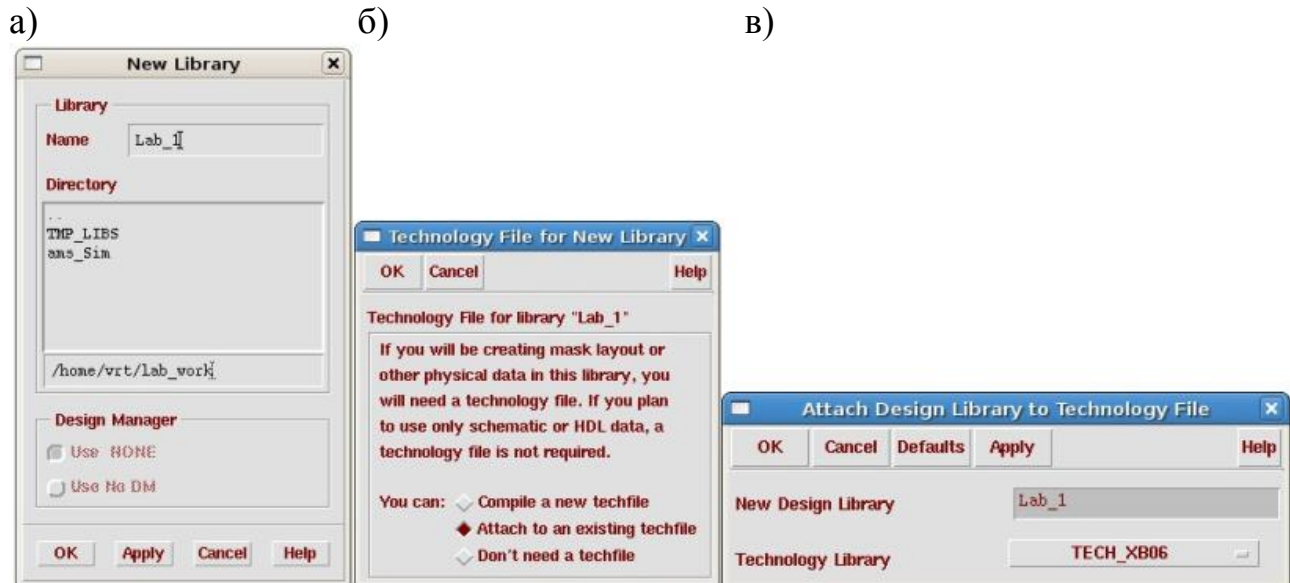


Рис. 4.9. Окна создания новой библиотеки и подключения файла технологии

— введите имя библиотеки (**Name**), например, **Lab_1**, и нажмите **OK**; при этом откроется окно выбора файла технологии (рис.4.9, б);

— выберите пункт **Attach to an existing techfile** (Прикрепить к существующему технологическому файлу) и нажмите **OK**; после этого откроется окно (рис.4.9, в);

— для выбора технологии X-FAB 0.6 μm BiCMOS в выпадающем меню **Technology Library** выберите пункт **TECH_XB06**.

Созданная библиотека будет отображаться в окне **Library Manager**.

4.4.2. Создание принципиальной схемы в Virtuoso Schematic Composer

Для создания файла принципиальной схемы выполните следующие шаги:

— в окне **Library Manager** выберите созданную библиотеку **Lab_1**;

— в меню **File** выберите пункт **New** → **Cell View**; после этого откроется окно создания новой ячейки (рис. 4.10);

— в поле **Cell Name** задайте имя ячейки, например, **inverter**;

— в выпадающем меню **Tool** выберите инструмент **Composer-Schematic**; в поле **View** (Вид) должно быть выбрано **schematic**;

— нажмите **OK**, после чего откроется окно редактора принципиальных схем **Schematic Composer** (рис. 4.11).



Рис. 4.10. Окно создание новой ячейки

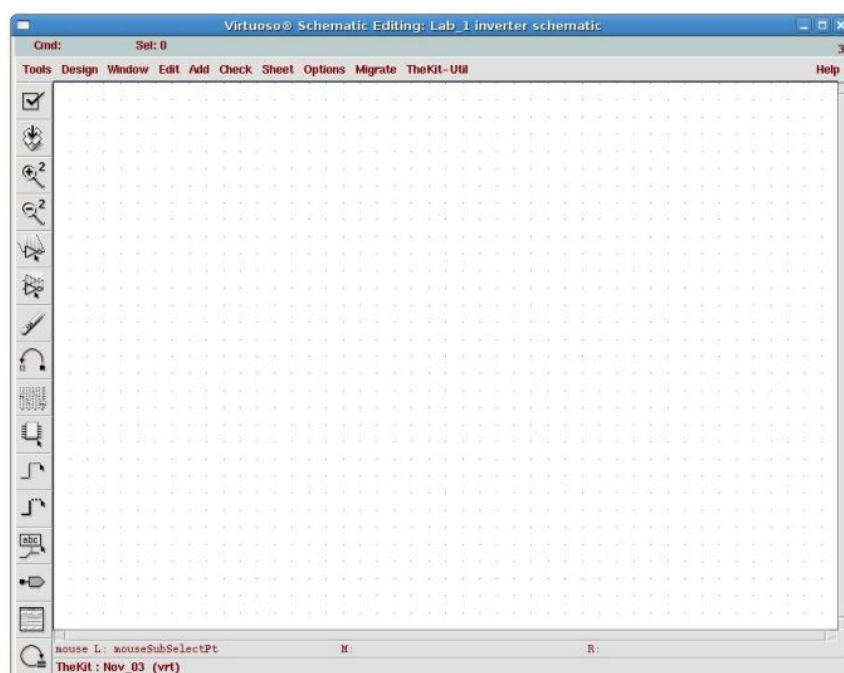


Рис. 4.11. Окно редактора принципиальных схем **Schematic Composer**

4.5. Добавление компонентов

Добавить компонент в принципиальную схему можно нажав на пиктограмму  (**Instance**) на панели инструментов окна **Schematic Composer**, либо выбрав пункт меню **Add** → **Instance**, а также с помощью «горячей» клавиши **i**. В результате откроется окно выбора компонента (рис. 4.12).

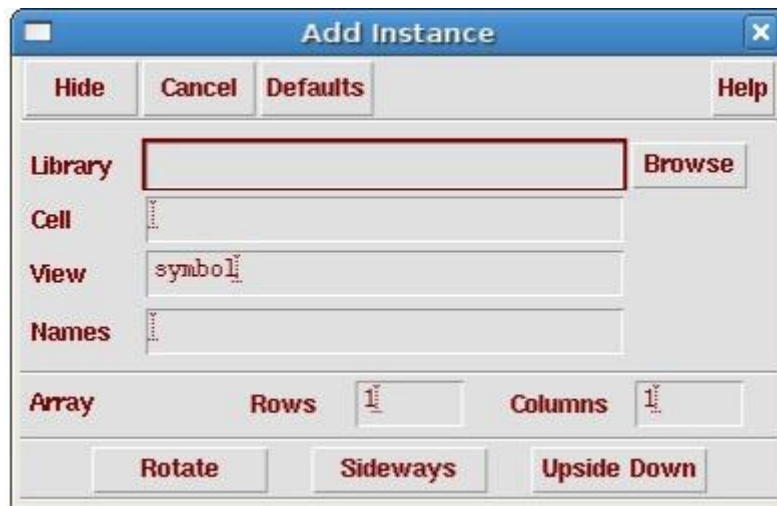


Рис. 4.12. Окно выбора компонента

В приложении Б содержится список «горячих» клавиш вызова основных инструментов программы **Schematic Composer**.

Нажмите кнопку **Browse** для выбора библиотеки и компонента, который будет помещен в схему. Выберите библиотеку **PRIMLIB**, компонент **nmos4** (n-канальный 4-электродный МОП транзистор), вид **symbol** (рис.4.13).

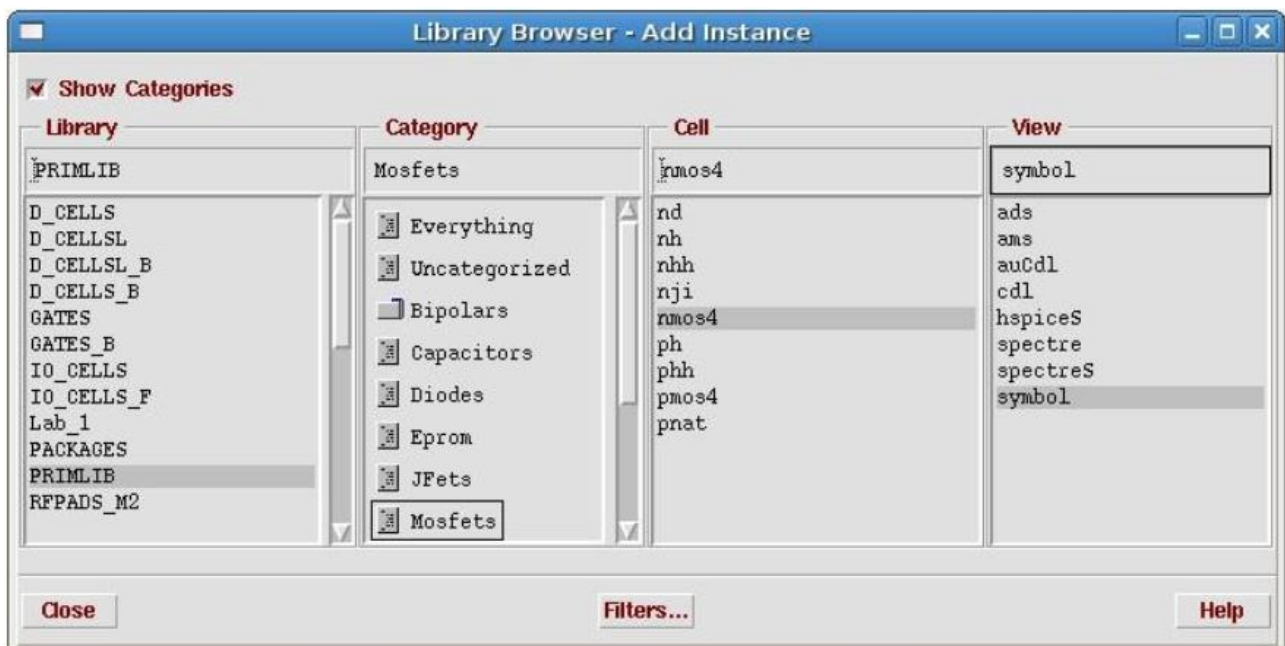


Рис. 4.13. Добавление компонента nmos4 в принципиальную схему

После выбора вида в окне **Add instance** становятся доступны свойства компонента, значения которых можно изменить. Задайте свойство **Width** (ширина канала транзистора) в значение **3u** (3 мкм). Перед размещением символа на принципиальной схеме его можно повернуть, нажав на кнопку **Rotate** в окне **Add instance**.

Нажмите кнопку **Hide** (Спрятать), чтобы скрыть окно свойств компонента, и разместите символ в окне схемного редактора. Обратите внимание на то, что после размещения компонента его символ все еще привязан к курсору. Это говорит о том, что команда **Place instance** все еще используется. Для ее завершения нужно нажать на клавишу **ESC**.

Добавьте в схему компонент **pmos4** (р-канальный 4-электродный МОП транзистор), задав ширину канала равной **4.5u** (4,5 мкм).

Соедините добавленные компоненты проводниками, как показано на рис. 4.14. Добавить проводник в принципиальную схему можно выбрав инструмент **Wire Narrow** на панели инструментов окна **Schematic Composer**, либо выбрав пункт меню **Add** → **Wire Narrow**, а также с помощью «горячей» клавиши **w**.

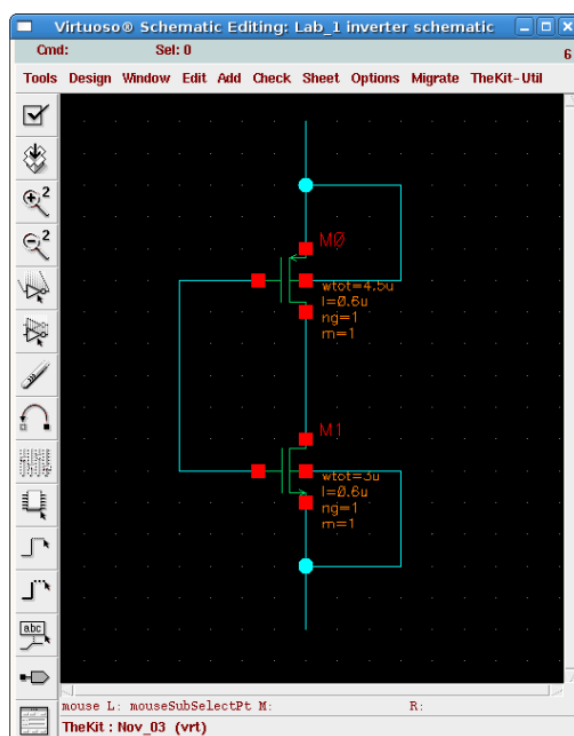


Рис. 4.14. Добавленные в схему п- и р-канальные транзисторы, соединенные проводниками

Переместите указатель мыши к месту соединения, при этом контакт компонента подсветится желтым цветом. Выбор режима трассировки проводника выбирается нажатием на правую кнопку мыши.

Добавьте в схему компоненты источника питания **vdd** и общего провода **gnd**, выбрав соответствующие символы из библиотеки **basic**.

Добавьте в схему входной и выходные контакты, выбрав инструмент  на панели инструментов, либо выбрав пункт меню **Add** → **Pin**, либо используя «горячую» клавишу **p**. При добавлении контактов откроется окно **Add Pin**, в котором задается имя (**Pin Name**) и направление (**Direction**) контакта (рис. 4.15).

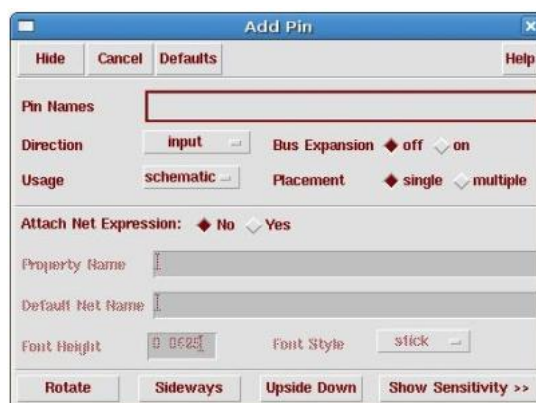


Рис. 4.15. Вид окна **Add Pin**

Задайте имя входного контакта — **IN**, направление — **input**; задайте имя выходного контакта — **OUT**, направление — **output**. Расположите контакты в схеме. Для поворота контакта перед размещением в схеме нажмите на кнопку **Rotate** в окне **Add Pin**.

Таким образом, принципиальная схема КМОП-инвертора примет вид, показанный на рис. 4.16.

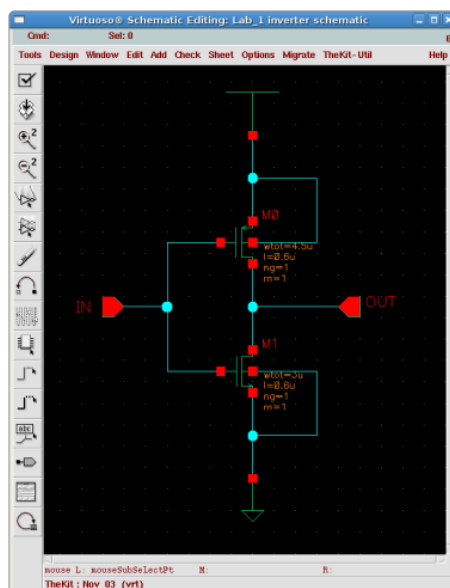


Рис. 4.16. Принципиальная схема КМОП инвертора
в окне программы **Schematic Composer**

Завершающим этапом создания принципиальной схемы является её проверка на наличие ошибок. Для проведения проверки выберите инструмент  на панели инструментов, либо пункт меню **Check** → **Current Cellview**. Результат проверки будет выведен в окне **CIW**.

4.6. Создание символов

Символы применяются при создании иерархических принципиальных схем. Принципиальная схема, составленная из примитивов библиотеки, может быть представлена на следующем уровне иерархии в виде символа, при этом символ должен иметь соответствующие контакты и понятное условное графическое обозначение. Для создания символа КМОП инвертора по составленной в программе **Schematic Composer** принципиальной схеме необходимо выполнить следующие шаги.

Выберите пункт меню **Design** → **Create Cellview** → **From Cellview**, в результате чего откроется соответствующее окно (рис. 4.17), в котором следует оставить значения параметров, предложенные по умолчанию, и нажать кнопку **OK**.

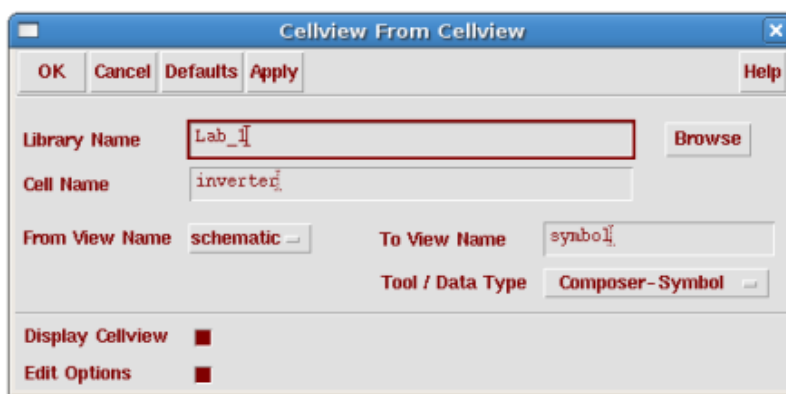


Рис. 4.17. Окно создания символа **Cellview From Cellview**

После этого откроется окно **Symbol Generation Option**, в котором можно задать расположение выводов создаваемого символа. Расположите контакт **IN** слева от символа, а контакт **OUT** — справа, и нажмите кнопку **OK**.

В результате откроется окно редактора символов **Symbol Editor** (рис. 4.18) с условным обозначением символа по умолчанию, выполненным зелеными линиями. Символ окружен красной рамкой, используемой для задания размера символа при его отображении в принципиальной схеме. Графическое обозначение символа можно отредактировать, изменив его форму и расположение контактов.

Измените графическое обозначение инвертора как показано на рис. 4.19. Добавление графических примитивов осуществляется из меню **Add** → **Shape**.

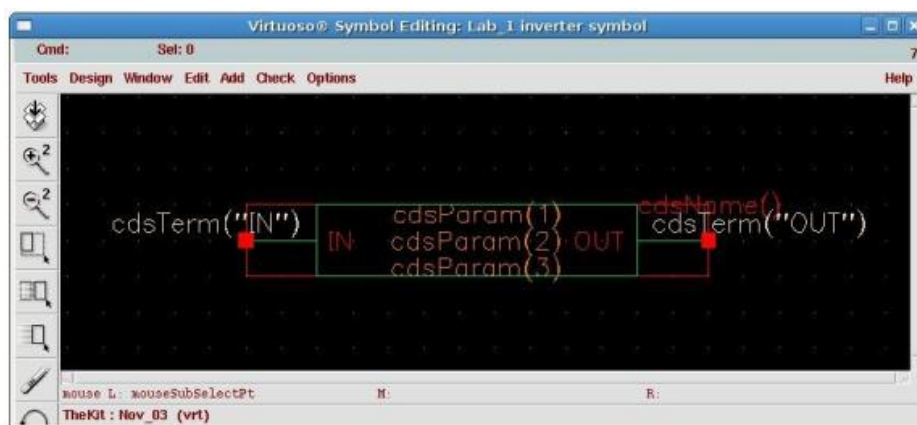


Рис. 4.18. Окно редактора символов **Symbol Editor** с условным обозначением по умолчанию

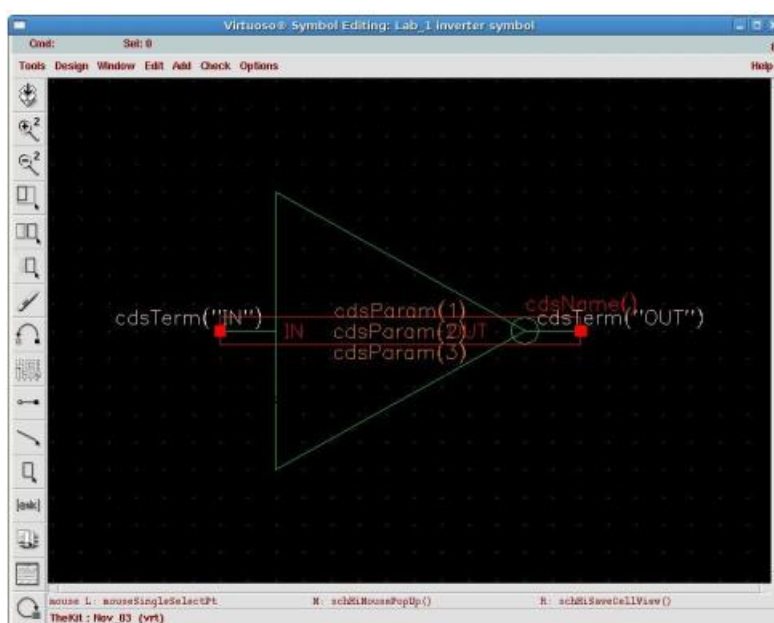


Рис. 4.19. Окно редактора символов **Symbol Editor** с отредактированным условным обозначением

Созданный символ может быть использован при создании иерархических принципиальных схем. Процедура добавления символа в схему не отличается от процедуры добавления компонентов других библиотек, рассмотренной ранее.

4.5. Подготовка моделирования

Для подготовки моделирования принципиальной схемы инвертора выполните следующие шаги.

Откройте вид **schematic** КМОП инвертора в схемном редакторе **Schematic Composer** и запустите программу моделирования **Analog Environment**, выбрав пункт меню **Tools** → **Analog Environment** (рис. 4.20).

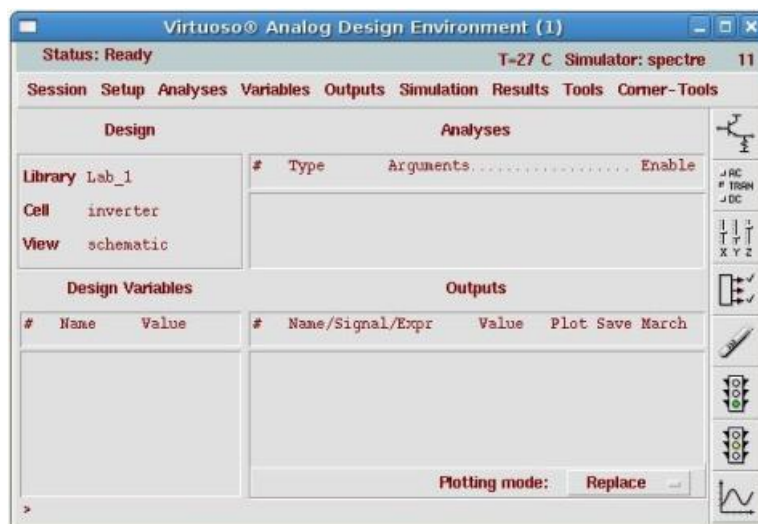


Рис. 4.20. Вид окна программы **Analog Environment**

В окне **Analog Environment** выберите программу-симулятор **spectre** и директорию, в которой будут сохраняться результаты моделирования, как показано на рис. 4.21.

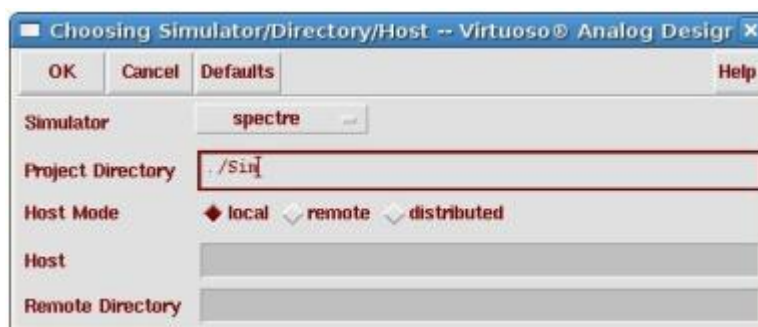


Рис. 4.21. Настройка программы-симулятора

Настройте параметры источников сигнала. Для этого выберите пункт меню **Setup** → **Stimuli** и выберите вкладку **Inputs**. Задайте следующие параметры входного сигнала:

- в выпадающем списке **Fuction** выберите пункт **pulse** (импульсный сигнал);
- начальное напряжение 0 В: **Voltage1** — 0;
- конечное напряжение 5 В: **Voltage2** — 5;
- время фронта импульса 0,1 нс: **Rise Time** — 0.1n;
- время спада импульса 0,1 нс: **Fall Time** — 0.1n;
- длительность импульса 1 нс: **Pulse width** — 1n;
- период сигнала 2 нс: **Period** — 2n.

Нажмите на кнопку **Change** для обновления параметров сигнала. Убедитесь в том, что установлена галочка **Enable**.

Задайте параметры источника питания. Для этого в окне **Stimuli** перейдите на вкладку **Global Sources**. Задайте следующие параметры источника питания **vdd!**:

— в выпадающем списке **Fuction** выберите пункт **dc** (постоянное напряжение);

— постоянное напряжение 5 В: **DC voltage** — 5.

Нажмите на кнопку **Change** для обновления параметров источника напряжения. Убедитесь в том, что установлена галочка **Enable**.

Выберите тип моделирования. В окне **Analog Environment** выберите пункт меню **Analysis** → **Choose**. В открывшемся окне (рис. 4.22) выберите тип анализа **tran** (Анализ переходных процессов) и задайте время остановки моделирования **Stop Time** в значение **4n** (4 нс). Установите галочку **Enable** и нажмите кнопку **OK**.

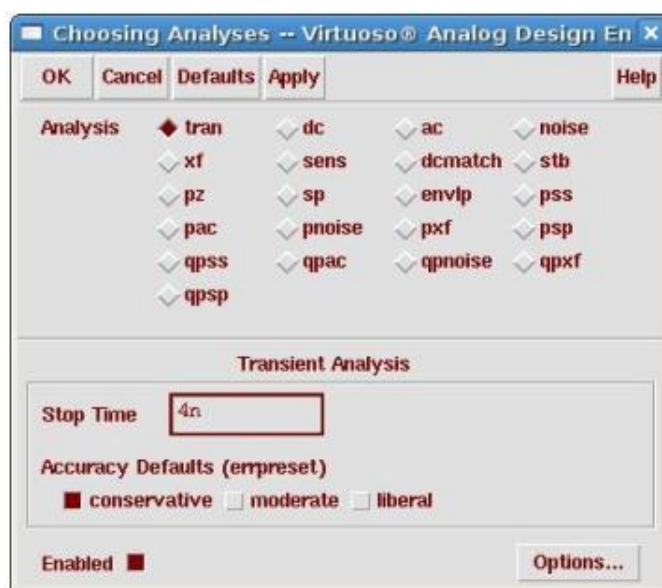


Рис. 4.22. Выбор типа моделирования

Для отображения входного и выходного напряжений на графиках в результате моделирования в окне **Analog Environment** выберите пункт меню **Outputs** → **To Be Plotted** → **Select On Schematic**, после чего перейдите в окно **Schematic Composer** и левой кнопкой мыши выберите проводники входной и выходной цепей КМОП инвертора.

В результате выполнения указанных действий окно **Analog Environment** примет следующий вид (рис. 4.23).

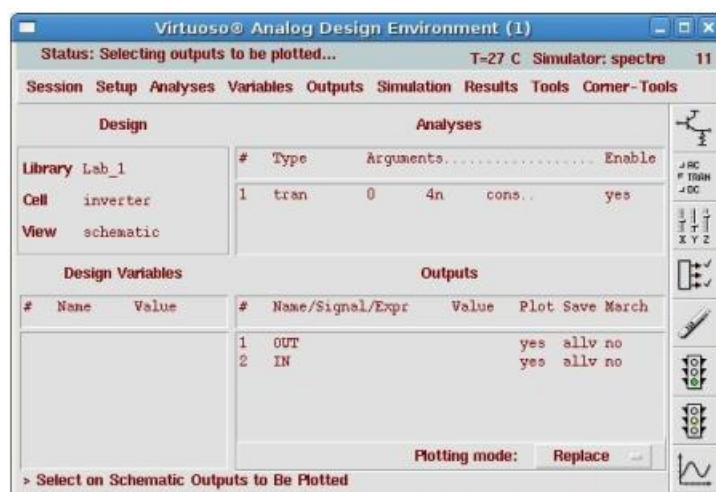


Рис. 4.23. Вид окна **Analog Environment** в результате подготовки моделирования

Сохраните настройки моделирования, выбрав пункт меню **Session** → **Save State**. В открывшемся окне **Saving State** задайте имя файла настроек моделирования и директорию, в которой он будет сохранен. Настройки моделирования могут сохраняться в ячейках библиотек. Для этого в окне **Saving State** в разделе **Save State Option** следует выбрать пункт **Cellview**.

При необходимости повторного моделирования этапы настройки моделирования можно пропустить, выбрав сохраненные настройки через пункт меню **Session** → **Load State**.

4.6. Запуск моделирования

Для запуска моделирования в окне **Analog Environment** выберите пункт меню **Simulation** → **Netlist and Run**, либо нажмите на пиктограмму . После этого откроется окно **Welcome to Spectre**. Установите в нем галочку **Do not show this text again** и нажмите кнопку **OK**. В результате успешного моделирования отобразится следующее окно (рис. 4.24).

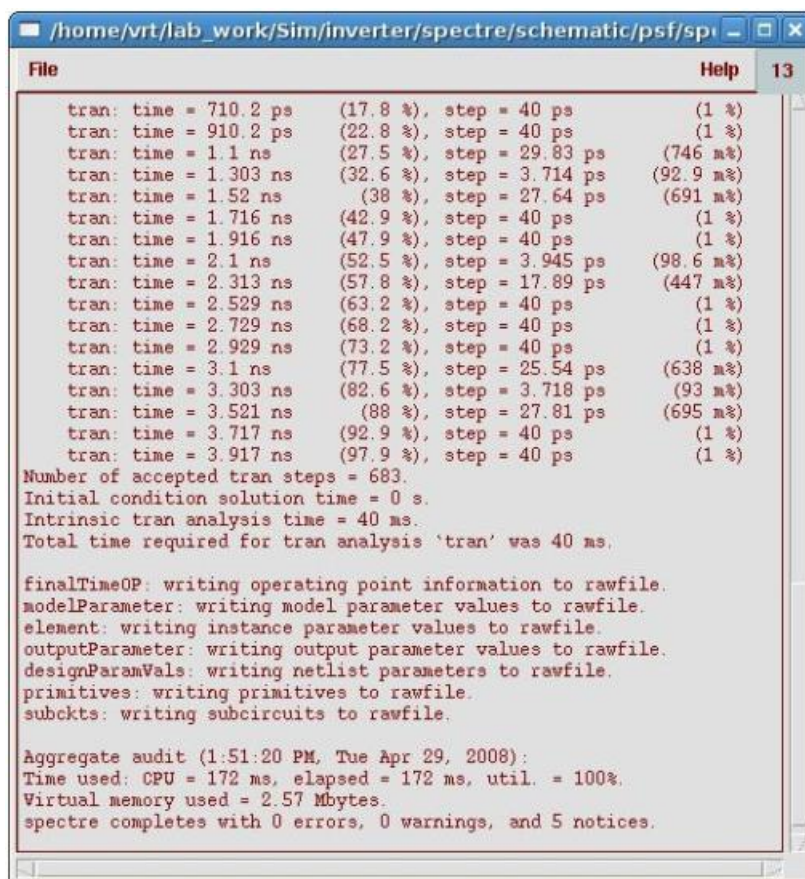


Рис. 4.24. Вид окна результатов моделирования

При необходимости моделирование может быть остановлено в любой момент времени после выбора пункта меню **Simulation** → **Interrupt**.

4.7. Отображение результатов моделирования

В результате успешного моделирования окно **Graf Window** (рис.4.25) откроется автоматически. Окно **Graf Window** также может быть вызвано в результате выбора пункта меню **Results** → **Direct Plot** → **Main form** в окне **Analog Environment**.

Графики входного и выходного напряжения в окне **Graf Window** могут быть разделены нажатием на кнопку  на панели инструментов.

Для измерения длительностей фронта и спада выходного напряжения на график следует добавить маркеры, выбрав пункт меню **Markers** → **Place** → **Trace Marker** окна **Graf Window**. Длительности фронта и спада напряжения измеряются на уровнях 0,5 В (10 %) и 4,5 В (90 %).

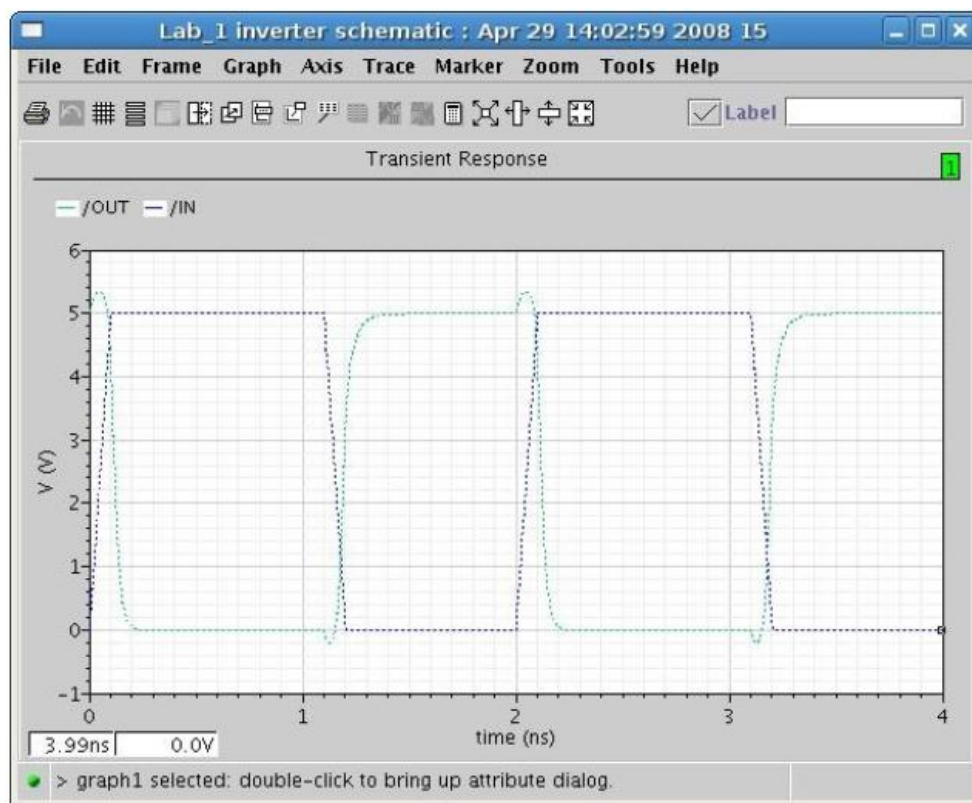


Рис. 4.25. Вид окна **Graf Window** с результатами моделирования

4.8. Исследование передаточной характеристики инвертора

Для снятия передаточной характеристики инвертора в схеме замените входной контакт **IN** источником постоянного напряжения **vdc** из библиотеки **analoglib** (положительный контакт источника соедините с затворами транзисторов, а отрицательный — с общим проводом).

Выберите тип моделирования. В окне **Analog Environment** выберите пункт меню **Analysis** → **Choose**. В открывшемся окне выберите тип анализа **dc** (Анализ статических характеристик), в разделе **Sweep Variable** (Изменяемые переменные) установите галочку **Component Parameter** (Параметры компонента), далее нажмите на кнопку **Select Component** и левой кнопкой мыши выберите источник **vdc** в окне редактора принципиальных схем. В открывшемся окне со списком параметров компонента выберите параметр **dc** (постоянное напряжение). После этого в разделе **Sweep Range** (Диапазон изменения переменных) задайте диапазон от 0 до 5 В, а в выпадающем меню **Sweep Type** (Тип изменения переменной) выберите тип **Linear** и задайте подходящий шаг (**Step Size**) изменения величины напряжения источника. Нажмите на кнопку **OK**.

Таким образом, в рамках анализа **dc** напряжение источника постоянного напряжения **vdc** будет меняться линейно в диапазоне от 0 до 5 В с заданным шагом.

В окне **Analog Environment** выберите пункт меню **Outputs** → **To be plotted** → **Select on Schematic**, и в окне редактора принципиальных схем выберите проводник цепи **OUT**.

Запустите моделирование. По полученному графику передаточной характеристики инвертора определите напряжение переключения, установив маркер в точку на графике, соответствующую входному напряжению 2,5 В.

4.9. Параметрическое моделирование

Повторите построение передаточной характеристики инвертора, изменяя ширину канала р-канального транзистора параметрически.

В свойствах транзистора **pmos4** задайте ширину канала с помощью переменной **Wp** и нажмите на кнопку **Check and Save**. Далее в окне **Analog Environment** выберите пункт меню **Variables** → **Copy From Cellview**. Обратите внимание на то, что переменная **Wp** теперь отображается в разделе **Design Variables** окна **Analog Environment**.

Для выполнения параметрического моделирования выберите пункт меню **Tools** → **Parametric Analysis**. В открывшемся окне **Parametric Analysis** впишите имя переменной в поле **Variable Name**, задайте пределы изменения переменной **From: 3u**; **To: 6u**. В выпадающем меню **Step Control** выберите пункт **Linear**, задайте общее количество шагов (**Total Steps**) в значение **4** и установите галочку **Select**.

Для запуска параметрического анализа в окне **Parametric Analysis** выберите пункт меню **Analysis** → **Start**. По окончании моделирования на графике будет отображено семейство передаточных характеристик инвертора, полученных при изменении ширины канала р-канального транзистора.

Обратите внимание на влияние ширины канала р-канального транзистора на величину напряжения переключения инвертора.

4.10. Содержание отчета

Отчет по лабораторной работе должен содержать:

- цель работы;
- снимки экрана, полученные на различных этапах выполнения задания, включая этапы создания принципиальной схемы и символа КМОП инвертора, задания параметров моделирования;
 - временную диаграмму работы инвертора, а также результаты оценок времен фронта и спада выходных импульсов (п. 4.7);
 - передаточные характеристики, а также результаты оценок величин напряжения переключения инвертора (п. 4.8, п. 4.9);
 - подробные выводы.

ПРОЕКТИРОВАНИЕ ТОПОЛОГИИ ИНТЕГРАЛЬНЫХ СХЕМ ТЕХНОЛОГИИ КМОП

Цель работы — на примере схемы инвертора изучить проектирование топологии полупроводниковых интегральных схем в редакторе топологии **Virtuoso Layout Editor** с использованием инструментов **Design Rule Checker (DRC)**, **Parasitic Extractor** и **Layout versus Schematic (LVS)**.

5.1. Введение

Проектирование топологии является одним из наиболее важных шагов в маршруте проектирования полностью заказных ИС. На этом этапе проектировщик с использованием среды **Virtuoso Layout Editor** задает детальную геометрию и взаимное расположение всех слоев кристалла микросхемы в формате, учитывающем реальные условия производства. Топология оказывает существенное влияние на основные характеристики ИС, такие как площадь, быстродействие и рассеиваемая мощность, поскольку геометрическое расположение различных слоев ИС определяет характеристики транзисторов, величины паразитных емкостей и сопротивлений, а также площадь кристалла микросхемы, необходимую для реализации той или иной функции преобразования сигналов.

Проектирование топологии ИС представляет собой итеративный процесс, который начинается после завершения этапа схемотехнического проектирования и выбора исходных размеров транзисторов. Крайне важно, чтобы проектирование топологии производилось с соблюдением правил изготовления фотошаблонов, что обеспечивает снижение вероятности возникновения дефектов при производстве ИС. Поэтому на различных стадия топологического проектирования производится проверка соблюдения правил проектирования с использованием соответствующего инструмента **Design Rule Check (DRC)** среды **Virtuoso Layout Editor**.

Еще одним важным этапом топологического проектирования является извлечение (экстракция) списка соединений элементов топологии, что позволяет удостовериться в том, что разработанная топология реализует требуемую функциональность ИС и соответствует разработанной на этапе схемотехнического проектирования принципиальной схеме. Подобная проверка реализуется с помощью инструмента **Layout versus Schematic (LVS)**.

На этапе извлечения списка соединений возможна также экстракция паразитных составляющих топологии. Учет паразитных электрических параметров разработанной топологии позволяет повысить достоверность результатов моделирования и делает возможным устранение ошибок и неточностей разработки еще на этапе проектирования, снижая общий срок и конечную стоимость проектирования и производства ИС.

Оптимизация топологии, направленная на достижение заданных характеристик ИС, зачастую является напряженным и трудоемким процессом. Поэтому в современной практике проектирования ИС широко используются средства автоматизированного проектирования. Как правило, процесс разработки цифровых схем, основанных на регистровой логике с глобальной синхронизацией полностью автоматизирован. Сначала на основе алгоритма функционирования цифровой схемы, заданного с использованием языков описания аппаратуры (HDL — Hardware Description Language), таких как VHDL или Verilog, производится синтез схемы на уровне логических элементов. Затем из списка соединений логических элементов с помощью программ размещения и трассировки (Place&Route) автоматически генерируется топология ИС.

Характеристики аналоговых ИС более чувствительны к особенностям топологии. Как правило, процесс проектирования топологии аналоговых ИС менее автоматизирован и многие этапы разработки выполняются проектировщиком вручную. Данная лабораторная работа содержит описание основных шагов проектирования топологии ИС с применением средств автоматизированного проектирования.

5.2. Разработка топологии инвертора

В лабораторной работе №4 были разработаны принципиальная схема (**schematic**) и символ (**symbol**) инвертора, а также проведено моделирование его работы. Следующим этапом в маршруте проектирования является создание топологии (**layout**) инвертора. Проектирование топологии заключается в создании топологического чертежа, по которому производится изготовление ИС.

Перед началом проектирования топологии, должен быть выбран технологический процесс. Этот шаг уже был выполнен при создании пользовательской библиотеки и ячейки инвертора в ней. При проектировании используется технологический процесс X-FAB xb06 BiCMOS с проектной нормой 0,6 мкм. Создание топологии осуществляется на основе электрической принципиальной схемы с учетом пути прохождения сигналов.

На рис. 5.1 показаны два варианта принципиальной схемы инвертора. С электрической точки зрения принципиальные схемы идентичны, однако схема справа является более предпочтительной при использовании средства автоматического синтеза заготовки топологического чертежа.

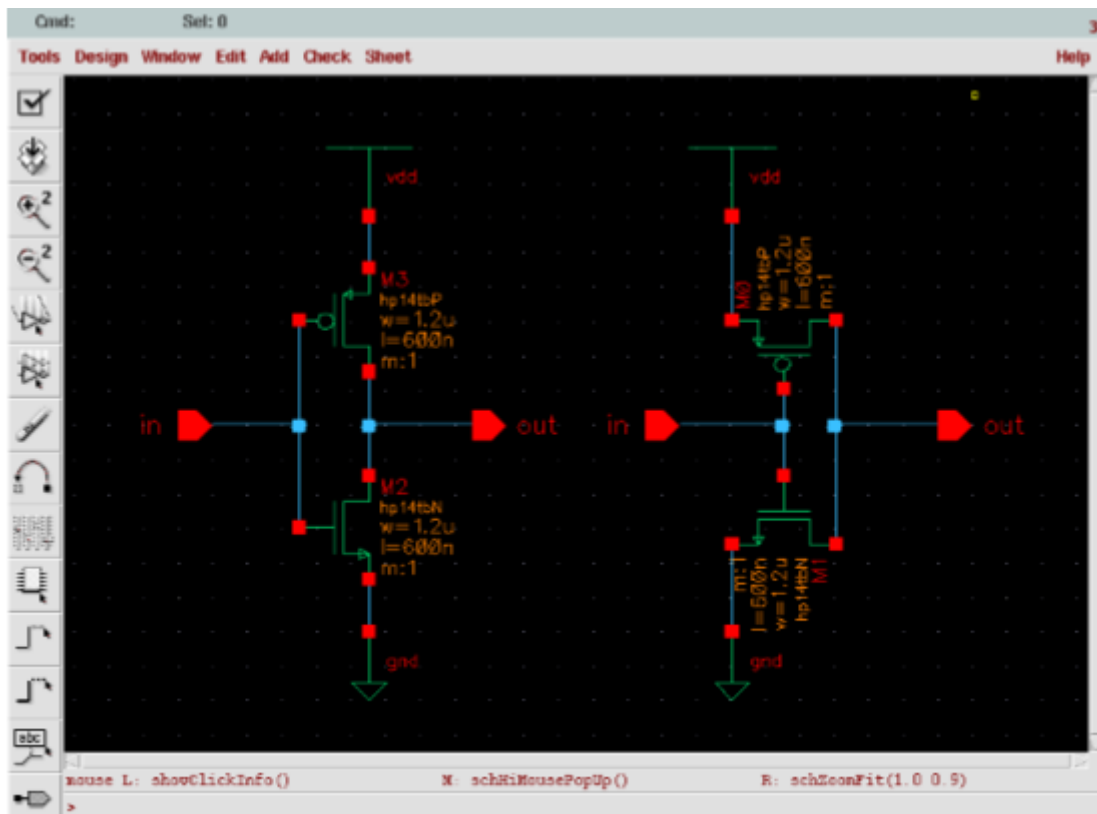


Рис. 5.1. Варианты принципиальной схемы инвертора

Взаимное расположение активных элементов и слоев топологии может быть различным. На рис. 5.2 показаны варианты топологий инвертора, повторяющие расположение элементов и проводников в принципиальных схемах.

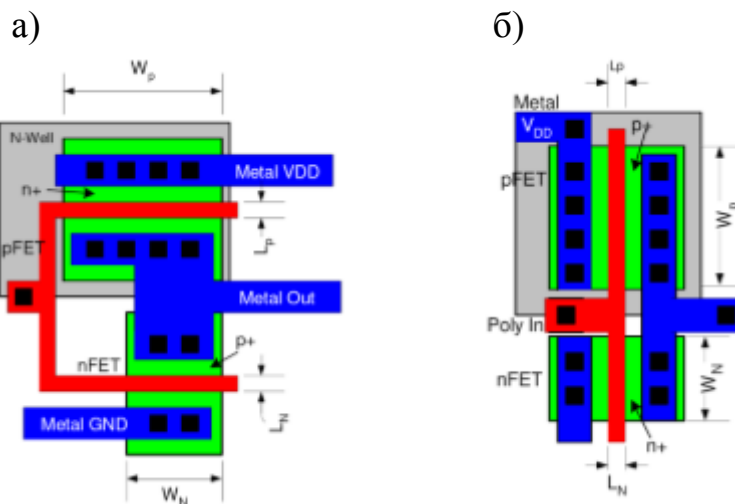


Рис. 5.2. Варианты топологии инвертора

Важным фактором выбора вида топологии является учет путей прохождения сигналов, выбор сигнальных слоев ИС и способов их соединения. В современных технологических процессах для передачи сигналов могут использоваться сразу несколько физических слоев. Например, технология xB06 позволя-

ет использовать четыре таких слоя: poly (поликремний) и три слоя металла (Metal-1, Metal-2, Metal-3).

На рис. 5.3 приведен пример схемы путей прохождения сигналов в инверторе.

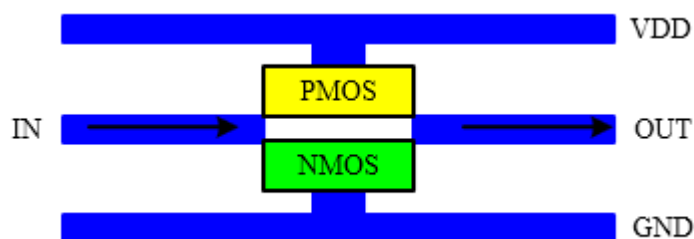


Рис. 5.3. Схема путей прохождения сигналов в инверторе

Согласно этой схеме для передачи всех электрических сигналов используется слой Metal-1, изображенный синим цветом. При этом сигналы распространяются горизонтально. Схема путей прохождения сигналов представляет собой общее представление, которое удобно использовать для визуализации работы конкретной схемы. Фактическая топология будет лишь приблизительно соответствовать такому представлению.

В лабораторной работе будет продемонстрирован полуавтоматический метод создания чертежа топологии инвертора. Поскольку создание топологии вручную является достаточно трудоемким процессом, значительный объем работ производится автоматическим путем. В частности, будет использован инструмент **Device Level Placer (DLP)**, с помощью которого на основе списка соединений файла принципиальной схемы будет автоматически создана заготовка топологии, содержащая транзисторы с заданными геометрическими параметрами и порты ввода/вывода.

5.2.1. Запуск Virtuoso Layout Editor

Перед запуском **Virtuoso Layout Editor**, вы должны выполнить соединение с сервером, как это было описано в инструкции по проведению лабораторных работ № 4, и запустить среду Cadence IC Design Environment из вашей рабочей директории "lab_opescb", набрав в окне терминала команду **icfb&**. Появится окно **CIW** и **Library Manager Window**. В последней выберите библиотеку **Lab_1**, созданную в ходе лабораторной работы №4. В библиотеке Lab_1 должна быть расположена ячейка **inverter**, содержащая два вида: **schematic** и **symbol**. Приступим к созданию вида топологии **layout**.

5.2.2. Запуск автоматизированного инструмента Layout XL

Откройте вид **schematic** вашего дизайна, используя **Library Manager**. При этом откроется окно редактора Composer (рис. 5.4).

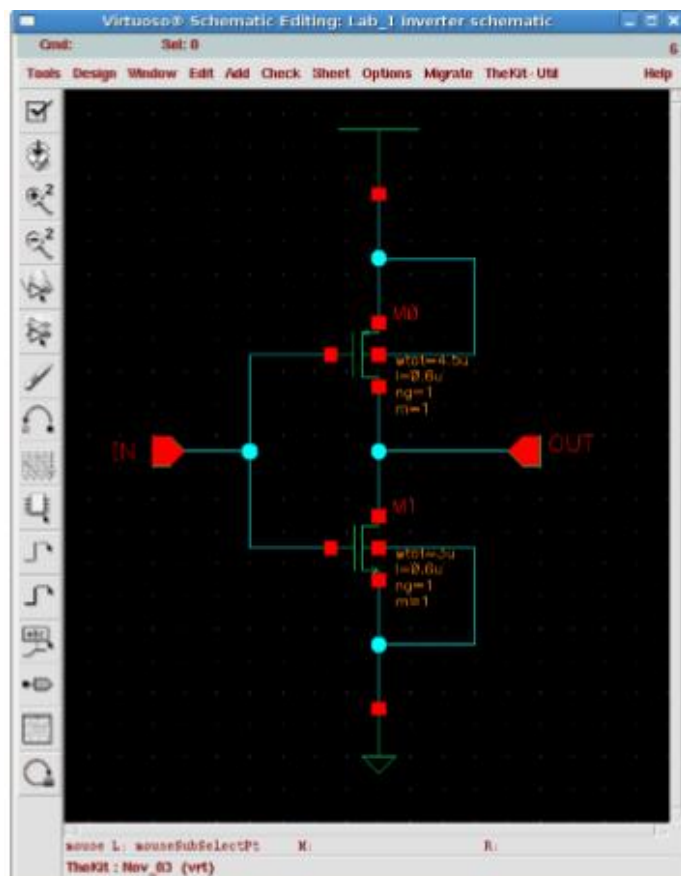


Рис. 5.4. Окно редактора Composer с принципиальной схемой инвертора

В этом примере р-канальный транзистор имеет ширину канала $W = 9$ мкм и длину канала $L = 0,6$ мкм, в то время как п-канальный транзистор имеет ширину канала $W = 3$ мкм и длину канала $L = 0,6$ мкм.

В меню этого окна выберите **Tools** → **Design Synthesis** → **Layout XL**. Появится окно **Startup Options** (Опций запуска) (рис. 5.5), **Create New** (Создать новую) или **Open Existing** (Открыть существующую) ячейку. Выберите **Create New** ячейку и нажмите кнопку **OK**.



Рис. 5.5. Окно Опций запуска **Startup Options**

Далее откроется диалоговое окно создания нового вида (рис. 5.6). Убедитесь в том, что выбрана библиотека **Lab_1**, ячейка **inverter** и вид **layout** и нажмите **OK**.



Рис. 5.6. Окно создания нового вида

В дополнение к уже открытому окну **Virtuoso Schematic Editing**, появится новое окно **Virtuoso XL** и окно выбора рабочего слоя **Layer Selection Window (LSW)** (рис. 5.7). Эти три окна определяют рабочую среду для автоматической генерации топологии.

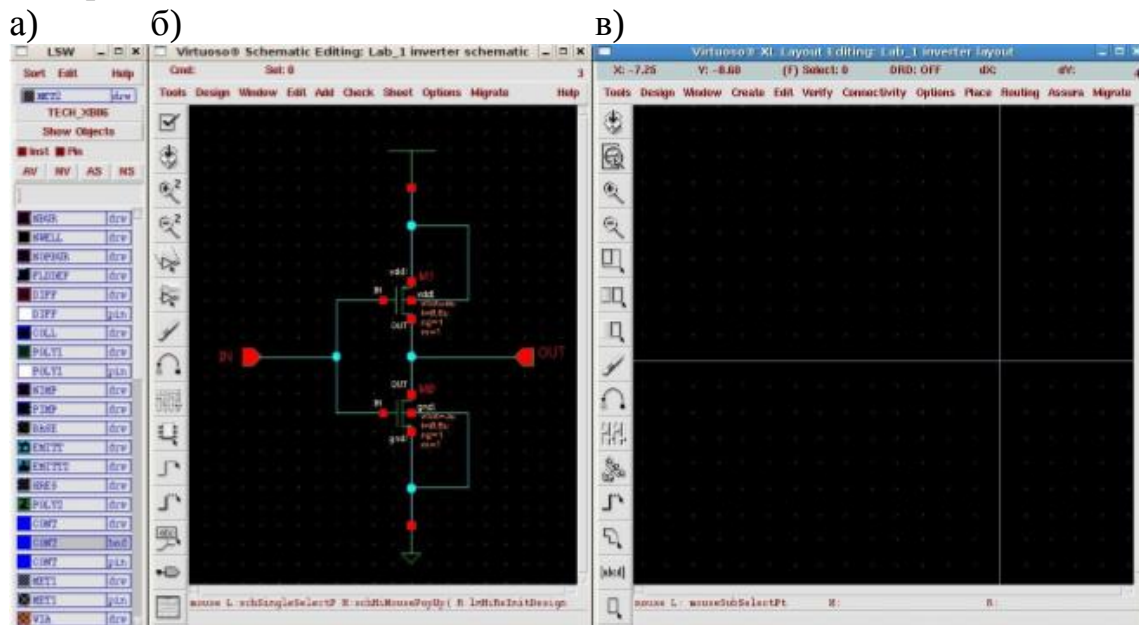


Рис. 5.7. Окно **Layer Selection Window (LSW)** (а),
окно **Schematic Editing** (б) и окно **Virtuoso Layout XL** (в)

Virtuoso XL Layout Editing Window (VLEW) является главным редактором топологии Cadence. Часто используемые функции доступны при нажатии кнопок на панели в левой стороне экрана. В верхней части окна расположена информационная строка. Эта информационная строка содержит X и Y координаты курсора, число выбранных объектов, пройденное расстояние в X и Y, общее расстояние, а также выводит команду, используемую в настоящее время. Эта информация может быть очень удобна при редактировании.

В нижней части окна выводятся команды, доступные по нажатию кнопок мыши. Обратите внимание на то, что эти функции будут меняться в зависимости от текущей выбранной команды.

Выбор команд в VLEW запускает режим редактирования. Режимом по умолчанию является режим выбора. Для выхода из любого режима и возврата в режим по умолчанию, может быть использована клавиша **ESC**.

The Layer Selection Window (LSW) позволяет пользователю выбрать различные слои топологии фотошаблона. Virtuoso всегда будет использовать слой, выбранный в **LSW** для редактирования. **LSW** также можно использовать для определения того, какие слои будут видны и какие слои будут доступны для редактирования. Окно **LSW** содержит кнопки:

- **AV** («все видимое») — все слои видны;
- **NV** («нет видимых») — все слои скрыты;
- **AS** («все по выбору») — все слои доступны для выбора и редактирования;
- **NS** («нет по выбору») — выбор слоев запрещен.

Чтобы выбрать текущий слой, просто щелкните на нужном слое в пределах **LSW**.

Важно: только слои, обладающие свойством **dg** будут изготовлены. Остальные слои используются, в основном, для маркировки, выделения ошибки и документирования.

Для того, чтобы начать процесс генерации топологии из принципиальной схемы, выберите пункт меню **Design → Gen from Source...** окна **Virtuoso XL**.

Появится Окно **Layout Generation Options** (Настройки генерации топологии), как показано на рис. 5.8.

Внесите следующие изменения в окне **Layout Generation Options**:

- 1) в поле **I/O pins** (Контакты ввода/вывода), измените контактный слой **Layer/Master** в на **MET1.dg**. и включите опцию **Create** (создать);
- 2) нажмите кнопку **Apply** (применить); эта кнопка приведет к изменению всех параметров контактов ввода/вывода;
- 3) включите опцию **Label** (отображение подписи контактов) в поле **Pin Label Shape**;
- 4) нажмите на кнопку **OK**.

После этого в окне **Virtuoso Layout XL** отобразится фиолетовый квадрат, который будет изображать границу размещения и трассировки элементов топологии, два красных прямоугольника, обозначающие транзисторы (**nmos4** и **pmos4**) и четыре площадки в слое **MET1** (контакты ввода/вывода). Все это будет отображаться в нижней части окна. Размер фиолетового квадрата в верхней части окна определяет приблизительный размер топологии. Этот размер не является обязательным, он рассчитывается на основе размеров активных элементов.



Рис. 5.8. Окно настроек генерации топологии
Layout Generation Options

Для того, чтобы получить первоначальное размещение элементов внутри границы расположения и трассировки, выберите пункт меню **Edit → Place As In Schematic** в окне **Virtuoso XL**. Нажмите клавишу **f** или выберите пункт меню **Window → Fit all** (Уместить все), чтобы изменить масштаб топологии в окне редактора. Окно редактора топологии при этом примет вид, показанный на рис. 5.9. При выделении элемента в окне редактора топологии соответствующий элемент будет также выделен в окне редактора принципиальной схемы.

Для просмотра конфигурации элементов топологии нажмите **Shift + f** (рис. 5.9, б). Для просмотра упрощенного вида элементов топологии (в виде ограничивающих рамок) нажмите **Ctrl + f**.

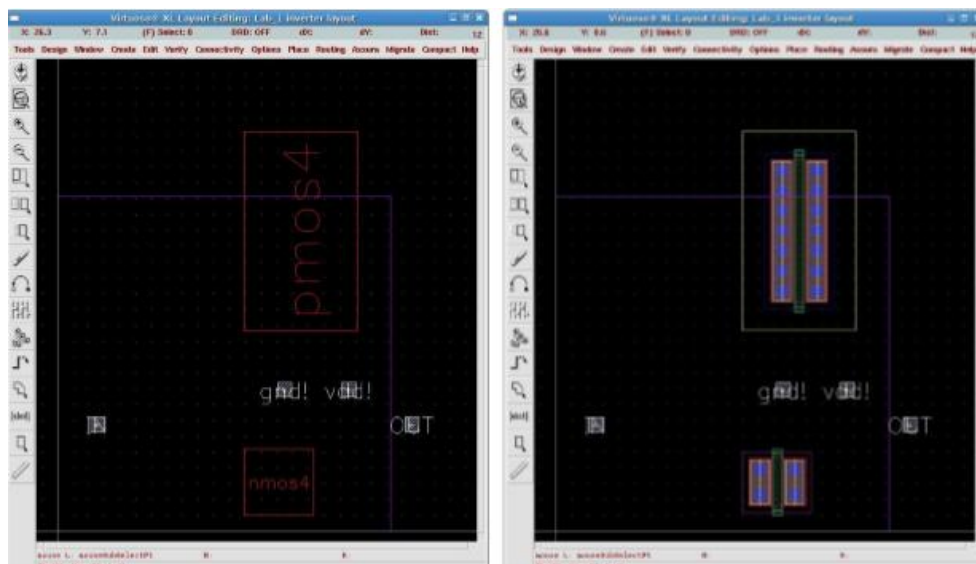


Рис. 5.9. Окно Virtuoso-XL после первоначального размещения элементов топологии с упрощенным (а) и подробным (б) отображением

5.2.3. Размещение элементов топологии

Следующие шаги являются редактирование размещения топологии.

Растяните фиолетовую границу, нажав на верхнюю ее сторону, затем на клавиатуре нажмите клавишу **s** (выбор инструмента **Stretch** (Растяжение)) и переместите курсор вверх. Для завершения работы с инструментом **Stretch** нажмите клавишу **ESC**.

Переместите контакт **vdd!** в верхний левый угол фиолетовой области, а контакт **gnd!** — в нижний левый угол. Переместите транзисторы и контакты **IN** и **OUT** так, как показано на рис 5.10.

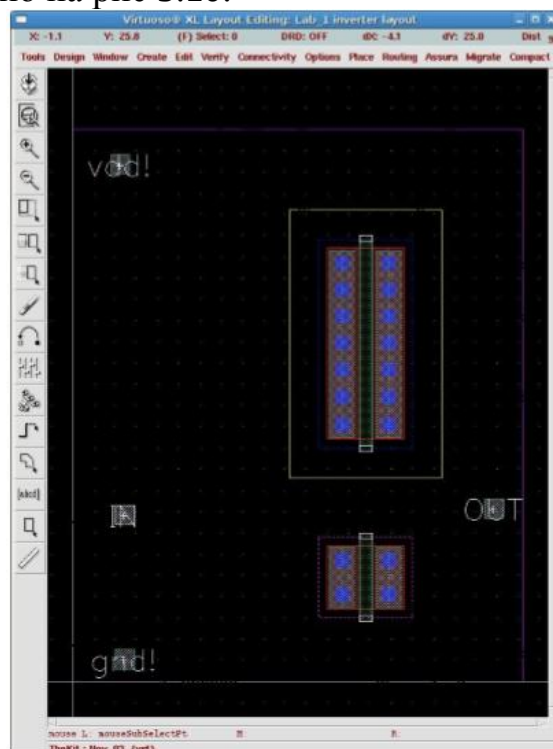


Рис. 5.10. Окно **Virtuoso XL** после перемещения элементов

5.2.4. Трассировка соединений

Далее создадим соединения между элементами топологии. Редактор топологии содержит ряд инструментов, упрощающих процесс трассировки соединений. Выберите пункт меню **Connectivity** → **XL Probe**. При этом откроется окно (рис.5.10), в котором содержится список все сигнальных цепей принципиальной схемы.

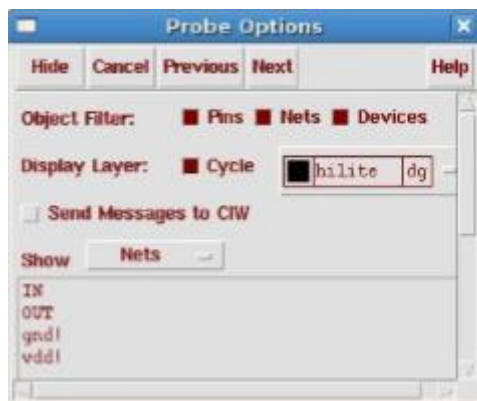


Рис. 5.10. Окно **Probe Options**

При выборе цепи в окне **Probe Options** в редакторах топологии и принципиальной схемы подсвечиваются соответствующие элементы и контакты. Этот инструмент называется **cross-probing** (перекрестное зондирование). В качестве примера попробуйте выбрать проводник, соединяющий стоки обоих транзисторов с выходным контактом, обратите внимание на то, что области стоков транзисторов, а также контактный выход ввода / вывода в окне топологии будут подсвечены (рис. 5.11).

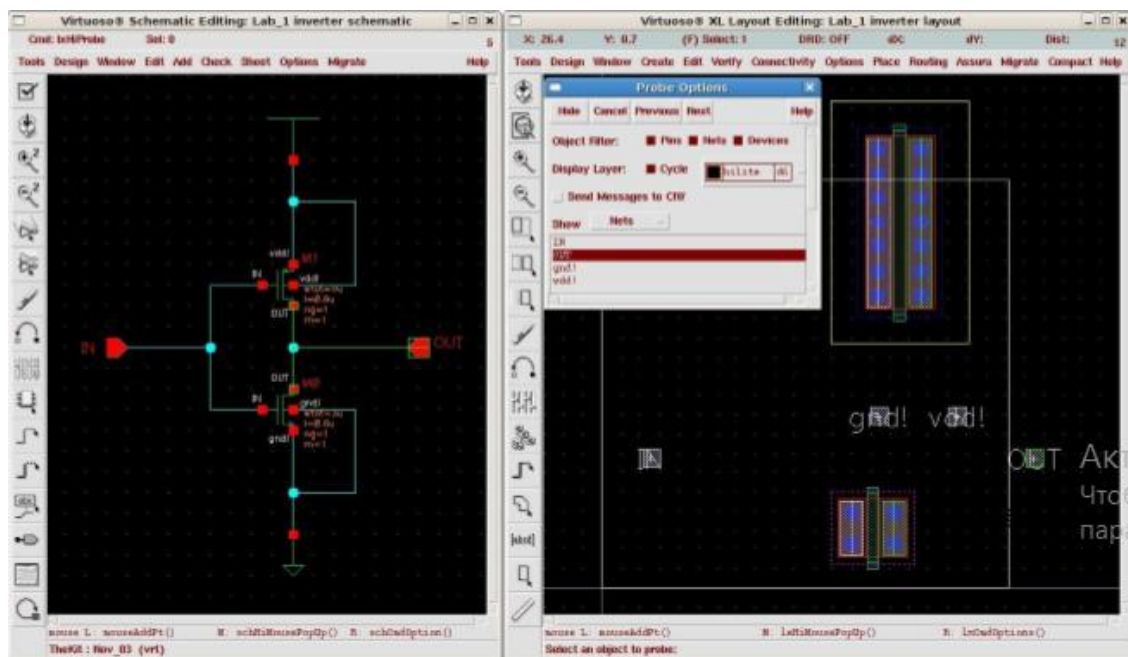


Рис. 5.11. Использование инструмента **cross-probing**

Соедините области стоков транзисторов в слое **MET1** при помощи команды **Create**→**Path** (рис. 5.12). Обратите внимание на то, что новое соединение также будет выделено.

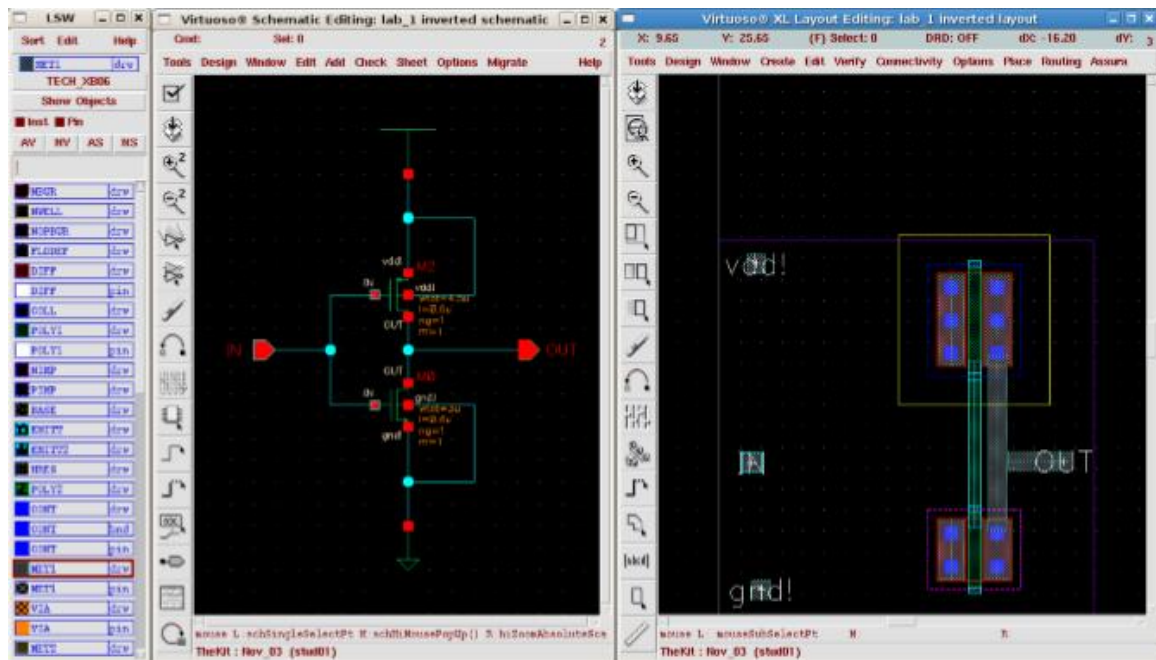


Рис. 5.12 Соединение областей стоков в слое **MET1** с помощью команды **Path**

Соедините затворы обоих транзисторов в слое поликремния **Poly** (рис. 5.13) и подключите полученную цепь ко входному контакту **IN** (рис.5.14).

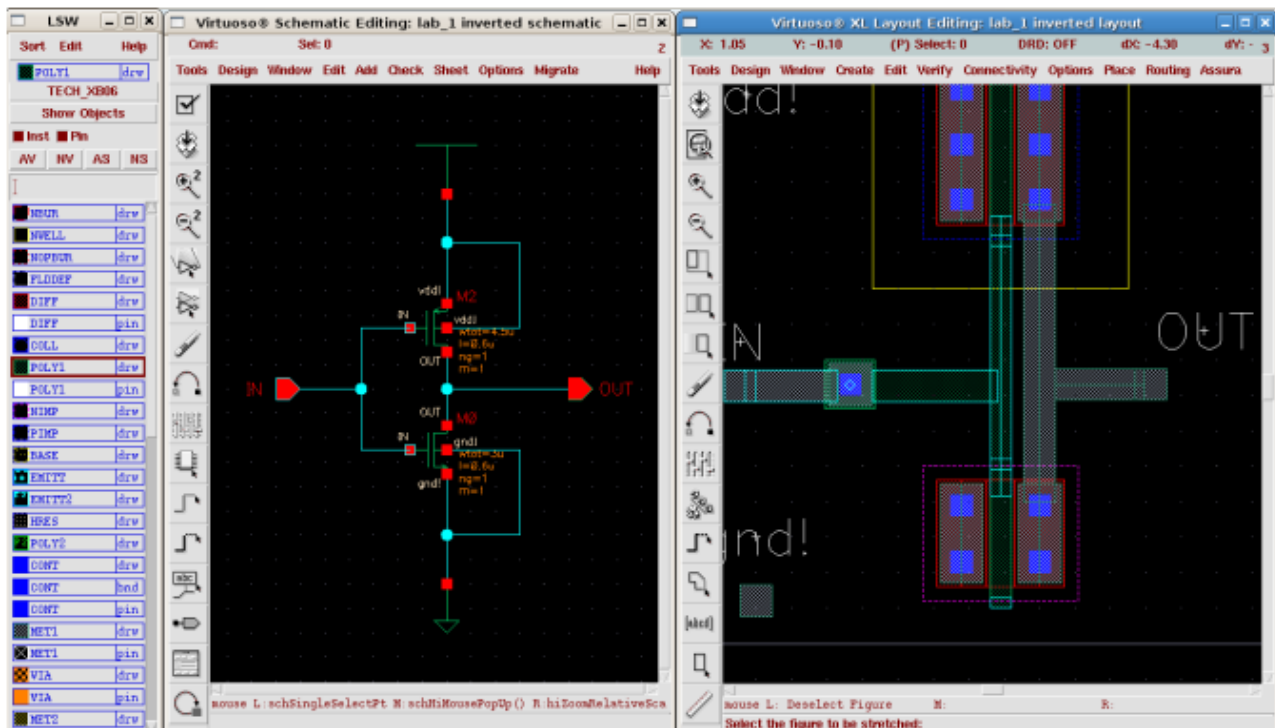


Рис. 5.13. Соединение затворов транзисторов в слое **Poly** и их подключение ко входному контакту **IN** в слое **MET1**

Поскольку контакт **IN** и контактные области затворов транзисторов находятся в разных слоях (**MET1** и **Poly**, соответственно), для формирования связи необходимо добавить соответствующий переходной контакт, выбрав пункт меню **Create** → **Contact** окна **Virtuoso XL**.

Для корректной работы интегральных транзисторов необходимо также добавить в чертеж топологии контакты к подложкам. Выберите пункт меню **Create** → **Contact** окна **Virtuoso XL** и выберите контакт типа **PD_C** (контакт к диффузионной области р-типа) и разместите его рядом с областью истока п-канального транзистора (рис. 5.14).

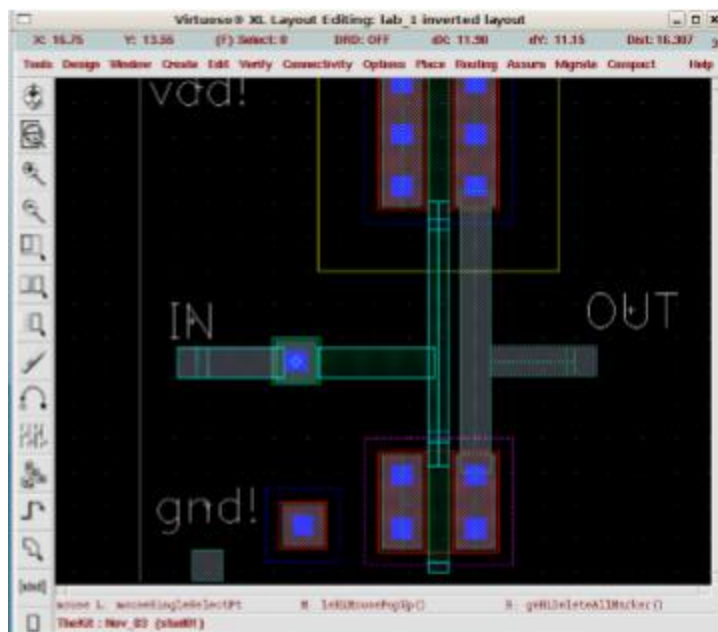


Рис. 5.14. Размещение контакта подложки п-канального транзистора

Выберите пункт меню **Create** → **Contact** окна **Virtuoso XL** и выберите контакт типа **ND_C** (контакт к диффузионной области п-типа) и расположите его рядом с р-канальным транзистором (рис. 5.15). Этот контакт должен располагаться внутри области п-кармана (n-well) р-канального транзистора, обозначенной желтым прямоугольником. Для размещения контакта **ND_C** необходимо увеличить площадь области п-кармана. Поскольку используемый р-канальный транзистор является примитивом библиотеки, его редактирование недоступно. Для увеличения площади п-кармана в соответствующем слое (**NWELL**) с помощью инструмента **Rectangle** (Прямоугольник), доступного на панели инструментов, достаточно создать дополнительный прямоугольник, пересекающийся с п-карманом транзистора (рис. 5.16).

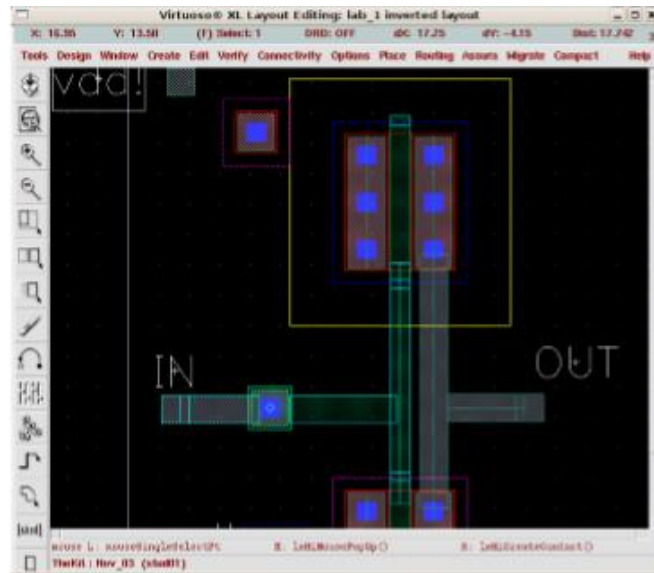


Рис. 5.15. Размещение контакта к п-карману р-канального транзистора

Следующим шагом является создание общей шины и шины питания (цепи **vdd!** и **gnd!**). Используя инструмент **Rectangle** в слое **MET1** изобразите соответствующие области. Убедитесь в том, что к общей шине подключены исток п-канального транзистора и контакт к подложке (рис. 5.16). Обратите внимание на то, что шина заземления и шина питания симметричны. Поэтому после создания одной из шин ее можно скопировать шину заземления. Для выбора нескольких объектов нажмите клавишу **Shift**. После выбора всех необходимых элементов для их копирования выберите пункт меню **Edit** → **Copy**. Скопированный фрагмент можно перевернуть, нажав на кнопку **Upsidedown** в диалоговом окне копирования. Окончательный вид чертежа топологии инвертора показан на рис. 5.16.

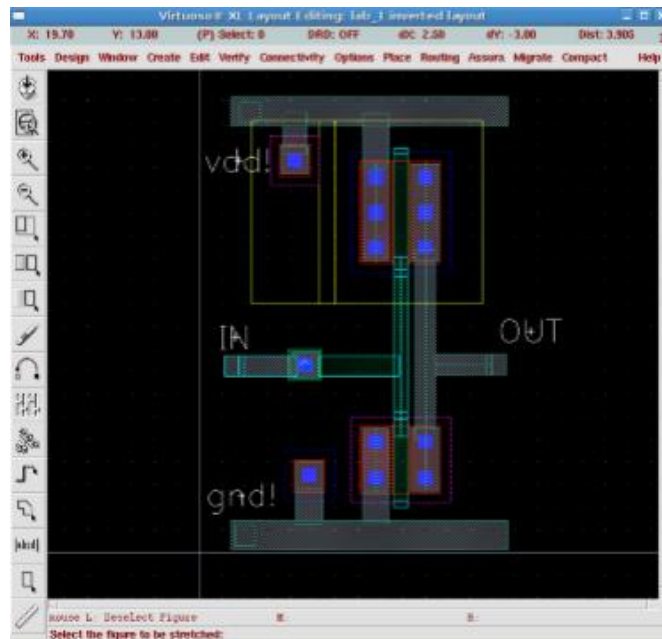


Рис. 5.16. Увеличение площади п-кармана, добавление проводников цепей **vdd!** и **gnd!**

Сохраните вид топологии, выбрав пункт меню **Design** → **Check and Save** окна **Virtuoso Layout XL**, либо нажав на соответствующую кнопку на панели инструментов.

5.3. Проверка топологии инвертора

5.3.1. Проверка соблюдения правил проектирования с использованием инструмента Design Rule Check (DRC)

Созданная топология должна соответствовать набору правил проектирования, что обеспечивает снижение вероятности возникновения дефектов при изготовлении ИС. Инструмент **Design Rule Checker (DRC)** (проверка правил проектирования), встроенный в редактор **Virtuoso Layout XL**, используется для обнаружения каких-либо нарушений правил во время проектирования топологии. Обнаруженные ошибки отображаются в окне редактора топологии в качестве маркеров ошибок, и соответствующее правило отображается в отдельном окне. Проектировщик должен выполнить проверку **DRC** (в больших проектах проверка DRC обычно выполняется часто — до того, как вся разработка будет завершена), и убедиться, что все ошибки топологии исправлены прежде чем окончательный вариант топологии будет сохранен.

В лабораторной работе используются правила проектирования технологического процесса xB06, широко поддерживаемые фабрикой X-FAB.

Рассмотрим процедуру проверки правил проектирования топологии с использованием инструмента **DRC**.

Выберите пункт меню **Verify** → **DRC** окна **Virtuoso Layout XL**, после чего откроется диалоговое окно (рис. 5.17).

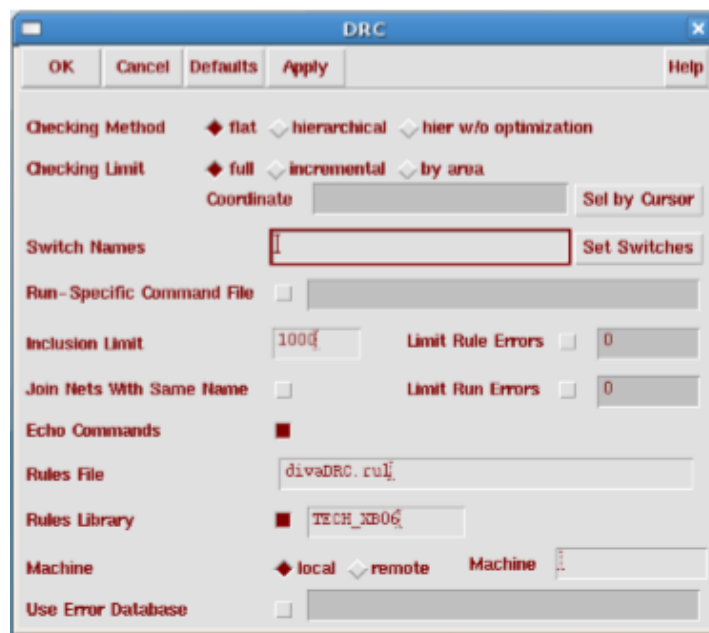


Рис. 5.17. Окно инструмента проверки правил проектирования **DRC**

Заполнение поля **Switch Names** позволяет настроить правила проверки в соответствии с используемым технологическим процессом. В нашем примере оставьте это поле в значениях по умолчанию. Нажмите **ОК**, чтобы запустить проверку **DRC**.

Если топология содержит нарушения правил проектирования, **DRC** сообщит об ошибках в окне **CIW**. Ошибки также будут выделены маркерами (белым цветом) в окне редактора **Virtuoso Layout XL**. После этого можно приступить к исправлению ошибок в соответствии с правилами проектирования.

Для поиска маркеров выберите пункт меню **Verify → Markers → Find** в окне **Virtuoso Layout XL**. В открывшемся окне выберите пункт **Zoom to Markers**. Далее нажмите на кнопку **Apply**, в результате чего при поиске маркеров программа будет увеличивать масштаб окна редактора для отображения ошибок или предупреждений.

5.3.2. Экстракция схемы

Следующим после создания чертежа топологии и выполнения проверки **DRC** этапом является извлечение списка соединений, также называемое экстракцией схемы. В результате экстракции схемы формируется детальный список электрических соединений в топологии ИС. Программа экстракции схемы различает отдельные транзисторы и их взаимосвязи в разных слоях. Кроме этого на этапе экстракции схемы могут оцениваться паразитные сопротивления и ёмкости, неизбежно возникающие между различными слоями топологии. Таким образом, «извлеченный» список соединений может обеспечить очень точную оценку фактических размеров элементов ИС и ее паразитных параметров, непосредственно влияющих на характеристики проектируемой ИС. Полученный на этапе экстракции список соединений в дальнейшем используется для проверки **Layout-Versus-Schematic (LVS)**, оценивающей соответствие между принципиальной схемой и топологией, а также для моделирования ИС на уровне топологии.

Топологический чертеж ИС содержит только геометрические данные — фактически, топология ИС представляет собой набор координат прямоугольников, выполненных в различных цветах (слоях). Процесс экстракции схемы идентифицирует устройства и формирует список соединений, связанных с топологией.

Перед экстракцией схемы убедитесь в том, что файл топологии сохранен и не содержит ошибок, выявленных проверкой **DRC**!

Убедитесь также в том, что контакты **vdd!** и **gnd!** в файле топологии (layout) названы также, как и в файле принципиальной схемы (schematic). В окне **Virtuoso Layout** (Проверить → Извлечь).

Для выполнения экстракции схемы в окне **Virtuoso Layout XL** выберите пункт меню выберите **Verify → Extract**, после чего откроется соответствующее окно (рис. 5.18).

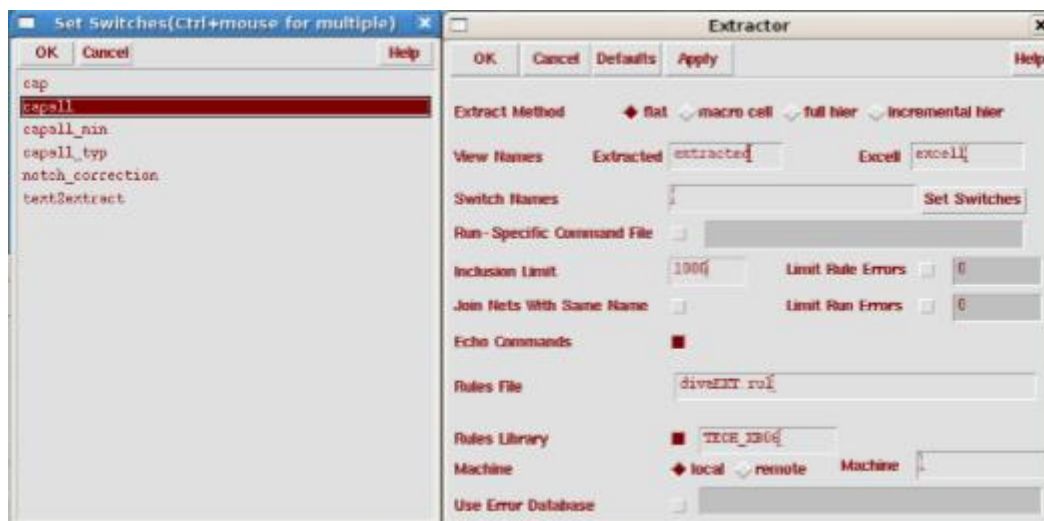


Рис. 5.18. Окно настроек экстракции схемы

Настройки экстракции по умолчанию позволят извлечь только идеальные устройства. В этом случае результат экстракции практически не будет отличаться от принципиальной схемы. Для более точного представления схемы необходимо учитывать паразитные параметры. Чтобы включить экстракцию паразитных параметров (ёмкостей) следует нажать на кнопку **Set Switches** и выбрать режим **capall** (все ёмкости). Далее нажмите на кнопку **OK**. Уведомление о завершении экстракции, либо о возникновении ошибок будет отображено в окне **CIW**. В результате экстракции схемы в библиотеке проекта будет создан соответствующий вид **extracted**.

Откройте вид **extracted**, выбрав пункт меню **Design** → **Load** окна **Virtuoso Layout XL**, либо используя окно **Library manager** (рис. 5.19). Вид **extracted** аналогичен топологии, однако этот вид содержит «извлеченные» устройства (обратите внимание на появление символических обозначений транзисторов) и их соединения. Выберите пункт меню **Verify** → **Probe** → **Add** окна **Virtuoso Layout XL**. При выборе проводника все соединения цепи будут подсвечены, а также будет выведено имя цепи. Это позволяет легко найти замкнутые или неподключенные цепи.

Контуры красного цвета вокруг транзисторов показывают наличие уровней иерархии извлеченных устройств, для просмотра которых можно использовать комбинацию клавиш **Shift + F**.

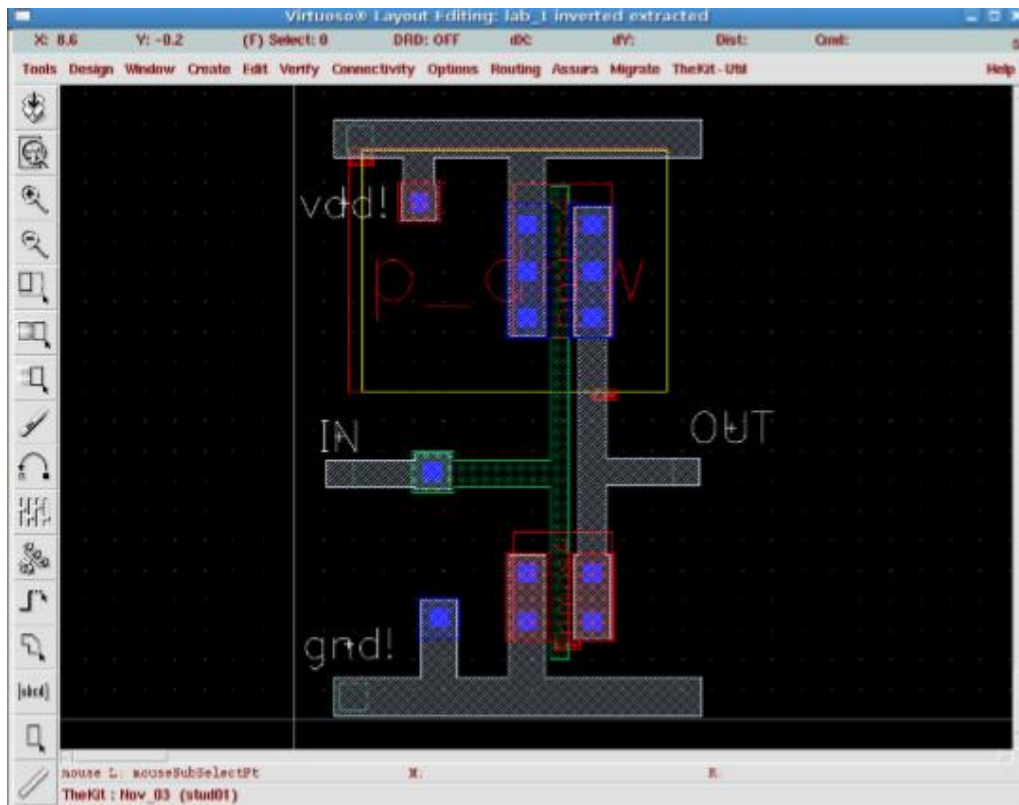


Рис. 5.19. Вид **extracted** инвертора

При увеличении масштаба топологии станут заметны ее отдельные элементы, такие как транзисторы и паразитные конденсаторы (рис. 5.20).

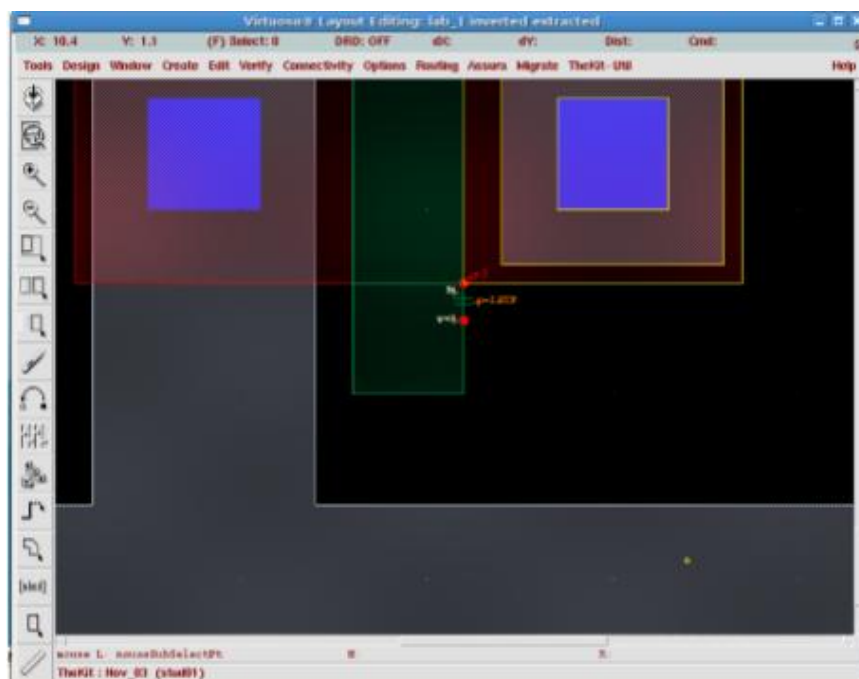


Рис. 5.20. Вид **extracted** инвертора с паразитными конденсаторами

5.3.3. Проверка Layout Versus Schematic (LVS)

Следующим после экстракции схемы этапом является выполнение проверки **Layout-Versus-Schematic (LVS)**, оценивающей соответствие между принципиальной схемой и топологией. Успешный результат проверки **LVS** свидетельствует об идентичности списков соединений видов **schematic** и **extracted**, однако не гарантирует того, что разработанная топология будет удовлетворять требованиям технического задания.

Любые ошибки, которые могут появиться в результате проверки **LVS** (например, непреднамеренные соединения между транзисторами, или недостающие соединения / элементы и т.д.) должны быть исправлены до проведения этапа моделирования топологии.

Для выполнения проверки **LVS** в окне **Virtuoso Layout XL** следует открыть вид **extracted** и далее выбрать пункт меню **Verify → LVS ...**. В результате чего откроется окно **LVS** (рис. 5.21).

Верхняя половина окна **LVS** разделена на две части. Левая часть соответствует виду **schematic**, а правая часть — виду **extracted**. Убедитесь в том, что в соответствующих полях выбраны файлы именно вашего проекта. Хотя существует целый ряд настроек для выполнения проверки **LVS**, именно настроек по умолчанию будет достаточно для выполнения основных операций. Чтобы начать проверку нажмите на кнопку **Run**.

Алгоритм сравнения будет работать в фоновом режиме, а результат проверки **LVS** будет отображаться в окне **CIW**. Даже при проверке небольших проектов, проверка **LVS** может занять несколько минут. Чтобы увидеть статус проверки следует нажать на кнопку **Monitor** в окне **LVS**.

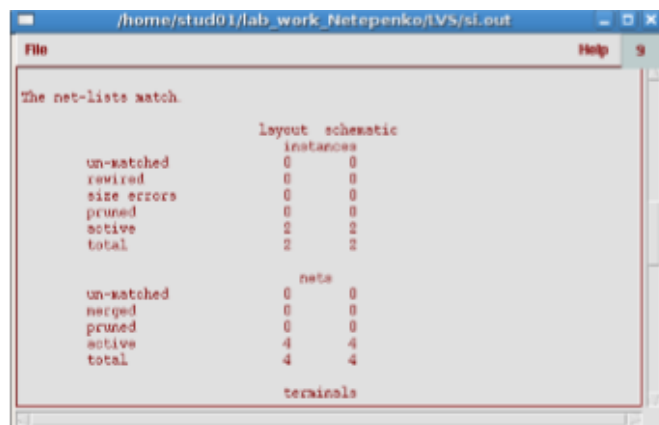


Рис. 5.21. Окно LVS

Через некоторое время откроется диалоговое окно с уведомлением об успешном либо неуспешном завершении проверки **LVS**. Причиной большинства

неуспешных проверок **LVS** является то, что принципиальная схема не была сохранена перед запуском **LVS** или потому что не была выполнена экстракция схемы после некоторых поправок. Нажмите кнопку **OK**.

В окне **LVS** нажмите на кнопку **Output**, чтобы просмотреть отчет о выполнении проверки (рисунок 5.22). Если списки соединений не совпадают (**un-matched**), нажмите на кнопку **Error display** в окне **LVS**, чтобы выявить ошибку.



The net-lists match

	layout	schematic
instances		
un-matched	0	0
rewired	0	0
size errors	0	0
pruned	0	0
active	2	2
total	2	2
nets		
un-matched	0	0
merged	0	0
pruned	0	0
active	4	4
total	4	4
terminals		

Рис. 5.22. Отчет работы о выполнении проверки **LVS**

Большинство различных опций проверки **LVS** предназначены для обнаружения несоответствий между двумя списками соединений видов **schematic** и **extracted**, а также для генерации списка соединений, содержащего только паразитные элементы вида **extracted**

5.3.4. Измерение паразитных параметров

После того исправлены ошибки, выявленные в результате проверок **DRC** и **LVS**, можно проанализировать паразитные элементы, добавленные в схему на этапе экстракции. В окне **LVS** нажмите на кнопку **Parasitic Probe**, после чего откроется окно **Parasitic Probing** (рис. 5.23).

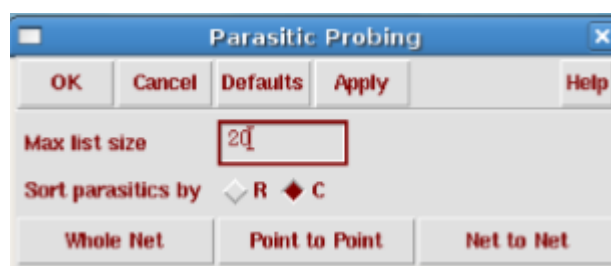


Рис. 5.23. Окно **Parasitic Probing**

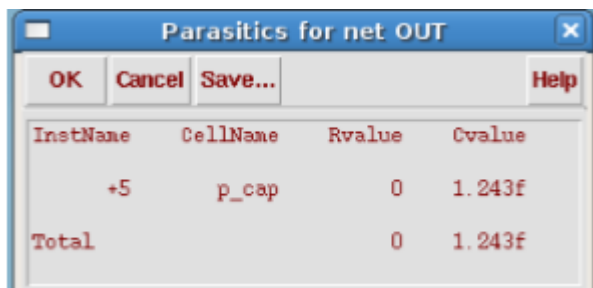
В этом окне выбирается вид анализируемых паразитных связей. При этом доступны следующие варианты:

— **Whole Net** (вся цепь) — паразитная ёмкость между выбранной цепью и подложкой;

— **Point to Point** (точка — точка) — паразитные ёмкости между двумя точками топологии;

— **Net to Net** (цепь — цепь) — паразитные ёмкости между двумя цепями топологии.

В открытом виде **extracted** выберите одну из цепей топологии для просмотра величин паразитных ёмкостей. При этом откроется следующее окно (рис. 5.24).



InstName	CellName	Rvalue	Cvalue
+5	p_cap	0	1.243f
Total		0	1.243f

Рис. 5.24. Паразитные ёмкости цепи **OUT**

Паразитные элементы, выявленные на этапе экстракции схемы, могут быть добавлены в принципиальную схему (вид **schematic**) проекта. Для этого в окне **LVS** нажмите на кнопку **Backannotate**, после чего откроется окно (рисунок 5.25), в котором можно задать размер шрифта и положение подписей для паразитных элементов, а также выбрать одно из следующих действий:

— **Add Parasitics** — добавить паразитные элементы в принципиальную схему в виде подписей; после выбора этого действия следует щелкнуть левой кнопкой мыши в окне **Virtuoso Schematic Editing** с открытым видом **schematic**;

— **Remove Parasitics** — удалить паразитные элементы из принципиальной схемы;

— **Print All** — вывести величины паразитных параметров в файл под именем "parasitics_file".

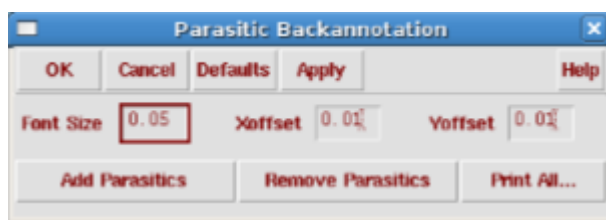


Рис. 5.25. Окно добавления паразитных элементов топологии в вид **schematic**

5.4. Пост-топологическое моделирование

Электрические характеристики полностью заказной ИС могут быть проанализированы на этапе проектирования путем выполнения пост-топологического моделирования с использованием списка соединений вида **extracted**. Детальное пост-топологическое моделирование на уровне транзисторов

дает четкую оценку быстродействия схемы с учетом влияния паразитных параметров (паразитных ёмкостей и сопротивлений), а также позволяет обнаружить любые сбои, связанные с различными задержками сигналов. Этот этап является особенно важным при проектировании широкополосных и радиочастотных устройств, чувствительных к задержкам распространения сигналов.

Если результаты пост-топологического моделирования оказываются неудовлетворительными, проектировщику необходимо изменить геометрические размеры транзисторов и/или рисунок топологии для того, чтобы достичь заданных характеристик цепи в «реальных» условиях, то есть, принимая во внимание все паразитные составляющие схемы. Для этого может потребоваться несколько итераций проектирования, пока результаты пост-топологического моделирования не будут соответствовать заданным характеристикам.

Следует отметить, что удовлетворительный результат пост-топологического моделирования не гарантирует производства полностью успешного изделия. Фактические характеристики кристалла ИС могут быть проверены только путем тестирования изготовленного опытного образца, поскольку применяемые при экстракции схемы и моделировании математические модели неизбежно имеют некоторые неточности и ограничения.

После успешной проверки **LVS** проект содержит два основных вида для одной и той же схемы. Первый вид — это вид **schematic**, то есть результат проектирования на уровне принципиальной схемы. Второй вид — это вид **extracted**, то есть результат проектирования на уровне топологии с ее учетом паразитных параметров. Поскольку оба этих вида относятся к одной и той же схеме, они могут быть взаимозаменяемыми при моделировании.

В лабораторной работе следует повторить пример моделирования из подраздела 4.5 лабораторной работы №4, используя в схеме вид **extracted** вместо вида **schematic**. Перейдите в окно **Virtuoso Schematic Editing** с открытым видом **schematic** и запустите среду аналогового моделирования, выбрав пункт меню **Tools** → **Analog Environment**. В меню **Setup** выберите пункт **Environment**. При этом откроется окно управления различными параметрами среды **Analog Environment** (рисунок 5.26).

Необходимо отредактировать строку **Switch View List**. Эта строка представляет собой упорядоченный список видов, которые могут быть использованы при моделировании. Первый найденный программой-симулятором вид и будет использован при моделировании текущей ячейки. По умолчанию строка **Switch View List** не содержит вида **extracted**, поэтому следует добавить соответствующую запись в начало строки, как показано на рисунке 5.26. В результате этой модификации программа-симулятор будет использовать вид **extracted** извлеченный вид, если он будет доступен.

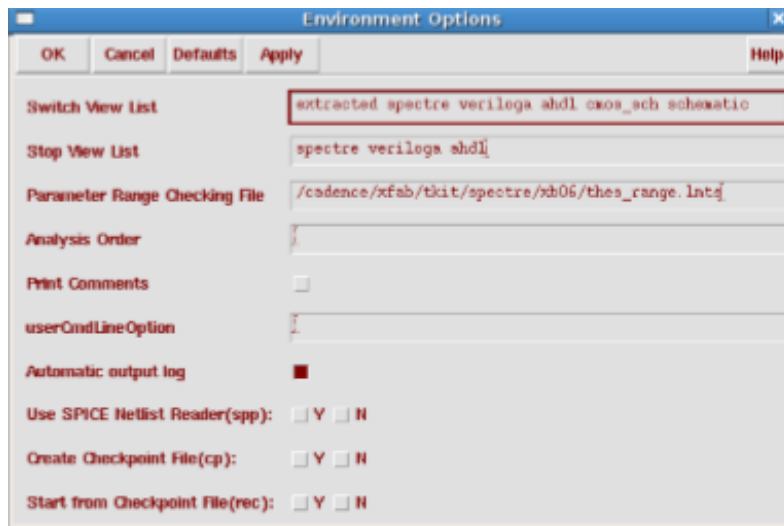


Рис. 5.26. Параметры среды моделирования **Analog Environment**

Нажмите на кнопку **Apply**, затем на кнопку **OK**. После этого проведите моделирование, пользуясь методическими указаниями подразделов 4.5—4.7 лабораторной работы № 4. Результаты пост-топологического моделирования с учетом паразитных параметров топологии показаны на рис. 5.27.

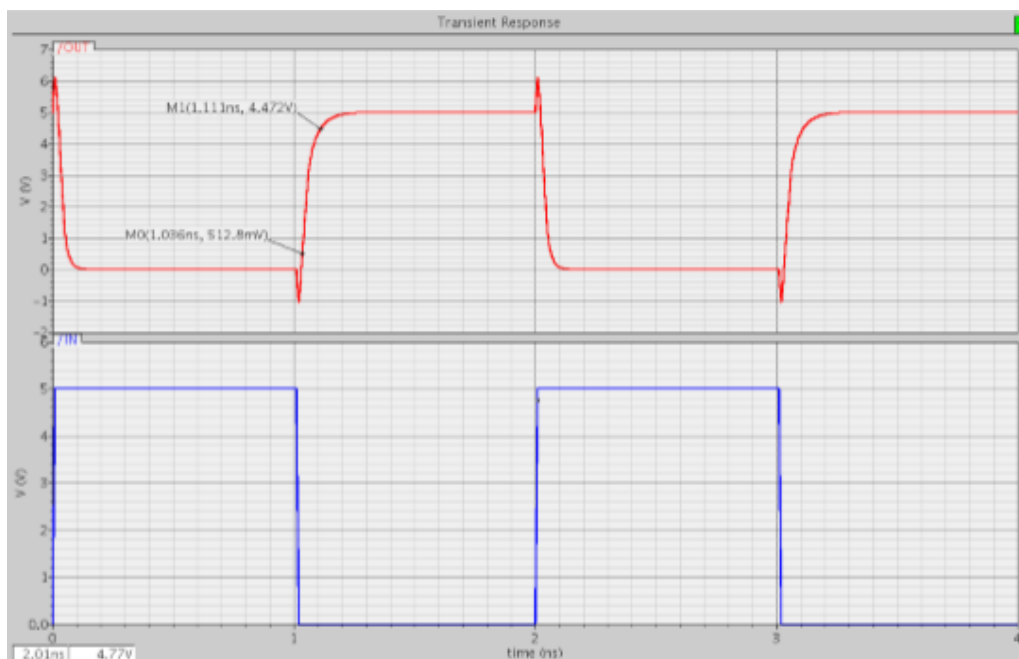


Рис. 5.27. Результаты пост-топологического моделирования с использованием вида **extracted**

5.5. Содержание отчета

Отчет по лабораторной работе должен содержать:

- цель работы;
- снимки экрана, полученные на различных этапах создания топологии;

- результаты выполнения проверок **DRC** и **LVS**;
- результаты анализа паразитных ёмкостей топологии;
- временную диаграмму работы инвертора, полученную в результате пост-топологического моделирования;
- подробные выводы.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Меркулов А.И. Основы конструирования интегральных микросхем / А.И. Меркулов, В.А. Меркулов. — Самара: Изд-во Самар. гос. аэрокосм. ун-та, 2013. — 270 с.
2. Белова Г.Ф. ПРОЕКТИРОВАНИЕ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ: Конспект лекций / Г.Ф. Белова, М.А. Булушева, В.Д.Попов. — М.: МИФИ, 2009. — 157 с.
3. Жигальский А.А. Проектирование и конструирование микросхем / А.А. Жигальский. — Томск: ТУСУР, 2007. — 195 с.
4. 0.6 μm BiCMOS Process Family // X_FAB: Mixed-Signal Foundry Experts. 2017. URL: https://www.xfab.com/fileadmin/X-FAB/Download_Center/Technology/Datasheet/XB06_Datasheet.pdf (дата обращения: 21.05.2017).
5. Virtuoso® Schematic Composer Tutorial // Department of Electrical and Computer Engineering, The Ohio State University. 2017. URL: <http://www2.ece.ohio-state.edu/~bibyk/ee721/comptut.pdf>. (дата обращения: 21.05.2017).
6. Virtuoso Layout Suite XL // Cadence Design Systems Limited. 2017. URL: https://www.cadence.com/content/dam/cadence-www/global/en_US/documents/tools/custom-ic-analog-rf-design/virtuoso-vlsxl-ds.pdf. (дата обращения: 21.05.2017).

Приложение А

ОСНОВНЫЕ КОМАНДЫ LINUX

В данном приложении перечислены основные команды терминала операционной системы **LINUX**. Обратите внимание на следующие замечания:

Слова, записанные шрифтом Courier New необходимо вводить точно; слова, записанные *курсивом*, заменяются значениями в соответствии с назначением команды; слова, взятые в квадратные скобки [], необязательны.

Команды **LINUX**, так же, как и имена файлов, чувствительны к регистру.

`emacs filename`

Открывает файл *filename*, если он существует. Если файл *filename* не существует, создается новый файл с тем же именем.

`ls -l [ directory ]`

Выводит список файлов каталога. Если имя каталога [*directory*] не задано, будет выведен список файлов текущего каталога.

`cp source_file target_file`

Копирует исходный файл *source_file* в конечный файл *target_file*.

`mv old_filename new_filename`

Перемещает / переименовывает старый файл *old_filename* в новый файл *new_filename*.

`rm trash_file`

Безвозвратно удаляет файл *trash_file*.

`mkdir new_directory`

Создает новый подкаталог *new_directory* в текущем каталоге.

`cd [ directory ]`

Изменяет текущий каталог на каталог *directory*. Если имя каталога [*directory*] не задано, текущим каталогом станет домашняя папка (home) пользователя.

`pwd`

Отображает имя текущего каталога

`rmdir trash_directory`

Удаляет каталог *trash_directory*.

`man command`

Выводит справку о команде *command*, например, `man ls` выводит все доступные опции команды `ls`.

`more filename`

Отображает содержимое файла *filename* в окне терминала.

`ps`

Отображает запущенные в данный момент процессы.

Символ `~` используется для обозначения корневого каталога пользователя. Команды

`more /home/username/myfile`

и

`more ~/myfile`

идентичны, если `/home/username` — путь к корневому каталогу пользователя.

После запуска программы, открывающейся в новом окне, добавление символа `&` в конце команды позволит сохранить доступ к терминалу, то есть запущенная программа будет работать в фоновом режиме. Пример использования — `icfb&`.

Приложение Б

«ГОРЯЧИЕ» КЛАВИШИ СРЕДЫ Cadence IC Design Environment

Composer-Schematic editor		Virtuoso layout editor	
command	shortcut	command	shortcut
Zoom in	[z]	Zoom in	[z]
Fit All	[f]	Fit All	[f]
Copy	[c]	Copy	[c]
Move	[m] or [M]	Move	[m]
Delete	[del]	Delete	[del]
Rotate	[r]	Stretch	[s]
Properties	[q]	Properties	[q]
Undo	[u]	Undo	[u]
Redo	[U]	Redo	[U]
Add Component	[i]	Create Instance	[i]
Add Wire	[w]	Create Rectangle	[r]
Add Pin	[p]	Create Pin	[ctrl-p]
Check and Save	[X]	Create Contact	[o]
Descend Edit	[E]	Create Path	[p]

Подсказки:

- если во время работы с программой вам не удалось выполнить определенную команду, нажмите на кнопку **Esc**; это приведет к отмене предыдущей команды;
- сохраняйте проекты как можно чаще, так как возможны сбои;
- соблюдайте регистр вводимых команд;
- всегда проверяйте и сохраняйте принципиальную схему перед началом моделирования.

ОСНОВЫ ПРОЕКТИРОВАНИЯ ЭЛЕКТРОННОЙ КОМПОНЕНТНОЙ БАЗЫ

Методические указания
к лабораторному практикуму по дисциплине
для студентов очной и заочной форм обучения
направления 11.03.04 «Электроника и микроэлектроника»

Составители: **Начаров Д.В., Вертегел В.В.**

Редактор – О.В. Дмитриева

Изд. № 85/17. Объем 5,75 п.л. Усл. печ. л. 5,35. Уч.-изд. л. 5,64.

РИИЦМ ФГАОУ ВО «Севастопольский государственный университет»