УДК 681.325.61

АЛГОРИТМЫ ПРОВЕРКИ ПОЛНОТЫ ТЕСТОВ ДЛЯ ЦИФРОВЫХ УСТРОЙСТВ

Тертычный А.И., Новосёлов В.Г., Коробка Н.Н.

Рассматриваются алгоритмы проверки полноты тестов для цифровых устройств, содержащих БИС. Обсуждаются преимущества и недостатки каждого из них.

В настоящее время вычислительная техника получила большое распространение в области научных исследований, автоматизации проектирования, управления промышленностью.

Широкое использование вычислительной техники и последние достижения в области технологии производства интегральных схем позволили создать серию вычислительных устройств на микросхемах с большой степенью интеграции. Использование цифровых устройств для управления дорогостоящими промышленными объектами, сложными технологическими процессами требует их надежной и исправной работы. Одним из путей повышения качества и надёжности средств вычислительной техники является развитие методов контроля и диагностики при проектировании электронных устройств. Для контроля правильности функционирования цифровых устройств используется набор тестов, который имеет определенную полноту проверки неисправностей в схеме.

Поскольку БИС представляют собой сложные схемы, то при решении задач диагностики приходится рассматривать большое число неисправностей.

Сам процесс синтеза теста, включающего в себя обеспечение последовательных входных наборов микросхемы для создания теста заданной неисправности и вывода контрольного сигнала на ее выходы, является очень трудоемким из-за необходимости рассматривать большое число вариантов решений локальных задач. Эта задача еще больше усложняется следующими факторами:

1) большинство БИС представляют собой последовательностные схемы (схемы с памятью);

2) при определении значений входных векторов элементов необходимо учитывать не только возможные значения сигналов, а также их временные характеристики.

В некоторых случаях для упрощения решения задачи в состав разрабатываемой микросхемы добавляют средства самодиагностики. Это приводит к дополнительным затратам на проектирование и производство микросхем и может быть оправдано только при крупносерийном производстве. Но

даже использование подобных микросхем не решает проблемы тестирования устройств, состоящих из них. Поэтому существует необходимость разработки новых подходов к решению задач тестирования и диагностики дискретных устройств, содержащих БИС.

Большинство промышленных систем проверки полноты тестов ориентированы на схемы, построенные на микросхемах с малой степенью интеграции. В настоящее время широко распространены устройства, построенные на основе микросхем большой и средней степени интеграции. Такие микросхемы представляют собой функционально сложные схемы. Тесты для проверки схем, содержащих СИС и БИС, построенные с учётом константных неисправностей на внешних контактах этих микросхем, не проверяют большое число их внутренних неисправностей. Замена СИС и БИС их эквивалентными схемами на уровне вентилей приводит к увеличению схемы более, чем на порядок и, таким образом, к значительному усложнению процессов построения тестов и проверки их полноты. Поэтому использование традиционных методов неэффективно, а в некоторых случаях невозможно. В связи с этим возникла задача создания новых методов контроля и диагностики для схем, построенных на базе СИС и БИС.

Проверка полноты теста решается с использованием системы функционального и временного моделирования схем [2,3]. В рамках этой системы определена и задана общая модель дискретных устройств, включающая в себя большой набор микросхем уровней ИС, БИС и СИС с заданными функциональными и временными характеристиками и набором названных [1] тестовых ситуаций, характеризующих возможные однократные внешние и внутренние неисправности микросхемы. Каждая микросхема задана набором микроопераций и временных диаграмм. Каждая микрооперация кроме своего функционального описания характеризуется набором тестовых ситуаций, проверяющих её функционирование и особенности схемной реализации. В целом понятие тестовых ситуаций является расширением понятия однократных катастрофических неисправностей типа $\equiv 0, \equiv 1$ на полюсах микросхемы. Но модель тестовых ситуаций позволяет выявить, проверить не только неисправности на полюсах, но и внутренние неисправности микросхемы. Набор тестовых ситуаций всех микросхем определяет общий список проверяемых неисправностей для схемы, которая построена из этих микросхем. Кроме общей модели для решения задачи проверки полноты теста задаются описание конкретной схемы (в виде списка входящих в неё микросхем и списка связей полюсов микросхем в схеме) и исследуемый на полноту проверяющий эту схему тест. В результате работы алгоритма проверки полноты теста строится либо список непроверенных тестовых ситуаций микросхем, либо подтверждается полнота проверяющего теста относительно однократных неисправностей микросхем схемы.

Для решения этих задач без существенного удлинения процесса вычислений предлагается расширенная модель неисправностей микросхем СИС и БИС, рассматривающая их функционирование на уровне внешних контактов.

Расширенная модель базируется на контроле микроопераций, выполняемых микросхемой. Каждая микрооперация проверяется совокупностью тестовых ситуаций, которые определяются не только микрооперацией, но и особенностями ее схемной реализации. Например, для микрооперации сдвига в регистре контролируется для каждого разряда сдвиг нуля на единицу и единицы на нуль. При выполнении одной микрооперации сразу реализуются несколько тестовых ситуаций. Например, для одного разряда проверяется сдвиг нуля на единицу, для другого – единицы на нуль. Значения входных сигналов, задающие код микрооперации сдвига, и значения пары разрядов регистра задают начальные условия тестовой ситуации. Значение регистра после выполнения микрооперации определяет наличие или отсутствие неисправности. Каждая микросхема характеризуется совокупностью выполняемых микроопераций. Число различных микроопераций микросхем СИС и БИС, даже с учетом их различных схемных реализаций, не слишком велико. Формируется множество тестовых ситуаций для различных микроопераций.

Использование моделей неисправностей микросхем в задаче проверки полноты тестов основано на применении системы моделирования. Тривиально полный контроль полноты теста может быть выполнен на основе перебора вариантов неисправностей. Обычно ограничиваются рассмотрением однократных неисправностей. Для очередного варианта неисправностей в процессе моделирования схемы при каждом обращении к неисправной микросхеме её работа корректируется с учетом заданной неисправности. Если в процессе моделирования схемы на контролируемых полюсах обнаруживается отличие функционирования от работы исправной схемы, то делается вывод, что рассматриваемый вариант неисправностей проверяется тестом. Если на всем тесте функционирование схемы с неисправностью не отличается на контролируемых полюсах от работы исправной схемы, то рассматриваемый вариант неисправности считается непроверяемым тестом. Таким образом, проводится не только проверка полноты теста, но и выделяются непроверяемые тестом неисправности. Однако перебор вариантов неисправностей приводит к очень большому числу повторений теста при моделировании и значительным затратам времени.

Предлагаются несвязанные с большим перебором три алгоритма проверки полноты теста: экспресс-анализ, анализ прохождения контрольных сигналов в схеме и анализ прохождения описания неисправности в схеме. Все эти методы производят проверку полноты тестов в процессе моделирования работы схемы. Они различаются по сложности обработки тестовых ситуаций и формируют результаты с различной степенью достоверности.

Самым простым, несвязанным с дополнительным перебором методом проверки полноты тестов с использованием расширенной модели неисправностей является часто используемый инженерами-проектировщиками метод экспресс-анализа. Этот метод заключается в том, что в процессе моделирования работы схемы на исследуемом тесте при каждом изменении сигналов на входах или выходах каждой микросхемы проводится выявление реализованных тестовых ситуаций. После прохождения теста выявляется множество микросхем и их тестовых ситуаций, которые не появлялись в процессе моделирования схемы и не могли быть проверены. Однако не все тестовые ситуации, отмеченные как реализованные, являются на самом деле проверенными, так как не всегда неисправное поведение микросхемы в реализованной ситуации может сказаться на контролируемых полюсах схемы. Экспресс-анализ осуществляется за один проход теста и требует небольших затрат памяти (линейно зависящих от сложности схемы) для хранения таблицы тестовых ситуаций для микроопераций всех микросхем схемы и отметок о их реализации.

Методом, устраняющим основные недостатки экспресс – анализа, является проверка полноты тестов на основе анализа пути распространения контрольного сигнала. Этот метод основан на анализе путей распространения сигналов, достигших контролируемых выводов и регистрации неисправностей, выделенных этими сигналами. Сигналы, достигшие контролируемых выводов, - контрольные сигналы. Процесс проверки полноты тестов выполняется в два этапа:

1 этап: определение путей распространения контрольных сигналов и регистрация сигналов, достигших контролируемых выводов схемы;

2 этап: выделение неисправностей, проверяемых этими сигналами.

Каждый этап требует моделирования работы схемы на исследуемом тесте.

В процессе первого этапа моделирования производится отслеживание пути распространения сигналов в схеме. Для этого выделяются микрооперации, которые порождают или меняют путь распространения сигнала. При выполнении этих микроопераций с помощью поочередного инвертирования входных сигналов и сравнения результатов выполнения микроопераций определяются и отмечаются выходные сигналы, на которые влияют входные сигналы. Для каждого отмеченного выходного сигнала формируется метка распространения сигнала в текущей микрооперации, а также переписываются все метки входных сигналов, которые влияют на него. Если сигнал достиг контролируемых выводов (т.е. является контрольным), то все метки его (указывающие путь распространения сигнала) записываются в список контрольных сигналов микроопераций.

На втором этапе в процессе моделирования схемы при выполнении микроопераций , порождающих сигналы и влияющие на путь их распро-

странения, производится отметка выходных контрольных сигналов с помощью списка контрольных сигналов. При каждом изменении сигналов на входах или выходах каждой микросхемы проводится выявление реализованных тестовых ситуаций, но отмечаются только те неисправности, которые отражаются на значении контрольных сигналов. После прохождения теста выявляется множество микросхем и их тестовых ситуаций, которые не появлялись в процессе моделирования схемы и не могли быть проверены.

В некоторых случаях из-за маскирования неисправностей могут быть отмечены как проверенные непроверенные неисправности, и наоборот. Но количество таких неисправностей значительно меньше, чем в экспресс-анализе, особенно в схемах микросхем уровня БИС.

Методами, в которых учитывается маскирование, являются методы проверки полноты теста на основе анализа распространения описаний неисправностей. Эти методы основаны на выявлении в процессе моделирования пути реализации тестовой ситуации для микросхем и прослеживания влияния правильной или неправильной его реализации на работу других микросхем вплоть до выходов схемы. Определяющий выполнение тестовой ситуации выходной сигнал микросхемы назовём контрольным. Для упрощения изложения проведём его для микросхем уровня СИС, в которых контрольный сигнал при всех микрооперациях формируется на выходах микросхем. Каждая микросхема в схеме играет двоякую роль: служит источником контрольных сигналов и пропускает контрольные сигналы с микросхем нижних уровней к выходам схемы. Контрольные сигналы на выходах микросхем, на входы которых подсоединены выходы микросхем, сопровождаются информацией о нескольких источниках. Рассмотрим принципы формирования и распространения контрольных сигналов в процессе моделирования работы схемы. При моделировании в текущий момент времени на выходах микросхемы реализуются начальные условия нескольких тестовых ситуаций. Для тех из них, которые не отмечены как проверенные, формируются контрольные сигналы: определяющим выходным сигналам микросхемы приписывается сопроводительная информация. Если на входы микросхемы поступают контрольные сигналы, то осуществляется проверка их прохождения через микросхему в рамках реализованного входного набора на данном шаге моделирования. Формируется непустое подмножество пересечения сопровождающей информации для входных контрольных сигналов.

Проводится инвертирование значений контрольных сигналов, которые участвовали в построении этого пересечения. Осуществляется моделирование работы микросхемы и сравнение значений выходных сигналов для инвертированного и неинвертированного входных наборов. Изменившие значения выходные сигналы объявляются контрольными, им приписывается рассматриваемое подмножество сопровождающей информации. Для полу-

чения полной информации о прохождении контрольных сигналов через микросхему проводится перебор пересечений. Если контрольный сигнал достигает выхода схемы, то тестовые ситуации в сопровождающей его информации объявляются проверенными и отмечаются. Соответствующая информация исключается из сопровождающей информации контрольных сигналов. Реализация указанного метода требует больших затрат памяти, поэтому при каждом прогоне теста в схеме проверяются неисправности ограниченного подмножества микросхем. Проверка всей схемы осуществляется несколькими прогонами теста.

Кратко сформулируем алгоритмы проверки полноты тестов.

1 Экспресс - анализ

1 Определяются микрооперации, которые выполняются в текущий такт моделирования.

2 Для каждой микрооперации выполняются пункты 3…5.

3 Выполняется моделирование микрооперации.

4 Определяется список тестовых ситуаций для микрооперации.

5 Определяются тестовые ситуации, контролируемые при текущем выполнении микрооперации, и производится их регистрация в таблице проверенных неисправностей.

6 Если моделирование не закончено, то переходим к п. 1.

7 Конец.

2 Алгоритм проверки полноты тестов на основе анализа пути распространения контрольного сигнала

Этап выделения контрольных сигналов

1 Определяются микрооперации, которые выполняются в текущий такт моделирования.

2 Выполняется моделирование микроопераций.

3 Определяются микрооперации, которые порождают контрольные сигналы.

Для всех выходных сигналов выбранных микроопераций формируются метки контрольного сигнала.

4Определяются микрооперации, которые влияют на путь распространения контрольного сигнала. Для каждой микрооперации выполняются пункты 5…9.

5 Определяется список T входов элемента, на которых есть контрольный сигнал. Для каждого входа элемента t выполняются пункты 6…9.

6 Производится инвертирование сигнала на входе t.

7 Выполняется микрооперация с измененным значением.

8 Выделяются выходные сигналы элемента, в которых не совпали результаты выполнения микрооперации с исходным и изменённым значением операнда.

9 Список контрольных сигналов входа t добавляется в списки контрольных сигналов выделенных выходов элемента.

10 Производится анализ выходных сигналов схемы, метки контрольных сигналов записываются в список контрольных сигналов схемы.

11 Если этап моделирования не закончен, то производим подготовку к следующему такту моделирования и переходим к п. 1.

12 Конец.

3 Алгоритм проверки полноты тестов на основе анализа пути распространения неисправности

Этап проверки полноты теста

1 Определяются микрооперации, которые выполняются в текущий такт моделирования.

2 Выполняется моделирование микроопераций.

3 Для каждой микрооперации выполняются пункты 3…11.

4 Определяется список тестовых ситуаций для микрооперации.

5 Определяются тестовые ситуации, контролируемые при текущем выполнении микрооперации и не отмеченные в таблице проверок.

6 Для каждой выбранной тестовой ситуации создается метка. Определяются контрольные выходы и метка неисправностей добавляется в список меток каждого контрольного сигнала.

7 Формируется множество контрольных сигналов на входах элемента. Для каждого элемента множества выполняются пункты 8…11.

8 Определяются входы, сигналы которых содержат текущий элемент множества.

9 Инвертируются значения выбранных входных сигналов, и выполняется микрооперация.

10 Определяются выходы элемента, на которых значения сигналов не совпадают при выполнении микрооперации с исходными и измененными значениями входов.

11 В список контрольных сигналов выбранных выходов добавляется текущий элемент множества.

12 Производится анализ выходных сигналов схемы, выделяются метки неисправностей и производится регистрация соответствующих неисправностей в таблице проверок.

13 Если этап моделирования не закончен, то производим подготовку к следующему такту моделирования и переходим к пункту 1.

14 Конец.

Сравнивая рассмотренные алгоритмы, можно сделать следующие выводы.

Экспресс – анализ является наиболее быстродействующим алгоритмом, так как фактически не влияет на скорость моделирования. Но поскольку не отслеживается процесс распространения контрольного сигнала к выходам схемы, то результаты, полученные этим методом, имеют малую достоверность. Этот метод можно использовать на первых этапах решения задачи, для определения тех неисправностей, для которых даже не возникает тестовой ситуации.

Алгоритм проверки полноты тестов на основе анализа пути распространения контрольного сигнала дает достаточно точные результаты, но при его использовании значительно снижается быстродействие системы и возникает возможность маскирования неисправности.

Алгоритм проверки полноты тестов на основе анализа пути распространения неисправности наиболее трудоемкий, требует значительных ресурсов оперативной памяти, но результаты его использования самые достоверные.

Количественные характеристики данных методов будут получены в дальнейшем с использованием программной модели. Рекомендуется комплексное использование этих методов при решении задач проверки полноты тестов. Вначале используется экспресс-анализ, а после получения достаточно высокого качества теста рекомендуется использование двух других рассмотренных методов.

Библиография

1 Новосёлов В.Г. Модели неисправностей микросхем СИС и БИС и их использование при проверке полноты теста / В.Г. Новосёлов, А.И. Тертычный, И.В. Рооз // Автоматизированное проектирование радиоэлектронной аппаратуры: Сб. науч. тр.: — Каунас, 1991. — С. 129 – 131.

2 Новосёлов В.Г. Модель микропроцессорных БИС, опирающаяся на их описание в справочной литературе / В.Г. Новосёлов, А.И. Тертычный, И.П. Черкасова // Управляющие системы и машины. — 1993. — №4. — С. 33 – 41.

3 Тертычный А.И. Система моделирования дискретных устройств / А.И. Тертычный // Вестн. СевГТУ. Сер. Информатика, электроника, связь: Сб. науч. тр. — Севастополь, 1998. — Вып. 10. — С. 156 – 159.

Поступила в редакцию 09.11.2000 г.