

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ
РОССИЙСКОЙ ФЕДЕРАЦИИ

Федеральное государственное автономное образовательное
учреждение высшего образования
«СЕВАСТОПОЛЬСКИЙ ГОСУДАРСТВЕННЫЙ
УНИВЕРСИТЕТ»

ИНСТИТУТ ИНФОРМАЦИОННЫХ ТЕХНОЛОГИЙ
И УПРАВЛЕНИЯ В ТЕХНИЧЕСКИХ СИСТЕМАХ

Кафедра информатики и управления в технических системах

ИССЛЕДОВАНИЕ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ

Методические указания
к выполнению лабораторной работы по дисциплине
"Технические средства и элементная база
робототехнических систем"
для студентов направления подготовки
27.03.04 – Управление в технических системах



Севастополь
СевГУ
2019

УДК 621.38 (076)
ББК 32.847я73
И88

Рецензент:

В.А. Карапетьян – доцент кафедры "Информатика и управление в технических системах", кандидат техн. наук, доцент

Составитель: А.Е. Осадченко

И88 **Исследование логических элементов:** метод. указания к выполнению лабораторной работы по дисциплине "Технические средства и элементная база робототехнических систем" для студентов направления подготовки 27.03.04 Управление в технических системах / Сост. А.Е. Осадченко. – Севастополь: СевГУ, 2019. – 23 с.

В методических указаниях приводится описание лабораторной работы, целью которой является исследование характеристик логических элементов с применением лабораторных стендов «Основы электроники-2».

Методические указания предназначены для студентов направления подготовки 27.03.04 Интеллектуальные робототехнические системы.

УДК 621.38 (076)
ББК 32.847я73

Методические указания рассмотрены и утверждены на заседании кафедры "Информатика и управления в технических системах", протокол № 6 от 14 февраля 2019 г.

Методические указания рассмотрены и рекомендованы к изданию на заседании ученого совета Института информационных технологий и управления в технических системах, протокол № 5 от 25 апреля 2019 г.

СОДЕРЖАНИЕ

СОДЕРЖАНИЕ	3
1. ЦЕЛЬ РАБОТЫ	4
2. КРАТКИЕ ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ.....	4
2.1 ЛОГИЧЕСКИЕ УРОВНИ.....	4
2.2 РЕАЛИЗАЦИЯ ЛЭ	6
3. ТЕХНИЧЕСКИЕ СРЕДСТВА ДЛЯ ВЫПОЛНЕНИЯ РАБОТЫ	11
4. ПОРЯДОК ВЫПОЛНЕНИЯ ЭКСПЕРИМЕНТАЛЬНЫХ ИССЛЕДОВАНИЙ.....	11
4. 1 ИССЛЕДОВАНИЕ АМПЛИТУДНОЙ ХАРАКТЕРИСТИКИ ЛЭ И.....	11
4. 2 ИССЛЕДОВАНИЕ АМПЛИТУДНОЙ ХАРАКТЕРИСТИКИ ЛЭ И-НЕ	14
4. 3 ПОСТРОЕНИЕ ТАБЛИЦ ИСТИННОСТИ ЛЭ	15
4. 4 ИССЛЕДОВАНИЕ ВРЕМЕННЫХ ДИАГРАММ ЛЭ	20
5. ОБРАБОТКА ЭКСПЕРИМЕНТАЛЬНЫХ ДАННЫХ	21
6. СОДЕРЖАНИЕ ОТЧЕТА О ВЫПОЛНЕНИИ ЛАБОРАТОРНОЙ РАБОТЫ	21
7. ПОРЯДОК ЗАЩИТЫ РАБОТЫ.....	21
8. КОНТРОЛЬНЫЕ ВОПРОСЫ	21
БИБЛИОГРАФИЧЕСКИЙ СПИСОК	22
ПРИЛОЖЕНИЕ А.....	23

1. ЦЕЛЬ РАБОТЫ

Исследование характеристик логических элементов.

2. КРАТКИЕ ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ

2.1. Логические уровни

Логические функции в электронных устройствах реализуются при помощи логических схем. В логических схемах информация, представленная двоичными сигналами «0» и «1» [1, с. 140].

Условились в качестве логических состояний цифровых микросхем воспринимать напряжение на их входе и выходе. При этом высокое напряжение договорились считать единицей, а низкое напряжение - считать нулем. В идеальном случае напряжение на выходе микросхем должно быть равным напряжению питания или общего провода схемы. В реальных схемах так не бывает. Даже на полностью открытом транзисторе есть падение напряжения. В результате на выходе цифровой микросхемы напряжение всегда будет меньше напряжения питания и больше потенциала общего провода. Поэтому договорились напряжение, меньшее заданного уровня (уровень логического нуля) считать нулём, а напряжение, большее заданного уровня (уровень логической единицы), считать единицей. Если же напряжение на выходе микросхемы будет больше уровня логического нуля, но меньше уровня логической единицы, то такое состояние микросхемы будем называть неопределённым.

В настоящее время наибольшее распространение получили две технологии схемотехнического построения логических элементов:

- транзисторно-транзисторная логика (ТТЛ, TTL);
- логика на основе комплиментарных МОП транзисторов (КМОП, CMOS).

На рис. 1 приведены допустимые уровни выходных логических сигналов для ТТЛ микросхем.

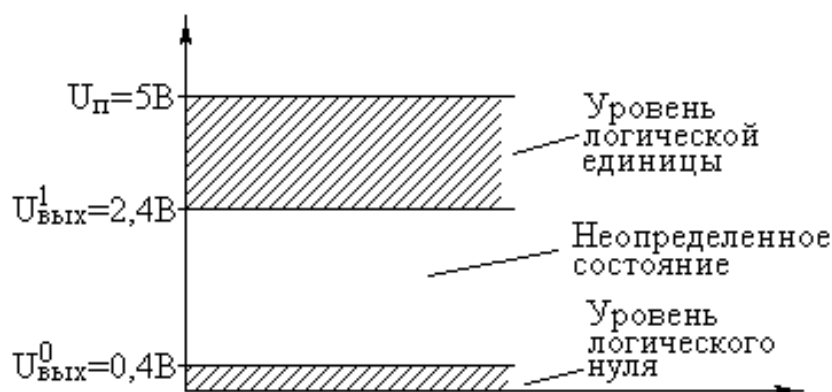


Рис. 1. Уровни логических сигналов на выходе цифровых ТТЛ микросхем

Напряжение с выхода одной микросхемы передаётся на вход другой микросхемы по проводнику. В процессе передачи на этот проводник может наводиться напряжение от каких-либо генераторов помех (осветительная сеть, радиопередатчики, импульсные генераторы). Помехоустойчивость цифровых микросхем определяется максимальным напряжением помех, которое не приводит к превращению логического нуля в логическую единицу и зависит от разности логических уровней цифровой микросхемы.

$$U^{-\text{пом}} = U_{\text{ВЫХ}}^{1\text{мин}} - U_{\text{ВХ}}^{1\text{мин}}$$

То же самое относится и к помехам, превращающим логический ноль в логическую единицу.

$$U^{+\text{пом}} = U_{\text{ВЫХ}}^{0\text{макс}} - U_{\text{ВХ}}^{0\text{макс}}$$

Граница уровня логического нуля и единицы для ТТЛ микросхем приведена на рис. 2.

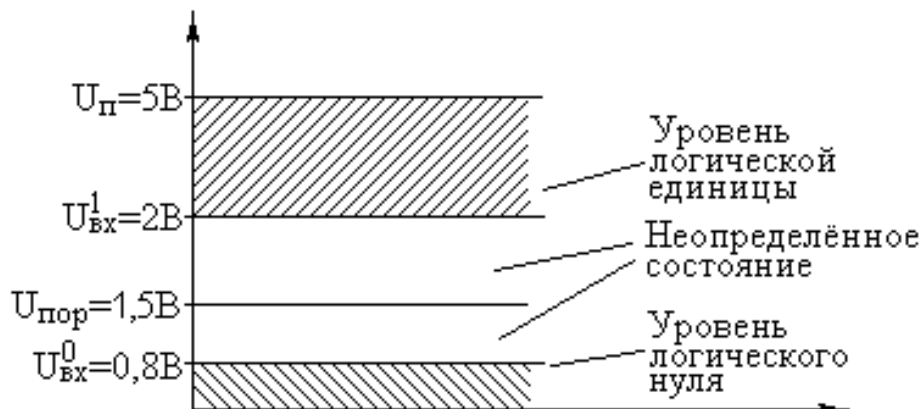


Рис. 2. Уровни логических сигналов на входе цифровых ТТЛ микросхем

Так как на выходе цифровой ТТЛ микросхемы уровень логической единицы не быть меньше 2,4 В, а уровень логического нуля не быть больше 0,4В, то при наведении на вход ТТЛ микросхемы помехи, напряжением менее 0,9 вольт, искажение цифровой информации не произойдет.

На рис. 3 показана амплитудная характеристика инвертирующего ЛЭ.

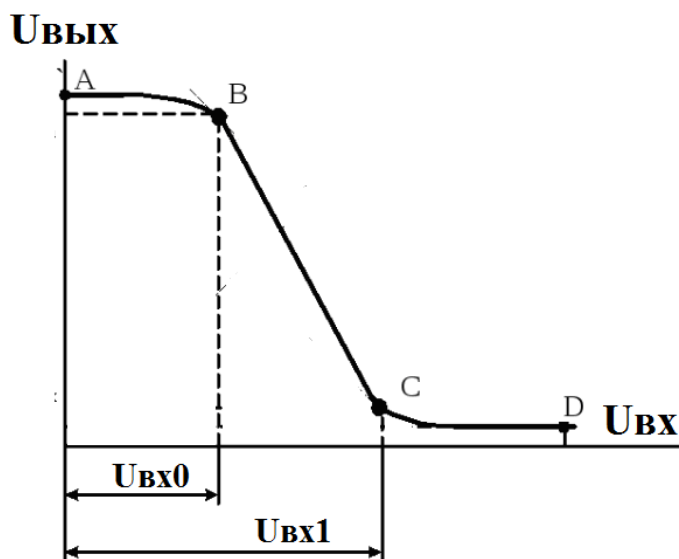


Рис. 3. Амплитудная характеристика инвертирующего ЛЭ

Точке А соответствует максимальное выходное напряжение, точке D - минимальное. Пороговое напряжение находится между точками В и С.

На рис. 4 приведен пример временных диаграмм ЛЭ И для периодических входных сигналов X1 и X2 и выходного сигнала Y общей длительностью $t = 12$ мс. Длительность высокого уровня X1 $t_1 = 0,4$ мс, низкого уровня X1 $t_2 = 0,6$ мс. Длительность высокого уровня X2 $t_3 = 4$ мс, низкого уровня X2 $t_4 = 4$ мс.

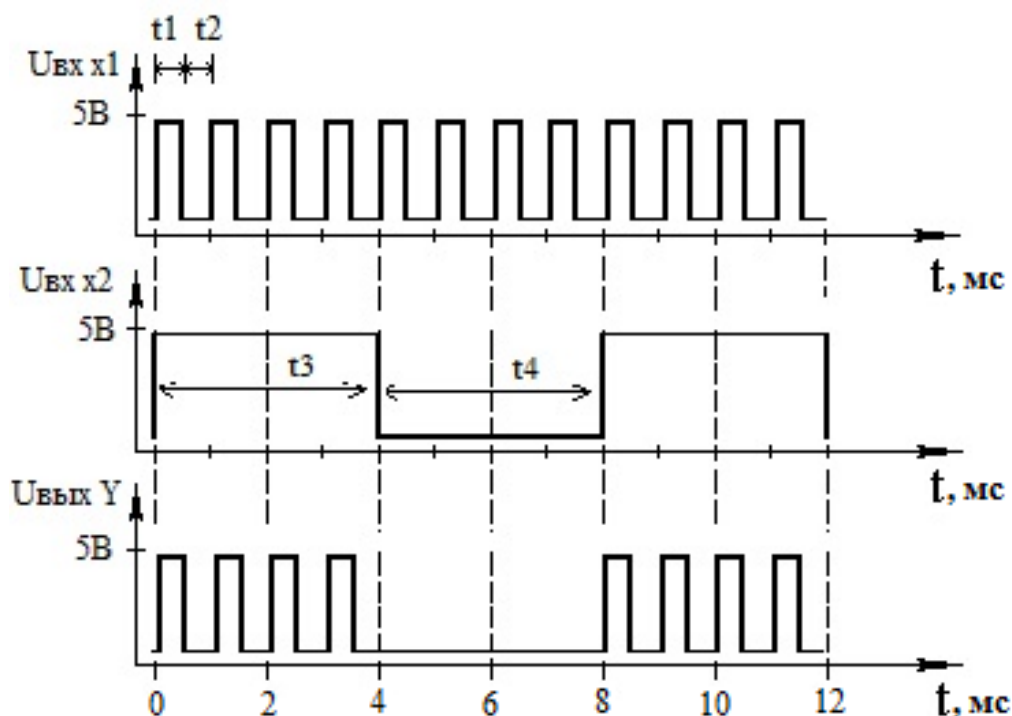


Рис. 4. Временные диаграммы ЛЭ И

Сложность логических схем и множество сочетаний входных сигналов и нагрузок не позволяет рассчитывать на индивидуальное согласование и регулировку ЛЭ в процессе изготовления, наладки и эксплуатации цифрового прибора. В связи с этим для обеспечения работоспособности цифрового прибора необходимо, чтобы ЛЭ обладал рядом функциональных качеств.

2.2. Реализация ЛЭ

Логические функции легко реализуются при помощи диодов[1, с. 140]. На рис.5 представлена схема логического элемента «ИЛИ». На каждый из входов может подаваться сигнал в виде какого-то напряжения (единица) или его отсутствия (ноль). На резисторе R появится напряжение даже при его появлении на каком – либо из диодов.

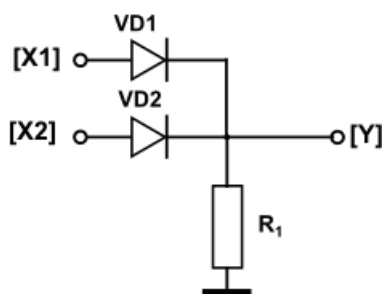


Рис. 5. Логический элемент ИЛИ

Схема элемента логического «И» приведена на рис. 6. Если хотя – бы к одному из входов будет сигнал равный нулю, то через диод будет протекать ток. Падение напряжения на диоде не превышает 0,6 В, соответственно на выходе тоже будет низкий уровень. На выходе сможет появиться высокий уровень только при условии, что все диоды будут закрыты, то есть на всех входах будет высокий уровень

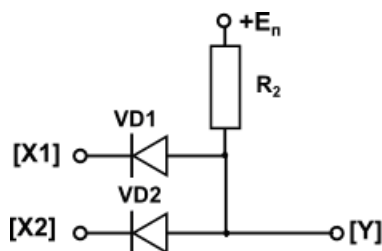


Рис. 6. Логический элемент И

Недостатком реализации логических элементов на диодах является невозможность их каскадирования, так как на каждом диоде падает напряжение и мощность сигнала при распространении по схеме уменьшается. Для улучшения характеристик логических элементов на диодах используется усилитель на транзисторах, а технология реализации ЛЭ получила название диодно-транзисторной логики (ДТЛ).

Схема логического элемента НЕ на биполярном транзисторе, включенном по схеме с общим эмиттером приведена на рис. 7.

При наличии положительного напряжения на входе $x=1$ транзистор открывается и напряжение его коллектора близко к нулю. Если $x=0$ то положительного сигнала на базе нет, транзистор закрыт, ток не проходит через коллектор и на резисторе R нет падения напряжения, соответственно напряжение коллектора близко к E_n .

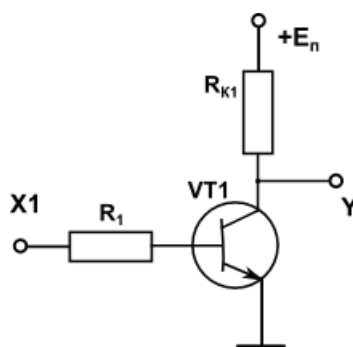


Рис. 7. Логический элемент НЕ на биполярном транзисторе

Схема логического элемента НЕ на полевом МОП-транзисторе, включенном по схеме с общим истоком приведена на рис. 8.

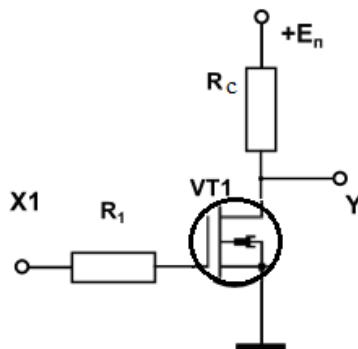


Рис. 8. Логический элемент НЕ на полевом транзисторе

Пример реализации логического элемента «И-НЕ» посредством ДТЛ технологии показан на рис. 9.

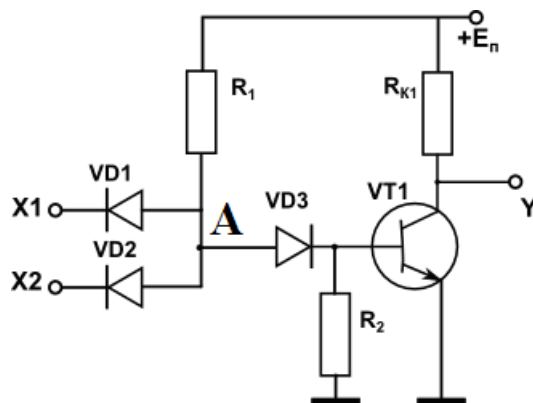


Рис. 9. Логический элемент И-НЕ

Если $x_1=0$ или $x_2=0$, то через диод VD_1 или VD_2 будет протекать ток, а в точке А будет напряжение равное падению напряжения на диодах VD_1 , VD_2 . Для предотвращения открывания транзистора VT_1 его база подключена к точке А через диод VD_3 , включенный в прямом направлении. Падение напряжения на VD_3 при этом примерно равно падению напряжения на диодах VD_1 , VD_2 и напряжение на базе транзистора VT_1 равно нулю. Поэтому VT_1 будет закрыт, а на выходе будет единица, что и требуется при наличии нуля на каком-либо из входов.

Если $x_1=1$ и $x_2=1$, то через диоды VD_1 , VD_2 ток протекать не будет. При этом транзистор VT_1 будет переведен в открытое состояние током, протекающим от $+E_n$, через R_1 , VD_3 и база-эмиттерный переход VT_1 . Так как VT_1 будет открыт, то на выходе будет ноль, что требуется при наличии единиц на всех входах.

Недостатком технологии ДТЛ является низкая скорость переключения выхода ЛЭ из состояния низкого уровня в высокий, из-за медленного процесса утечки заряда с базы VT_1 , находящегося в режиме насыщения, через резистор R_2 .

В более современной и эффективной технологии, которая получила название ТТЛ данная проблема решена путём замены диодов на мультиэмиттерный транзистор, что также позволило уменьшить площадь кристалла и повысить плотность элементов[2, с. 135].

Пример реализации логического элемента «И-НЕ» посредством ТТЛ технологии показан на рис.10.

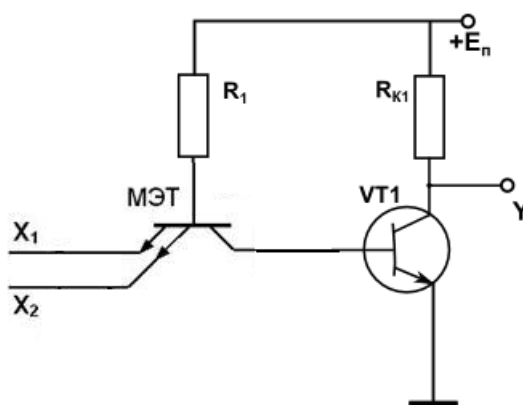


Рис. 10. Логический элемент И-НЕ ТТЛ

Логический элемент ТТЛ за счёт использования многоэмиттерного транзистора (МЭТ), объединяющего свойства диода и транзисторного усилителя, позволяет увеличить быстродействие, снизить потребляемую мощность и усовершенствовать технологию изготовления микросхем.

Рассмотрим работу логического элемента И-НЕ ТТЛ.

Если хотя бы на одном из входов x_1 или x_2 будет ноль, то на эмиттере МЭТ будет нулевой потенциал и он работает в нормальном режиме насыщения, так как в базу втекает ток резистора R_1 , поэтому потенциал коллектора МЭТ и базы VT_1 близок к нулю. В этом случае VT_1 находится в режиме отсечки, поэтому на коллекторе VT_1 потенциал близок к потенциалу источника питания E_p , — на выходе элемента логическая 1.

Если $x_1=1$ и $x_2=1$, то от $+E_p$ через R_1 , через прямосмещённый коллекторный переход МЭТ в базу VT_1 будет втекать ток.

При этом VT_1 переходит в состояние насыщения, его коллекторный потенциал становится близок к нулю (на выходе логический 0).

Таким образом, на выходе будет логический 0 только если все входы имеют состояние логической 1, это соответствует логической функции И-НЕ.

Достоинством ЛЭ ТТЛ является повышенное, по сравнению с ЛЭ ДТЛ быстродействие. Это обусловлено тем, что при переходе выхода из состояния логического нуля в логическую 1 транзистор VT_1 выходит из насыщения. При этом неосновные носители, накопленные в его базе, относительно быстро стекают через коллектор насыщенного МЭТ, потенциал которого близок к нулю.

К недостаткам ЛЭ ТТЛ можно отнести большое энергопотребление от источника питания, которое вызвано значительными токами необходимыми для перевода биполярных транзисторов ЛЭ в режим насыщения, большую рассеиваемую мощность и импульсные помехи при переключении.

Снизить в несколько раз энергопотребление ЛЭ позволяет использование диодов Шоттки, которые подключаются параллельно переходам биполярных транзисторов и предотвращают глубокое их насыщение. Такие ЛЭ получили название транзисторно-транзисторная логика на диодах Шоттки (ТТЛШ). Структура объединяющая биполярный транзистор и диод Шоттки получила название - транзистор Шоттки [2, с. 133], имеющий собственное обозначение на схемах (рис.11)

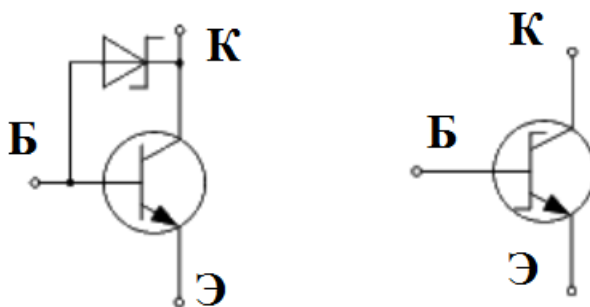


Рис. 11. Транзистор Шоттки
Базовый элемент ТТЛШ показан на рис. 12.

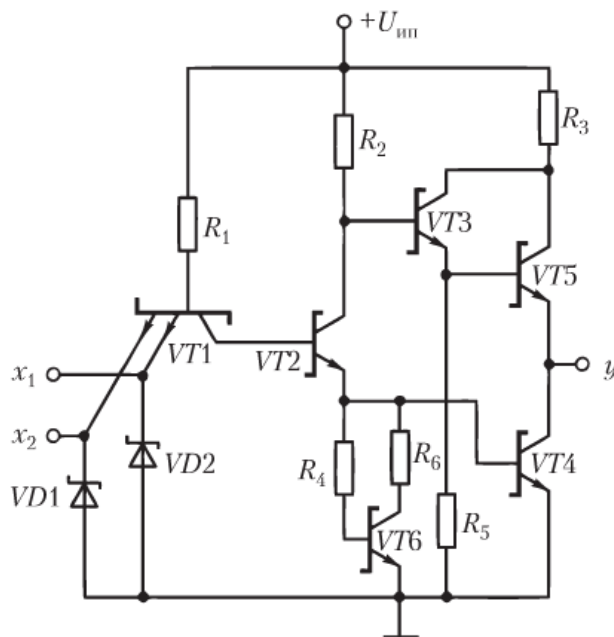


Рис. 12. Базовый элемент ТТЛШ

Существенно снизить энергопотребление ЛЭ позволило использование полевых транзисторов металл-оксид-полупроводник (МОП) [2, с. 134].

На рис. 13 показана схема инвертора на двух МОП транзисторах с N- и P-каналами. Высокий входной потенциал открывает транзистор с N-каналом и закрывает транзистор с P-каналом. Выход при этом имеет низкий уровень, так как через открытый канал соединен с общим проводом. При подаче на вход низкого уровня будет открыт верхний транзистор, а нижний закрыт. В результате ток от источника питания через микросхему не протекает при любом состоянии выхода.

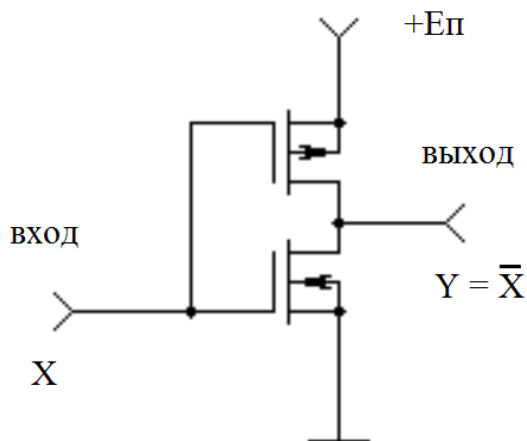


Рис. 13. Инвертор на двух МОП транзисторах

Пара транзисторов, сходных по абсолютным значениям параметров, но имеющих разные типы проводимостей называют комплементарной парой транзисторов. ЛЭ на комплементарных парах получили название комплементарная структура металл-оксид-полупроводник (КМОП, CMOS).

Так как в схеме нет нагрузочных сопротивлений, то в статическом состоянии через КМОП-схему протекают только токи утечки через закрытые транзисторы, и энергопотребление в статическом режиме очень низкое. Электрическая энергия от источника питания тратится в основном при переключении на заряд емкостей затворов и проводников. Таким образом потребляемая мощность пропорциональна частоте этих переключений. Необходимо также учитывать, что

переключение транзисторов имеет конечное время, поэтому на короткое время оба типа транзисторов могут быть открыты и через их каналы возникает ток короткого замыкания. На высоких частотах (100-1000 мГц) переключений потребляемая мощность ЛЭ КМОП становится сравнимой с мощностью потребляемой ЛЭ ТТЛШ.

На рис. 14 представлена схема КМОП ЛЭ 2И-НЕ. Для перевода выхода в низкое состояние необходимо, чтобы каналы транзисторов VT1 и VT2 были открыты, что достигается подачей высокого уровня одновременно на X1 и X2. Транзисторы VT3 и VT4 при этом будут закрыты. При любых других состояниях X1 и X2 выход будет подключен через открытые VT3, VT4 к источнику питания и на нем будет высокий уровень.

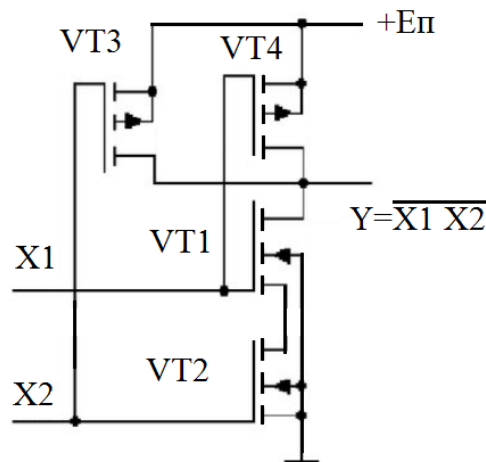


Рис. 14. ЛЭ 2И-НЕ КМОП

3. ТЕХНИЧЕСКИЕ СРЕДСТВА ДЛЯ ВЫПОЛНЕНИЯ РАБОТЫ

1. Модуль **ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ И ТРИГГЕРЫ**, модуль **МУЛЬТИМЕТРЫ**, модуль **ЦАП и АЦП**, на стендах **ОСНОВЫ ЭЛЕКТРОНИКИ - 2**.

2. Двухканальный цифровой осциллограф.

4. ПОРЯДОК ВЫПОЛНЕНИЯ ЭКСПЕРИМЕНТАЛЬНЫХ ИССЛЕДОВАНИЙ

4.1. Исследование амплитудной характеристики ЛЭ И

Построение амплитудной характеристики ЛЭ 2-И производится по схеме, показанной на рис.15

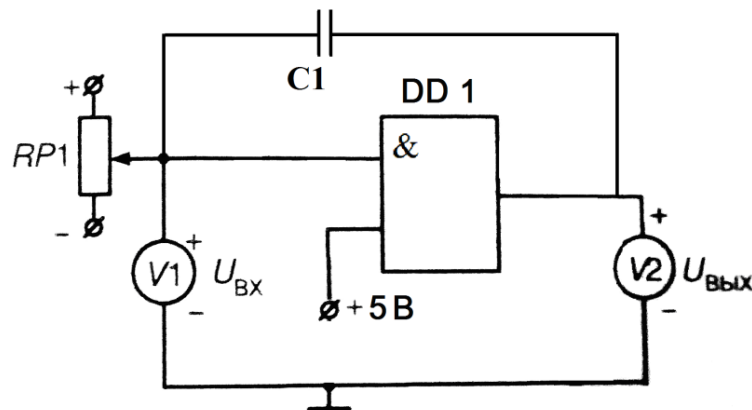


Рис. 15. Схема для построения амплитудной характеристики ЛЭ

Для выполнения работы необходимо осуществить следующие действия:

1. Модуль питания стенда (220 В) **QF1** установить в положение **ВЫКЛЮЧЕНО**.
2. В модуле **ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ И ТРИГГЕРЫ** извлечь из гнезд все перемычки (рис. 16).

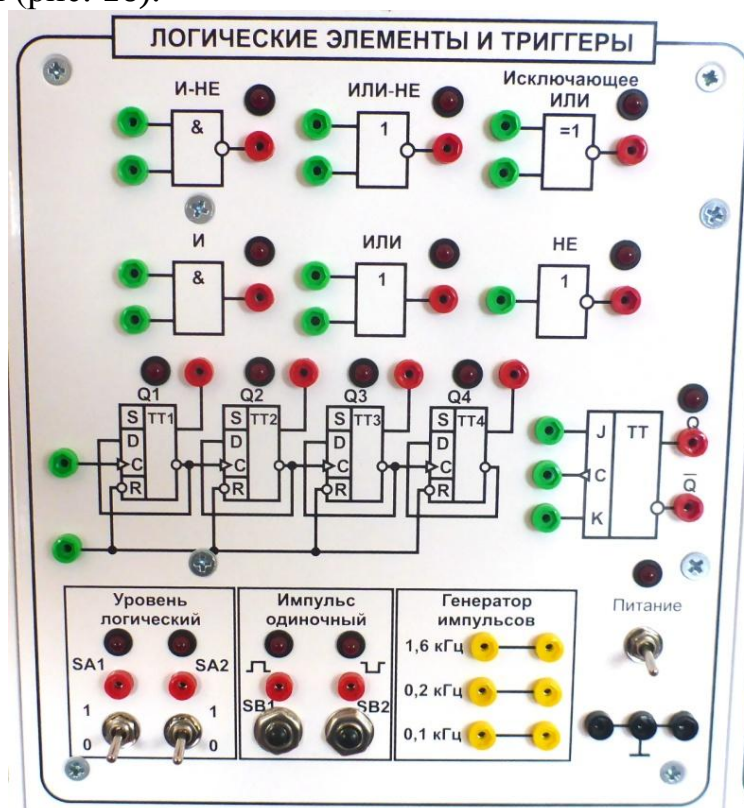


Рис. 16. Вид модуля **ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ И ТРИГГЕРЫ**

3. Установить переключатель **ПИТАНИЕ** модуля в положение **Выкл.**
4. На модуле **МУЛЬТИМЕТРЫ** установить переключатели режима измерения мультиметров в положение измерения напряжения в диапазоне 20 В (рис. 17).



Рис. 17. Вид модуля **МУЛЬТИМЕТРЫ** перед началом работы

5. В модуле **ЦАП и АЦП** извлечь из гнезд все перемычки (рис. 18).
6. Установить переключатель **ПИТАНИЕ** модуля в положение **Выкл.**

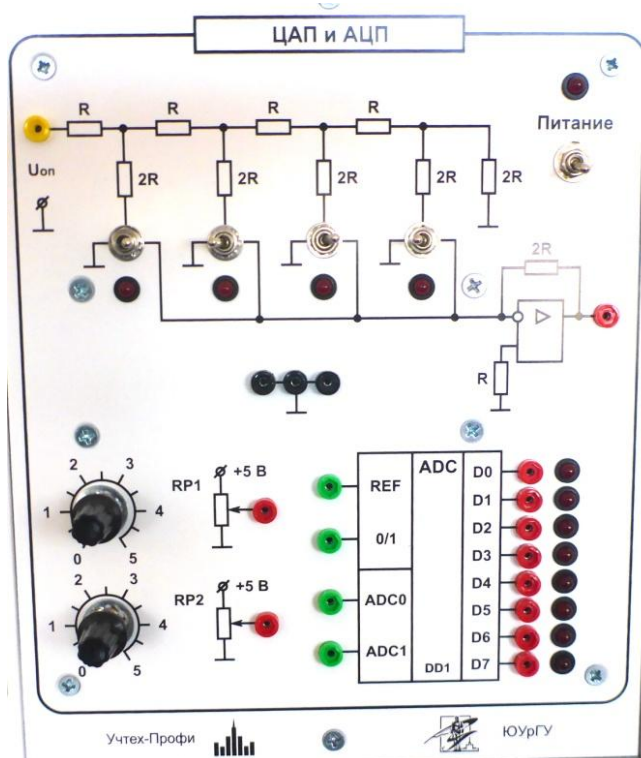


Рис. 18. Вид модуля ЦАП и АЦП

5. В модуле **ЦАП и АЦП** соединить перемычкой средний вывод потенциометра RP1(красное гнездо разъема) с одним из входов элемента **И** в модуле **ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ И ТРИГГЕРЫ** (зеленое гнездо).

7. Соединить **перемычкой с конденсатором** вход элемента **И**, к которому был подключен средний вывод потенциометра RP1, и выход логического элемента **И** (красное гнездо).

6. Другой вход элемента **И** в модуле **ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ И ТРИГГЕРЫ** (зеленое гнездо) соединить перемычкой с гнездом SA1 секции **Уровень логический**

7. Черный щуп левого мультиметра вставить в гнездо разъема $\perp$ в модуле **ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ И ТРИГГЕРЫ**.

8. Красный щуп левого мультиметра соединить со средним выводом потенциометра RP1(красное гнездо разъема модуля **ЦАП и АЦП**).

9. Черный щуп правого мультиметра вставить в гнездо разъема $\perp$ в модуле **ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ И ТРИГГЕРЫ**.

10. Красный щуп правого мультиметра вставить в гнездо разъема выхода логического элемента **И** (красное гнездо).

11. Выключатель SA1 секции **Уровень логический** установить в положение 1(верх).

12. Модуль питания стенда (220 В) QF1 установить в положение **ВКЛЮЧЕНО**.

13. Включить питание модуля **ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ И ТРИГГЕРЫ**.

14. Включить питание модуля **ЦАП и АЦП**.

15. Поворачивая ручку потенциометра RP1 в модуле **ЦАП и АЦП**, и наблюдая показания левого мультиметра, устанавливать величины входного

напряжения в соответствии с таблицей 4. Занести в таблицу 4 величины напряжений $U_{\text{вых}}$ согласно показаниям правого мультиметра.

Таблица 4 - Напряжение на выходе логического элемента И

$U_{\text{вх}}, \text{В}$	0	1	2	2,1	2,2	2,3	2,4	2,5	2,6	2,7	2,8	2,9	3	4	5
$U_{\text{вых}}, \text{В}$															

4.2. Исследование амплитудной характеристики ЛЭ И-НЕ

Построение амплитудной характеристики ЛЭ И-НЕ производится по схеме, показанной на рис.19

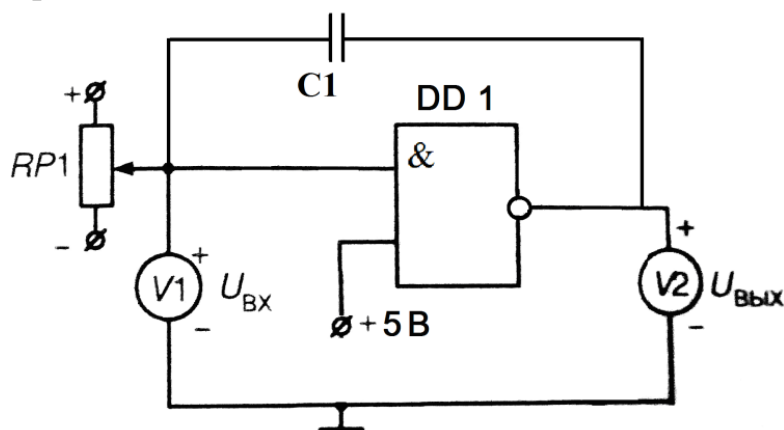


Рис. 19. Схема для построения амплитудной характеристики ЛЭ И-НЕ

Для выполнения работы необходимо осуществить следующие действия:

1. Модуль питания стенда (220 В) **QF1** установить в положение **ВЫКЛЮЧЕНО**.
2. В модуле **ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ И ТРИГГЕРЫ** извлечь из гнезд все перемычки (рис. 16).
3. Установить переключатель **ПИТАНИЕ** модуля в положение **Выкл.**
4. На модуле **МУЛЬТИМЕТРЫ** установить переключатели режима измерения мультиметров в положение измерения напряжения в диапазоне 20 В (рис. 13).
5. В модуле **ЦАП и АЦП** извлечь из гнезд все перемычки (рис. 14).
6. Установить переключатель **ПИТАНИЕ** модуля в положение **Выкл.**
5. В модуле **ЦАП и АЦП** соединить перемычкой средний вывод потенциометра **RP1**(красное гнездо разъема) с одним из входов элемента **И-НЕ** в модуле **ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ И ТРИГГЕРЫ** (зеленое гнездо).
7. Соединить перемычкой с конденсатором вход элемента **И-НЕ**, к которому был подключен средний вывод потенциометра **RP1**, и выход логического элемента **И-НЕ** (красное гнездо).
6. Другой вход элемента **И-НЕ** в модуле **ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ И ТРИГГЕРЫ** (зеленое гнездо) соединить перемычкой с гнездом **SA1** секции **Уровень логический**
7. Черный щуп левого мультиметра вставить в гнездо разъема **⊥** в модуле **ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ И ТРИГГЕРЫ**.
8. Красный щуп левого мультиметра соединить со средним выводом потенциометра **RP1**(красное гнездо разъема модуля **ЦАП и АЦП**).
9. Красный щуп правого мультиметра вставить в гнездо разъема выхода логического элемента **И-НЕ** (в перемычку с конденсатором).

10. Черный щуп правого мультиметра вставить в гнездо разъема $\perp$ в модуле **ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ И ТРИГГЕРЫ**.

11. Выключатель SA1 секции **Уровень логический** установить в положение 1(верх).

12. Модуль питания стенда (220 В) **QF1** установить в положение **ВКЛЮЧЕНО**.

13. Включить питание модуля **ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ И ТРИГГЕРЫ**.

14. Включить питание модуля **ЦАП и АЦП**.

15. Поворачивая ручку потенциометра RP1 в модуле **ЦАП и АЦП**, и наблюдая показания левого мультиметра, устанавливать величины входного напряжения в соответствии с таблицей 5. Занести в таблицу 5 величины напряжений $U_{\text{вых}}$ согласно показаниям правого мультиметра.

Таблица 5 - Напряжение на выходе логического элемента **И-НЕ**

$U_{\text{вх}}, \text{В}$	0	1	2	2,1	2,2	2,3	2,4	2,5	2,6	2,7	2,8	2,9	3	4	5
$U_{\text{вых}}, \text{В}$															

4.3. Построение таблиц истинности ЛЭ

Построение таблицы истинности ЛЭ **2И-НЕ** производится по схеме показанной на рис. 20.

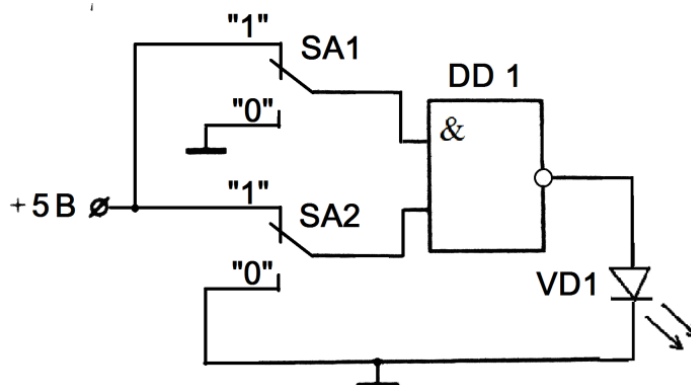


Рис. 20. Схема для построения таблицы истинности ЛЭ **И-НЕ**

Для построения таблицы истинности ЛЭ **2И-НЕ** необходимо осуществить следующие действия:

1. Модуль питания стенда (220 В) **QF1** установить в положение **ВЫКЛЮЧЕНО**.

2. В модуле **ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ И ТРИГГЕРЫ** извлечь из гнезд все перемычки (рис. 16).

3. Установить переключатель **ПИТАНИЕ** модуля в положение **Выкл.**

4. Один вход элемента **И-НЕ** в модуле **ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ И ТРИГГЕРЫ** (зеленое гнездо) соединить перемычкой с гнездом SA1 секции **Уровень логический**, другой вход элемента **И-НЕ** в модуле **ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ И ТРИГГЕРЫ** (зеленое гнездо) соединить перемычкой с гнездом SA2 секции **Уровень логический**.

5. Переключатели SA1 и SA2 секции **Уровень логический** установить в положение **0(вниз)**.

6. Модуль питания стенда (220 В) **QF1** установить в положение **ВКЛЮЧЕНО**.

7. Включить питание модуля **ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ И ТРИГГЕРЫ**.

8. Заполнить таблицу истинности 6, изменяя при помощи переключателей SA1, SA2 логические уровни на входах ЛЭ И-НЕ и наблюдая состояние светодиода подключенного к выходу ЛЭ И-НЕ (свечение диода соответствует уровню 1).

Таблица 6 - Таблица истинности ЛЭ И-НЕ

X1 (SA1)	X2 (SA2)	Y 0/1
0	0	
0	1	
1	0	
1	1	

Построение таблицы истинности ЛЭ И производится по схеме, показанной на рис. 21.

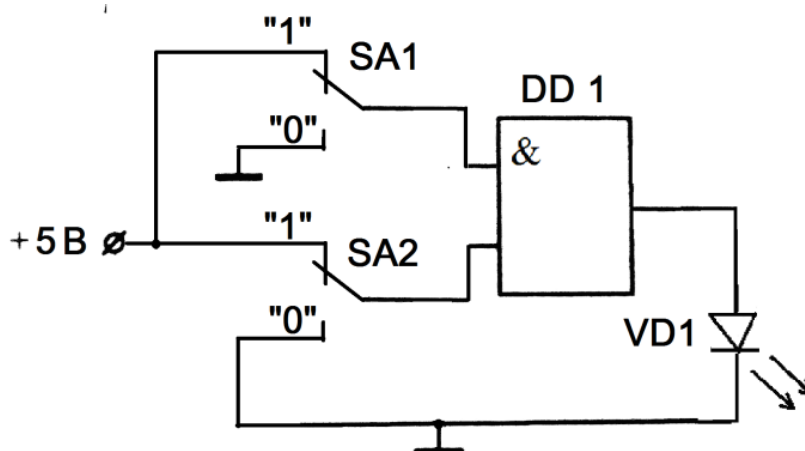


Рис. 21. Схема для построения таблицы истинности ЛЭ И

Для построения таблицы истинности ЛЭ И необходимо осуществить следующие действия:

1. Отсоединить перемычки от входов ЛЭ И-НЕ.

2. Один вход элемента **И** в модуле **ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ И ТРИГГЕРЫ** (зеленое гнездо) соединить перемычкой с гнездом SA1 секции **Уровень логический**, другой вход элемента **И** в модуле **ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ И ТРИГГЕРЫ** (зеленое гнездо) соединить перемычкой с гнездом SA2 секции **Уровень логический**.

3. Переключатели SA1 и SA2 секции **Уровень логический** установить в положение **0** (вниз).

4. Заполнить таблицу истинности 7, изменяя при помощи переключателей SA1, SA2 логические уровни на входах ЛЭ И и наблюдая состояние светодиода подключенного к выходу ЛЭ И (свечение диода соответствует уровню 1).

Таблица 7 - Таблица истинности ЛЭ И

X1 (SA1)	X2 (SA2)	Y 0/1
0	0	
0	1	
1	0	
1	1	

Построение таблицы истинности ЛЭ **ИЛИ-НЕ** производится по схеме, показанной на рис. 22.

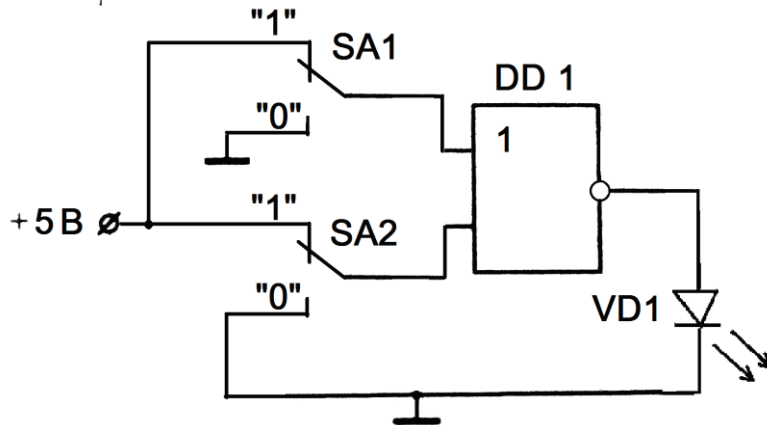


Рис. 22. Схема для построения таблицы истинности ЛЭ ИЛИ-НЕ

Для построения таблицы истинности ЛЭ ИЛИ-НЕ необходимо осуществить следующие действия:

1. Отсоединить переключки от входов ЛЭ И.
2. Один вход элемента **ИЛИ-НЕ** в модуле **ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ И ТРИГГЕРЫ** (зеленое гнездо) соединить переключкой с гнездом SA1 секции **Уровень логический**, другой вход элемента **ИЛИ-НЕ** в модуле **ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ И ТРИГГЕРЫ** (зеленое гнездо) соединить переключкой с гнездом SA2 секции **Уровень логический**.
3. Переключатели SA1 и SA2 секции **Уровень логический** установить в положение 0(вниз).
4. Заполнить таблицу истинности 8, изменяя при помощи переключателей SA1, SA2 логические уровни на входах ЛЭ **ИЛИ-НЕ** и наблюдая состояние светодиода подключенного к выходу ЛЭ **ИЛИ-НЕ** (свечение диода соответствует уровню 1).

Таблица 8 - Таблица истинности ЛЭ ИЛИ-НЕ

X1(SA1)	X2 (SA2)	Y 0/1
0	0	
0	1	
1	0	
1	1	

Построение таблицы истинности ЛЭ **ИЛИ** производится по схеме, показанной на рис. 23.

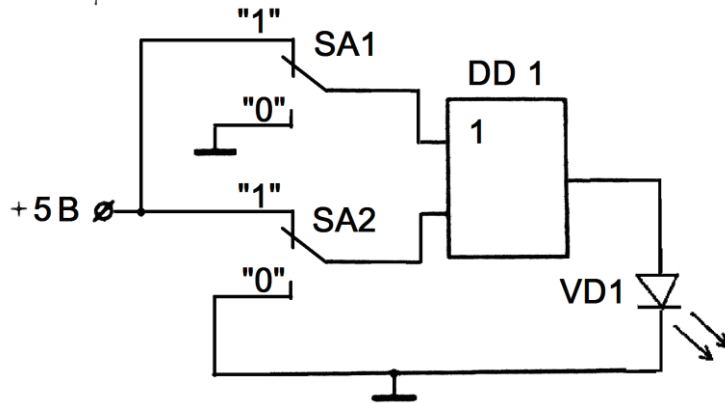


Рис. 23. Схема для построения таблицы истинности ЛЭ ИЛИ

Для построения таблицы истинности ЛЭ ИЛИ необходимо осуществить следующие действия:

1. Отсоединить перемычки от входов ЛЭ ИЛИ-НЕ.
2. Один вход элемента **ИЛИ** в модуле **ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ И ТРИГГЕРЫ** (зеленое гнездо) соединить перемычкой с гнездом SA1 секции **Уровень логический**, другой вход элемента **ИЛИ** в модуле **ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ И ТРИГГЕРЫ** (зеленое гнездо) соединить перемычкой с гнездом SA2 секции **Уровень логический**.
3. Переключатели SA1 и SA2 секции **Уровень логический** установить в положение **0**(вниз).
4. Заполнить таблицу истинности 9, изменяя при помощи переключателей SA1, SA2 логические уровни на входах ЛЭ **ИЛИ** и наблюдая состояние светодиода подключенного к выходу ЛЭ **ИЛИ** (свечение диода соответствует уровню 1).

Таблица 9 - Таблица истинности ЛЭ 2ИЛИ

X1 (SA1)	X2 (SA2)	Y 0/1
0	0	
0	1	
1	0	
1	1	

Построение таблицы истинности ЛЭ **исключающее ИЛИ-НЕ** производится по схеме, показанной на рис.24

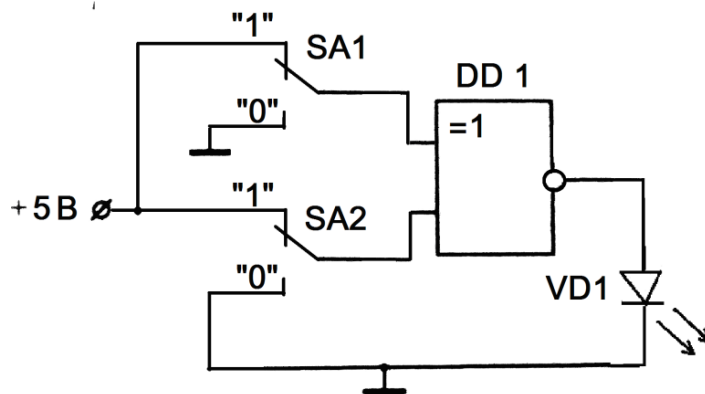


Рис. 24. Схема для построения таблицы истинности ЛЭ **исключающее ИЛИ-НЕ**

Для построения таблицы истинности ЛЭ **исключающее ИЛИ-НЕ** (на стенде имеет обозначение - **исключающее ИЛИ**) необходимо осуществить следующие действия:

1. Отсоединить перемычки от входов ЛЭ **ИЛИ**.
2. Один вход элемента **исключающее ИЛИ-НЕ** в модуле **ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ И ТРИГГЕРЫ** (зеленое гнездо) соединить перемычкой с гнездом SA1 секции **Уровень логический**, другой вход элемента **исключающее ИЛИ-НЕ** в модуле **ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ И ТРИГГЕРЫ** (зеленое гнездо) соединить перемычкой с гнездом SA2 секции **Уровень логический**.
3. Переключатели SA1 и SA2 секции **Уровень логический** установить в положение **0**(вниз).

4. Заполнить таблицу истинности 10, изменяя при помощи переключателей SA1, SA2 логические уровни на входах ЛЭ **исключающее ИЛИ-НЕ** и наблюдая состояние светодиода подключенного к выходу ЛЭ **исключающее ИЛИ-НЕ** (свечение диода соответствует уровню 1).

Таблица 10 - Таблица истинности ЛЭ **исключающее ИЛИ-НЕ**

X1(SA1)	X2(SA1)	Y0/1
0	0	
0	1	
1	0	
1	1	

Построение таблицы истинности ЛЭ **НЕ** производится по схеме, показанной на рис. 25.

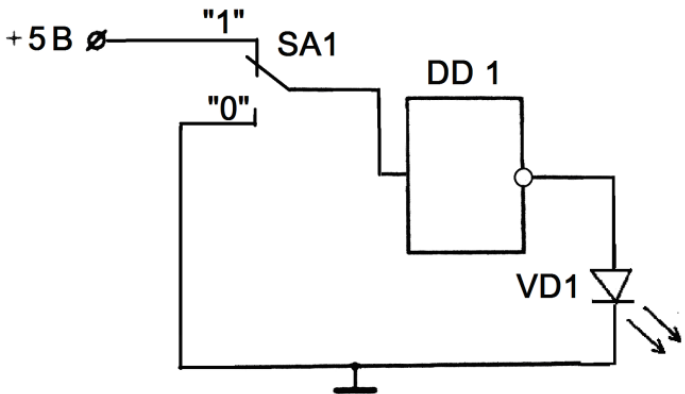


Рис. 25. Схема для построения таблицы истинности ЛЭ **НЕ**

Для построения таблицы истинности ЛЭ **НЕ** необходимо осуществить следующие действия:

1. Отсоединить перемычки от входов ЛЭ **исключающее ИЛИ-НЕ**.
2. Вход элемента **НЕ** в модуле **ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ И ТРИГГЕРЫ** (зеленое гнездо) соединить перемычкой с гнездом SA1 секции **Уровень логический**.
3. Переключатель SA1 секции **Уровень логический** установить в положение **0**(вниз).
4. Заполнить таблицу истинности 11, изменяя при помощи переключателя SA1 логические уровни на входах ЛЭ **НЕ** и наблюдая состояние светодиода подключенного к выходу ЛЭ **НЕ** (свечение диода соответствует уровню 1).

Таблица 11 - Таблица истинности ЛЭ **НЕ**

X1 (SA1)	Y 0/1
0	
1	

4.4. Исследование временных диаграмм ЛЭ И

Исследование временных диаграмм ЛЭ И производится по схеме, показанной на рис. 26.

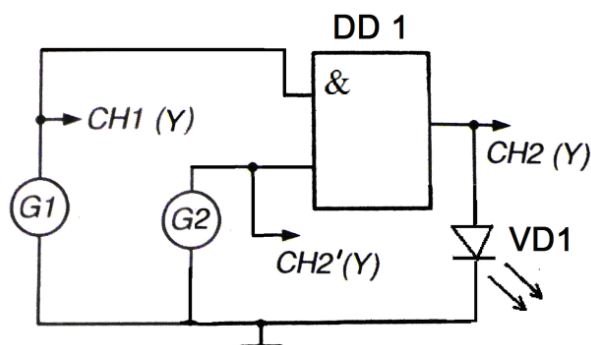


Рис. 26. Схема исследования временных диаграмм ЛЭ И

Для исследования временных диаграмм ЛЭ И необходимо осуществить следующие действия:

1. Установить переключатель **ПИТАНИЕ** модуля в положение **Выкл.**
2. Один вход элемента **И** в модуле **ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ И ТРИГГЕРЫ** (зеленое гнездо) соединить перемычкой с гнездом 0,1 кГц секции **Генератор импульсов**, другой вход элемента **И** в модуле **ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ И ТРИГГЕРЫ** (зеленое гнездо) соединить перемычкой с гнездом 1,6 кГц секции **Генератор импульсов**.
3. Красный щуп 1 канала осциллографа подключить к гнезду разъема 0,1 кГц секции **Генератор импульсов**.
4. Черный щуп 1 канала осциллографа подключить к гнезду разъема $\perp$ в модуле **ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ И ТРИГГЕРЫ** (черное гнездо).
5. Красный щуп 2 канала осциллографа подключить к гнезду разъема 1,6 кГц секции **Генератор импульсов**.
6. Черный щуп 2 канала осциллографа подключить к гнезду разъема к $\perp$ в модуле **ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ И ТРИГГЕРЫ** (черное гнездо).
7. Выключатель модуля питания стенда (220 В) **QF1** установить в положение **ВКЛЮЧЕНО**.
8. Выключатель модуля **ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ И ТРИГГЕРЫ (Питание)** установить в положение **ВКЛЮЧЕНО**.
9. Включить осциллограф и ожидать его готовности.
10. Нажать кнопку **АВТО** (на правой стороне передней панели осциллографа, синего цвета), отпустить и подождать 5 секунд.
11. Сфотографировать осциллограммы выходных сигналов генераторов импульсов G1 и G2.
12. Красный щуп 2 канала осциллографа подключить к гнезду разъема выхода логического элемента И (красное гнездо).
13. Нажать кнопку **АВТО** осциллографа, отпустить и подождать 5 секунд.
14. Сфотографировать осциллограммы выходного сигнала генератора импульсов G1 и сигнала с выхода логического элемента И.

5. ОБРАБОТКА ЭКСПЕРИМЕНТАЛЬНЫХ ДАННЫХ

1. Используя данные таблицы 4 построить амплитудную характеристику ЛЭ И.
2. Используя данные таблицы 5 построить амплитудную характеристику ЛЭ И-НЕ.
3. Сделать выводы.
4. Используя данные таблиц 6, 7, 8, 9, 10, 11 построить таблицы истинности ЛЭ и описать словами их свойства.
5. По данным исследования временных диаграмм при помощи осциллографа построить временные диаграммы работы ЛЭ И.
6. Построить временные диаграммы работы ЛЭ с периодическими импульсными сигналами, используя данные приложения А и пример на рис. 5.
7. Сделать выводы.

6. СОДЕРЖАНИЕ ОТЧЕТА О ВЫПОЛНЕНИИ ЛАБОРАТОРНОЙ РАБОТЫ

Отчёт должен содержать:

- титульный лист;
- цель лабораторной работы;
- схемы экспериментов;
- таблицы и графики результатов;
- расчеты;
- выводы.

Отчёт по лабораторной работе должен быть выполнен в соответствии требованиями ГОСТ.

7. ПОРЯДОК ЗАЩИТЫ РАБОТЫ

Защита производится при наличии отчета и состоит в объяснениях полученных результатов и ответах на контрольные вопросы.

8. КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Что такое двухзначная логика?
2. Что такое таблица соответствия логических функций?
3. Что такое логический уровень?
4. Что такое коэффициент разветвления на выходе ЛЭ?
5. Какой недостаток имеет реализация логических элементов на диодах?
6. Чем отличаются ЛЭ ТТЛ и ЛЭ ТТЛШ?
7. Какие недостатки имеют ЛЭ ТТЛ?
8. Что такое штрих КМОП?
9. Чем отличаются ЛЭ ТТЛ и КМОП?
10. От чего зависит энергопотребление ЛЭ КМОП?
11. Как реализовать элемент НЕ на биполярном транзисторе?
12. Объясните принцип работы КМОП ЛЭ 2И-НЕ.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Основы электротехники, микроэлектроники и управления в 2 т. Том 2: учебное пособие для академического бакалавриата [Электронный ресурс] / Ю. А. Комиссаров, Л. С. Гордеев, Г. И. Бабокин, Д. П. Вент. — 2-е изд., испр. и доп. — М.: Издательство Юрайт, 2017. — 313 с. — (Серия: Бакалавр. Академический курс). — ISBN 978-5-534-05432-3. — Режим доступа: <https://www.biblio-online.ru/book/8EC6B1A3-1738-41C8-9162-64040F1017F4>.

2. Миловзоров, О. В. Электроника: учебник для прикладного бакалавриата [Электронный ресурс] / О. В. Миловзоров, И. Г. Панков. — 6-е изд., перераб. и доп. — М.: Издательство Юрайт, 2017. — 344 с. — (Серия: Бакалавр. Прикладной курс). — ISBN 978-5-534-00077-1. — Режим доступа: www.biblio-online.ru/book/F696F80B-830E-4E30-B5D5-46CD8BD69BCF.

ПРИЛОЖЕНИЕ А
(обязательное)

№ варианта	ЛЭ	t, мс	t1, мс	t2, мс	t3, мс	t4, мс
1	2И	12	1	2	5	6
2	2И-НЕ	13	2	1	6	5
3	2ИЛИ	14	2	3	6	7
4	2ИЛИ-НЕ	15	3	1	7	6
5	XOR	16	1	3	8	8
6	2И	17	4	2	8	7
7	2И-НЕ	18	2	4	7	9
8	2ИЛИ	19	3	4	9	8
9	2ИЛИ-НЕ	20	4	3	9	9
10	XOR	12	2	2	3	3
11	2И	13	3	3	5	5
12	2И-НЕ	14	4	1	7	6
13	2ИЛИ	15	3	2	8	5
14	2ИЛИ-НЕ	16	2	3	5	9
15	XOR	17	4	2	7	9
16	2И	18	3	1	9	4
17	2И-НЕ	19	2	4	9	8
18	2ИЛИ	20	5	2	8	5
19	2ИЛИ-НЕ	12	1	2	4	5
20	XOR	13	2	1	5	6
21	2И	14	3	2	7	6
22	2И-НЕ	15	2	2	5	5
23	2ИЛИ	16	3	4	7	5
24	2ИЛИ-НЕ	17	2	4	8	6
25	XOR	18	4	1	7	9

ИССЛЕДОВАНИЕ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ

Методические указания

Составитель: Осадченко Александр Евгеньевич

В авторской редакции

Изд. № 201/19. Объём 1,5 п.л.
РИИЦМ ФГАОУ ВО "Севастопольский государственный университет"